

621.38

В

Міністерство освіти і науки України
Запорізька державна інженерна академія

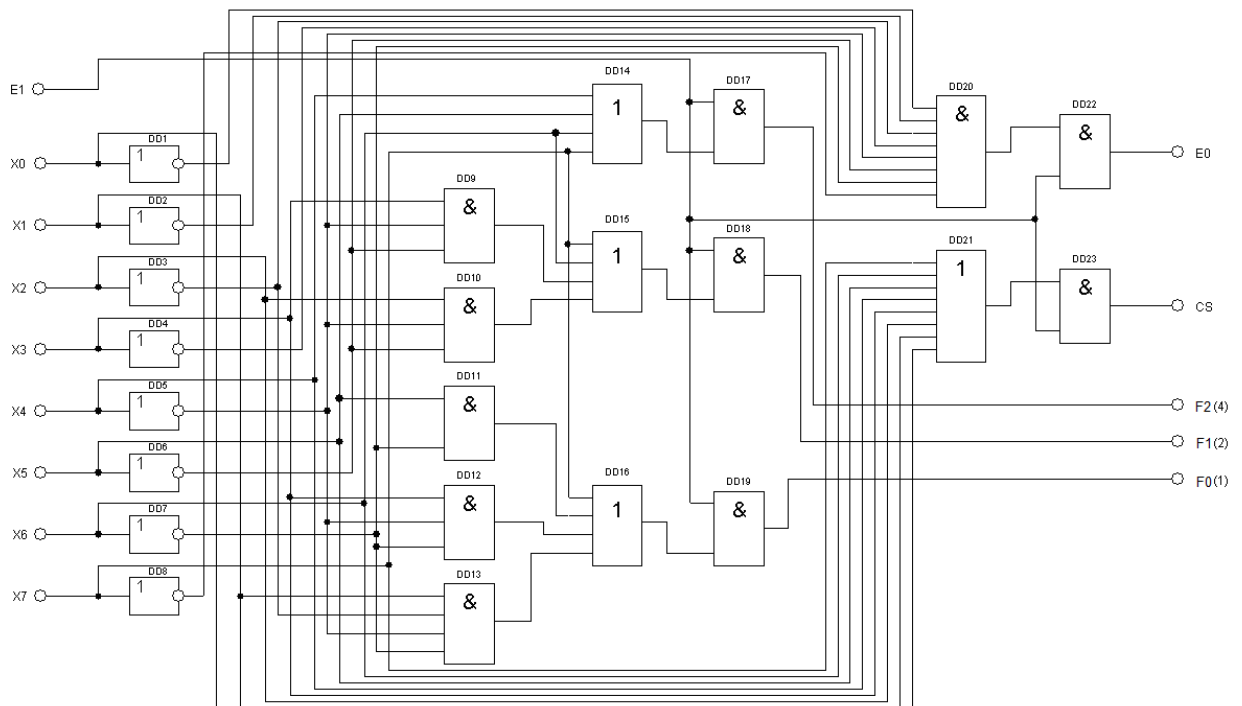


Верьовкін Л.Л.
Світанько М.В.
Хрипко С.Л.

ЦИФРОВА СХЕМОТЕХНІКА

Методичні вказівки до лабораторних робіт

*для студентів ЗДІА
спеціальності 153 «Мікро- та наносистемна техніка»
денної та заочної форм навчання*



Міністерство освіти і науки України
Запорізька державна інженерна академія

ЦИФРОВА СХЕМОТЕХНІКА

Методичні вказівки до лабораторних робіт

*для студентів ЗДІА
спеціальності 153 «Мікро- та наносистемна техніка»
денної та заочної форм навчання*

*Рекомендовано до видання
на засіданні кафедри МЕІС
протокол № 4 від 16.04.18 р.*

Запоріжжя
ЗДІА
2018

ББК 621.38

В

Л.Л. Верьовкін, доцент
М.В. Світанько, доцент
С.Л. Хрипко, доцент

Відповідальний за випуск: *зав. кафедри МЕІС*
доц. С.Л. Хрипко

Верьовкін Л.Л.

В Цифрова схемотехніка. Методичні вказівки до лабораторних робіт для студентів ЗДІА спеціальності 153 «Мікро- та наносистемна техніка» денної та заочної форм навчання / Укл.: Л.Л. Верьовкін, М.В. Світанько, С.Л. Хрипко. – Запоріжжя: 2018. – 56 с.

Методичні вказівки містять лабораторні роботи з курсу «Цифрова схемотехніка». Викладена методика проведення експерименту і обробки його результатів. Для практичного виконання робіт та самостійної проробки матеріалу студенти можуть використати приведені теоретичні відомості з курсу.

Зміст

	Стор.
Вступ	4
Лабораторна робота № 1. Логічні основи цифрової електроніки	5
Лабораторна робота №2. Дослідження логічних елементів біполярної логіки	16
Лабораторна робота №3. Дослідження логічних елементів МДН логіки .	25
Лабораторна робота №4. Функціональний контроль чотирьох розрядного паралельного суматора.....	32
Лабораторна робота №5. Логічний синтез пристроїв комбінаційного типу.....	39
Лабораторна робота №6. Дослідження послідовністих функціональних вузлів.....	49
Лабораторна робота №7.....	56

Вступ

Цифрові пристрої приймають, обробляють і формують дискретно змінну інформацію, на відміну від аналогових пристроїв, що працюють з безперервно змінною інформацією.

Для опису роботи цифрових пристроїв використовують самі різні моделі, що відрізняються одна від одної складністю, що відображають з необхідною точністю характеристики приладу в широкому діапазоні напруги, струмів і температур, що мають відповідність між електричною напругою і фізичними процесами, які протікають в приладі. В основному ці моделі використовуються при комп'ютерних розрахунках цифрових схем. В даний час існують комп'ютерні програми, які не лише розраховують готові схеми, але здатні проектувати нові схеми по формалізованим описам функцій, які даний пристрій повинен виконувати. Але, навіть незалежно від того, що це достатньо зручно, жодна програма ніколи не може порівнятися з людиною. По-справжньому ефективні, мінімізовані по апаратним засобам і красиві схеми може розробляти лише людина, яка завжди підходить до проектування творчо і використовує оригінальні ідеї.

Елементи, що здійснюють прості операції над двійковими сигналами, називають логічними. На основі логічних елементів розробляються пристрої, які виконують і арифметичні, і логічні операції.

В даний час логічні елементи (ЛЕ) виконуються за допомогою різних технологій, які визначають чисельні значення основних параметрів ЛЕ і, як наслідок, якісні показники цифрових пристроїв обробки інформації, розроблених на їх основі.

Звіт з лабораторної роботи містить:

- назву роботи;
- мету роботи;
- проміжні розрахунки, таблиці, схеми, діаграми;
- розгорнутий висновок;
- використану літературу.

Лабораторна робота № 1

Логічні основи цифрової електроніки

Мета роботи: закріплення теоретичних знань і придбання студентами практичних навиків логічного синтезу цифрових ІС, включаючи побудову схем за результатами логічного синтезу і аналізу їх характеристик.

1. Теоретичні основи логічного синтезу цифрових ІС

Теоретичною основою проектування цифрових ІС є алгебра логіки.

1.1 Основи алгебри логіки

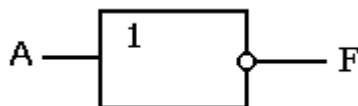
У основі алгебри логіки (булевої алгебри) лежать логічні величини, які позначаються A , B , C і так далі. Логічні величини характеризують два взаємовиключні поняття: так – ні, включено – вимкнено. Якщо одне із значень логічної величини позначене через A , те друге значення (протилежне) позначається \bar{A} .

Основними логічними функціями є заперечення, логічне складання і логічне множення.

Заперечення (інверсія, функція НІ) це проста логічна функція:

$$F = \bar{A}.$$

Схему, що забезпечує виконання такої функції, називають інвертором або схемою НІ, позначення схеми:



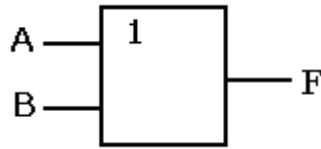
Логічне складання, диз'юнкція (V , $+$) або функція АБО

$$F = A + B$$

визначається таким чином:

функція $F = 1$, якщо $A = 1$ або $B = 1$, або і $A = 1$ і $B = 1$;

Позначення схеми:



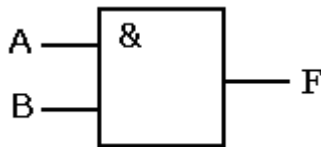
Логічне множення, кон'юнкція (\wedge , \times , \cdot) або функція І

$$F = A \cdot B,$$

визначається таким чином:

функція $F = 1$ лише якщо одночасно і $A = 1$ і $B = 1$;

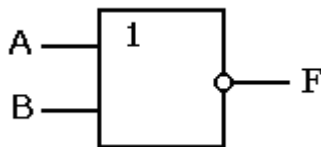
Позначення схеми:



Поєднання функції АБО з інверсією наводить до комбінованої функції АБО – НІ:

$$F = \overline{A + B}$$

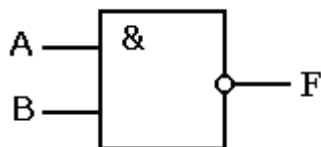
що позначається таким чином



Поєднання функції І з інверсією наводить до комбінованої функції І – НІ:

$$F = \overline{A \cdot B}$$

що позначається таким чином:



Функції АБО – НІ і І – НІ найпоширеніші, оскільки на їх основі можна реалізувати будь-яку іншу логічну функцію. Зрозуміло, кількість аргументів функції і, отже, входів у відповідних схем може бути рівне трьом, чотирьом і більше.

У визначенні основних логічних функцій використані операції:

складання – диз'юнкція, “+”;

множення – кон'юнкція “×”;

заперечення – інверсія “ – ”;

а так само відношення еквівалентності “=” (не рівність, а лише еквівалентність)

Алгебра логіки базується на декількох аксіомах, з яких виводять основні закони для перетворень з логічними змінними.

$$0 + 0 = 0 \quad (1.1)$$

$$0 \cdot 0 = 0 \quad (1.5)$$

$$\bar{0} = 1 \quad (1.9)$$

$$1 + 0 = 1 \quad (1.2)$$

$$0 \cdot 1 = 0 \quad (1.6)$$

$$\bar{1} = 0 \quad (1.10)$$

$$0 + 1 = 1 \quad (1.3)$$

$$1 \cdot 0 = 0 \quad (1.7)$$

$$1 + 1 = 1 \quad (1.4)$$

$$1 \cdot 1 = 1 \quad (1.8)$$

Приведені аксіоми справедливі також для булевих змінних А, В і С. Важливі властивості цих логічних змінних ілюструються наступними попарно об'єднаними законами:

13. Закон тавтології (ідемпотентності):

$$\begin{cases} A \cdot A = A & (1.11) \\ A + A = A & (1.12) \end{cases}$$

2. Закон нульової множини:

$$\begin{cases} A \cdot 0 = 0 & (1.13) \\ A + 0 = A & (1.14) \end{cases}$$

3. Закон універсальної множини:

$$\begin{cases} A \cdot 1 = A & (1.15) \\ A + 1 = 1 & (1.16) \end{cases}$$

4. Закон додатковості:

$$\begin{cases} A \cdot \bar{A} = 0 & (1.17) \\ A + \bar{A} = 1 & (1.18) \end{cases}$$

5. Закон подвійної інверсії (подвійного заперечення):

$$\bar{\bar{A}} = A \quad (1.19)$$

6. Закон обертання:

якщо $A = B$, то $\bar{A} = \bar{B}$ (1.20)

7. Закон комутативності (переміщення):

$$\begin{cases} A \cdot B = B \cdot A & (1.21) \\ A + B = B + A & (1.22) \end{cases}$$

8. Закон асоціативності (сполучний):

$$\begin{cases} A \cdot B \cdot C = A \cdot (B \cdot C) & (1.23) \\ A + B + C = A + (B + C) & (1.24) \end{cases}$$

9. Закон дистрибутивності (розподільний):

$$\begin{cases} A \cdot (B + C) = (A \cdot B) + (A \cdot C) & (1.25) \\ A + (B \cdot C) = (A + B) \cdot (A + C) & (1.26) \end{cases}$$

10. Закон дуальності (теорема Де Моргана):

$$\begin{cases} \overline{A \cdot B} = \bar{A} + \bar{B} & (1.27) \\ \overline{A + B} = \bar{A} \cdot \bar{B} & (1.28) \end{cases}$$

11. Закон склеювання:

$$\begin{cases} (A + B) \cdot (A + \bar{B}) = A & (1.29) \\ (A \cdot B) + (A \cdot \bar{B}) = A & (1.30) \end{cases}$$

12. Закон поглинання:

$$\begin{cases} A \cdot (A + B) = A & (1.31) \\ A + (A \cdot B) = A & (1.32) \end{cases}$$

13. Закон тотожності:

$$A \equiv A \quad (1.33)$$

У правильності затвердження того або іншого закону легко переконатися за допомогою ілюстрації у вигляді ключової схеми, приймаючи, що якщо розімкнений ключ має позначення \bar{A} , то A позначатиме замкнутий ключ, а також, що розімкнений ланцюг означає логічний 0, тоді як замкнутий ланцюг – логічну 1.

Вживання тотожності і законів дозволяє здійснити спрощення логічних функцій.

1.2 Перемикаюча функція двох аргументів

Перемикаючою функцією називається двійкова змінна (P). При цьому виходить $2^4 = 16$ логічних функцій, що позначають операції над двома аргументами. Визначення цих функцій через операції кон'юнкції, диз'юнкції і інверсії, а також найменування функції представлено в таблиці 1.1.

Таблиця 1.1 - Повний набір функцій двох аргументів

$\begin{array}{c} A \\ B \end{array}$	$\begin{array}{cccc} 0 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 \end{array}$	Вираження через операції «І», «АБО», «НІ»	Найменування функції
W_0	0 0 0 0	$W_0 = 0$	константа 0
W_1	0 0 0 1	$W_1 = AB$	кон'юнкція
W_2	0 0 1 0	$W_2 = \overline{AB}$	заборона
W_3	0 0 1 1	$W_3 = A$	тотожність
W_4	0 1 0 0	$W_4 = \overline{AB}$	заборона
W_5	0 1 0 1	$W_5 = B$	тотожність
W_6	0 1 1 0	$W_6 = \overline{AB} + \overline{AB}$	виключаюче АБО
W_7	0 1 1 1	$W_7 = A + B$	диз'юнкція
W_8	1 0 0 0	$W_8 = \overline{A} + \overline{B}$	АБО-НІ, стрілка Пірсу
W_9	1 0 0 1	$W_9 = \overline{AB} + \overline{AB}$	еквівалентність
W_{10}	1 0 1 0	$W_{10} = \overline{B}$	інверсія
W_{11}	1 0 1 1	$W_{11} = A + \overline{B}$	імплікація від А до В
W_{12}	1 1 0 0	$W_{12} = \overline{A}$	інверсія
W_{13}	1 1 0 1	$W_{13} = \overline{A} + B$	імплікація від В до А
W_{14}	1 1 1 0	$W_{14} = \overline{AB}$	І-НІ, штрих Шеффера
W_{15}	1 1 1 1	$W_{15} = 1$	константа 1

На підставі таблиці можна скласти набір двійкових функцій, який забезпечує представлення будь-якій іншій функції за допомогою суперпозиції (заміни аргументів функції іншими функціями) функції цього набору. Такий набір простих функцій, за допомогою якого можна виразити будь-які інші

скільки завгодно складні логічні функції, називається функціонально повним (ФПН). Набор функції АБО, І, НІ є основний функціонально повний набір (ОФПН). На цих операціях будуються основні логічні елементи, які використовуються для проектування логічних пристроїв. Широко використовуються також елементи, що не входять в ОФПН: елемент Шеффера І - НІ і стрілка Пірса АБО - НІ.

1.3 Синтез цифрових пристроїв

1. Послідовність операцій синтезу цифрових пристроїв комбінаційного типа:

- складання таблиці істинності комбінаційного цифрового пристрою згідно його визначення, призначення, словесного опису принципу роботи;
- складання логічної формули згідно таблиці істинності;
- спрощення логічної формули;
- аналіз отриманої формули з метою побудови різних варіантів і знаходження найкращого з них по тих або інших критеріях;
- складання функціональної схеми комбінаційного цифрового пристрою з елементів І, АБО, НІ.

2. Аналітичний запис логічної формули комбінаційного цифрового пристрою.

Запис у формі ДДНФ.

У ДДНФ логічна формула є логічною сумою декількох логічних добутків, в кожен з яких входять всі незалежні змінні із інверсією або без неї.

Формула здійснюється в два етапи.

а) записується логічна сума добутків, в кожен з яких входять всі незалежні змінні. Кількість доданків дорівнює числу наборів таблиці істинності, на яких логічна функція дорівнює «1».

б) ставиться знак інверсії над тими незалежними змінними, які дорівнюють «0» в даному наборі.

Запис у формі ДКНФ.

У ДКНФ формула є логічним добутком декількох логічних сум, в кожну з яких входять всі незалежні змінні із інверсією або без неї.

Як і у попередньому випадку, формула здійснюється в два етапи.

а) записується логічний добуток всіх співмножників. Кількість співмножників дорівнює числу наборів таблиці істинності, на яких логічна функція дорівнює «0».

б) ставиться знак інверсії над тими незалежними змінними, які дорівнюють «1» в даному наборі.

Структурні формули у вигляді ДДНФ і ДКНФ еквівалентні і, за допомогою законів алгебри, логіки можуть бути перетворені одна в іншу.

1.4 Мінімізація логічних функцій

При відносно невеликому числі змінних ($k \leq 6$) вельми зручним і наочним є графічне представлення логічних функцій у вигляді так званих карт мінтермів. Найбільш розповсюдженою їх формою є карти Карно. На рисунку 1.1 показані карти Карно для функцій $k = 2, 3, 4, 5$ і 6 змінних.

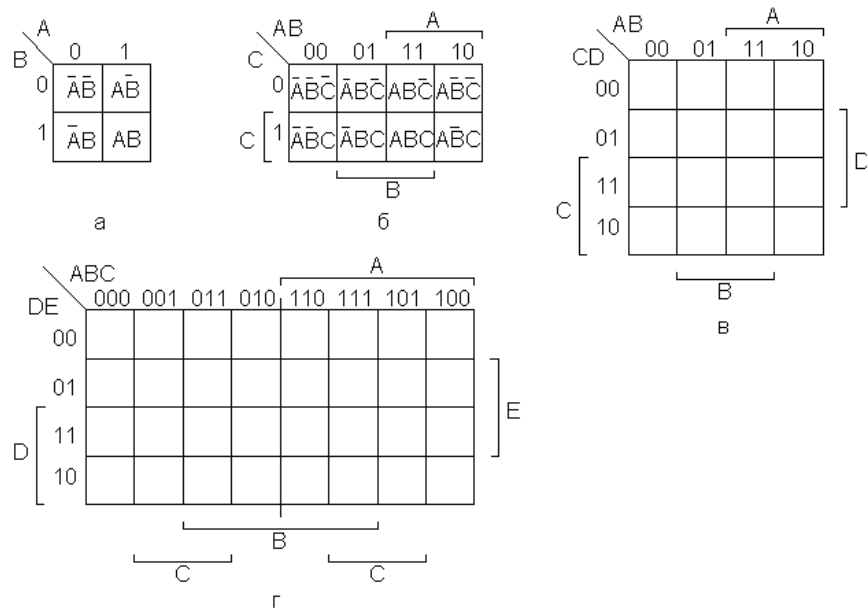


Рисунок 1.1 – Карти Карно для функцій двох (а), трьох (б), чотирьох (в) і п'яти (г) змінних

Карта Карно містить $n = 2^k$ клітинок, причому кожній клітинці відповідає один з n мінтермів. Для ілюстрації цього на рисунку 1.18, а, б у клітинках карт Карно записані відповідні їм мінтерми.

Координати рядів і стовпців слідує не в природному порядку зростання двійкових кодів, а в порядку 00, 01, 11, 10. Це код Грея. Зміна порядку дотримання наборів зроблена для того, щоб сусідні набори (що відрізняються між собою лише цифрою одного розряду) були сусідніми в геометричному сенсі.

Правила групування мінтермів

1. Грукуються дві клітки, що стоять поруч, в стовпці, або ряду. Кожна з групованих кліток відрізняється від будь-якої сусідньої лише одною змінною, яка при цьому і виключається; число групованих клітинок має бути парним; можна групувати крайні клітинки між собою, оскільки карта – по суті тор.
2. Грукуються клітинки, що є повними квадратами з 4, 16 кліток.
3. Грукуються клітинки, що є повними горизонтальними рядами, або вертикальними стовпцями.
4. Грукуються клітинки, що представляють два поруч розташованих стовпця, або рядка.
5. Клітинка може входити в декілька об'єднань.

1.5 Послідовність і порядок проведення роботи

Лабораторний стенд для придбання практичних навиків логічного синтезу цифрових інтегральних схем збирається студентами в програмному застосуванні Electronics Workbench.

База даних включає комплект ІС, що містить логічні елементи основного ФПН (І,ИЛИ, НІ), а також елементи І – НЕ і АБО-НІ. Програмне застосування оснащено віртуальними приладами, які задають вхідні дії шляхом подання напруги живлення, що контролює функціонування електронних схем.

Програмне застосування Electronics Workbench дозволяє реалізувати будь-яку із заданих для лабораторного дослідження логічних функцій. Реалізація логічних функцій здійснюється подачею вхідних сигналів (аргументів) A, B, C, D на входи вибраних логічних елементів і подальшим з'єднанням виходів цих ЛЕ з іншими елементами відповідно до схеми, отриманої в результаті структурного синтезу.

Завдання експериментального дослідження і порядок виконання роботи.

1. Відповідно до номера підгрупи вибрати задану функцію F_i .

$$1) F = \bar{A} \cdot B \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + B \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{A} \cdot B \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot \bar{B} \cdot D$$

$$2) F = A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} \cdot D$$

$$3) F = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} \cdot D + B \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D + A \cdot \bar{B} \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{D}$$

$$4) F = A \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot D + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot D$$

$$5) F = A \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot D + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot D$$

$$6) F = A \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{B} \cdot C \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{C} \cdot \bar{D}$$

2. Скласти таблицю функціонування пристрою для чотирьох змінних (ABCD).

3. Нанести функцію на карту Карно і спростити її, використовуючи відомі методи.

4. Привести структурну схему, що реалізує отриману в результаті мінімізації функцію до єдиного логічного базису I-НІ..

5. Зібрати отриману схему в програмному застосуванні Electronics Workbench.

6. Підключити до схеми наступні прилади для проведення аналізу функціонування (рис. 1.2): генератор двійкових слів (а), логічний аналізатор (б), проміжну індикацію в усіх логічних вузлах від входу до виходу схеми (в).

7. Включити живлення і провести аналіз схеми на відповідність таблиці функціонування.

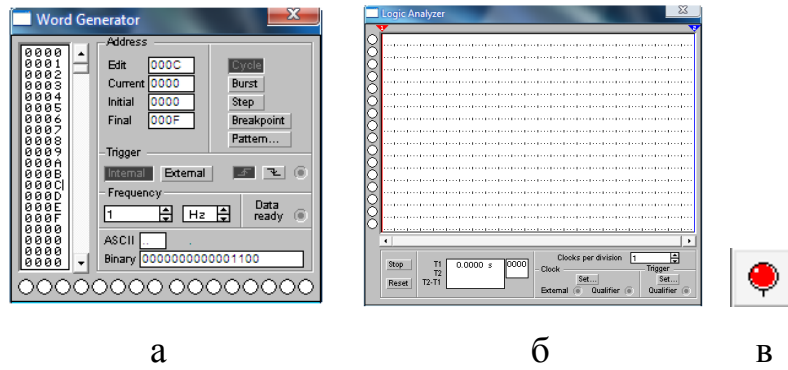


Рисунок 1.2 – Інструменти програмного застосування

8. Провести заміну елементів елементарної логіки на реальні бібліотечні елементи програмного забезпечення Electronics Workbench (рис. 1.3). При цьому пізключити джерело живлення та елементи контролю функціонування.
9. Провести аналіз функціонування розроблені схеми.
10. У звіті привести: таблиці, розрахунки, схеми, діаграми.

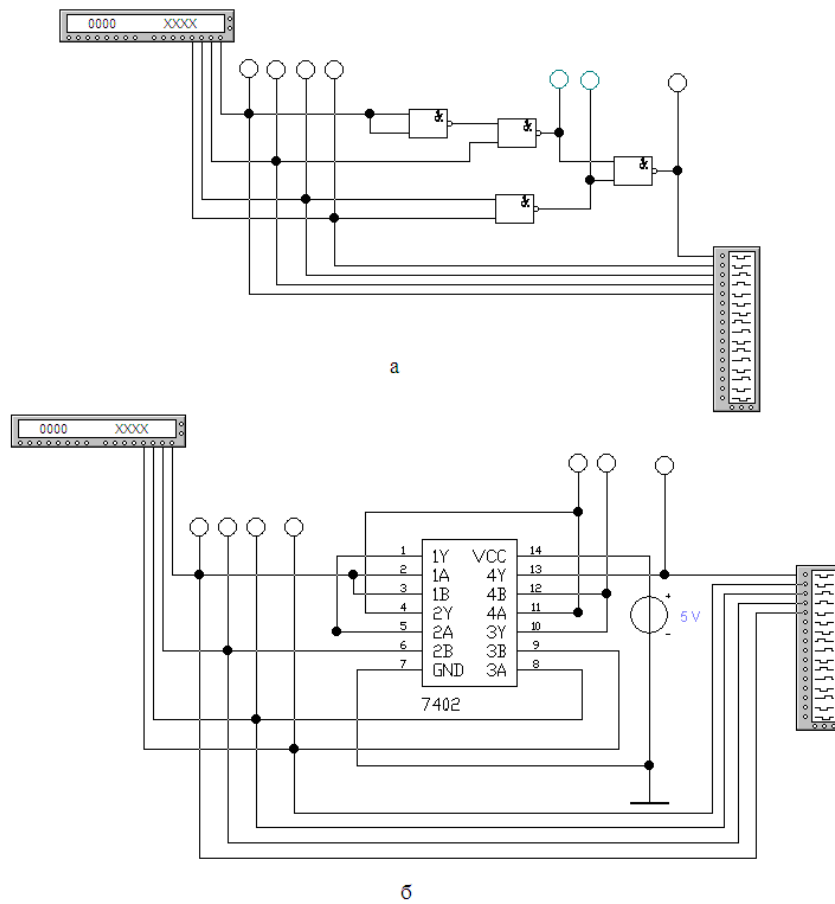


Рисунок 1.4 – Приклад заміни елементів елементарної логіки (а) на реальні бібліотечні елементи (б)

Контрольні питання

1. Назвіть основні логічні функції.
2. Приведіть аксіоми булевої алгебри
3. Розкрийте сенс основних законів булевої алгебри.
4. Що таке перемикаюча функція?
5. Що таке нормальна форма представлення двійковій функції ?
6. Представлення булевих функцій у вигляді мінтермів і макстермів.
7. Мінімізація булевих функцій.
8. Приведіть типовий порядок логічного проектування.
9. Складіть структурну схему, що реалізовує задану логічну функцію.
10. Приведення логічних функцій до заданого елементного базису.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Алексенко А.Г. Микросхемотехніка [Текст] / А.Г. Алексенко, И.И. Шагурин. - М.: Радио и связь, 1982. – 416 с.
3. Папернов А.А. Логические основы цифровой вычислительной техники [Текст] / А.А. Папернов. – М.: Сов. Радио, 1972. – 345 с.
4. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В. Я. та ін.]. – К.: Вища шк., 2004. – 527 с.: іл.

Лабораторна робота № 2

Дослідження логічних елементів біполярної логіки

2.1 Логічний елемент АБО

Мета роботи – вивчення побудови, вживання характеристик і типів логічних елементів АБО.

2.1.1 Короткі теоретичні відомості

Логічні елементи або вузли призначені для виконання логічних операцій з дискретними сигналами при двійковому способі їх представлення. Наприклад, на рисунку 2.1а показана схема управління запаленням індикатора F на двох вимикачах X1 і X2, що реалізують логічну функцію АБО.

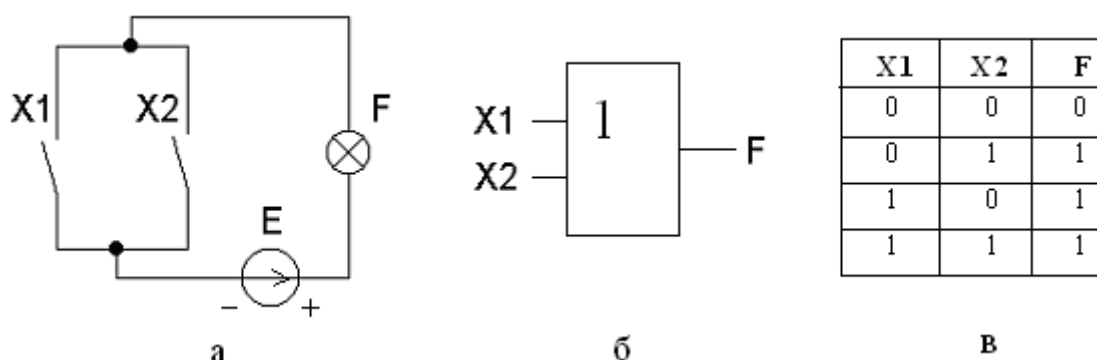


Рисунок 2.1 - Схема АБО на вимикачах (а), умовне позначення (б) і таблиця істинності (в)

Неважко бачити, що для включення лампи ($F = 1$) досить включити X1 або X2, або обое одночасно. Число вимикачів n тут не обмежується. Тому можна записати логічну суму

$$F = X_1 + X_2 + \dots + X_n = X_1 \vee X_2 \vee \dots \vee X_n$$

Ця сума відповідає логічному елементу АБО, що має n вхідних сигналів.

На рисунку 2.2 показаний логічний елемент на два входи, що реалізують функцію АБО на діодах і транзисторний елемент, що містить, НІ. Таке

поєднання елементів відноситься до класу діодно-транзисторної логіки (ДТЛ).

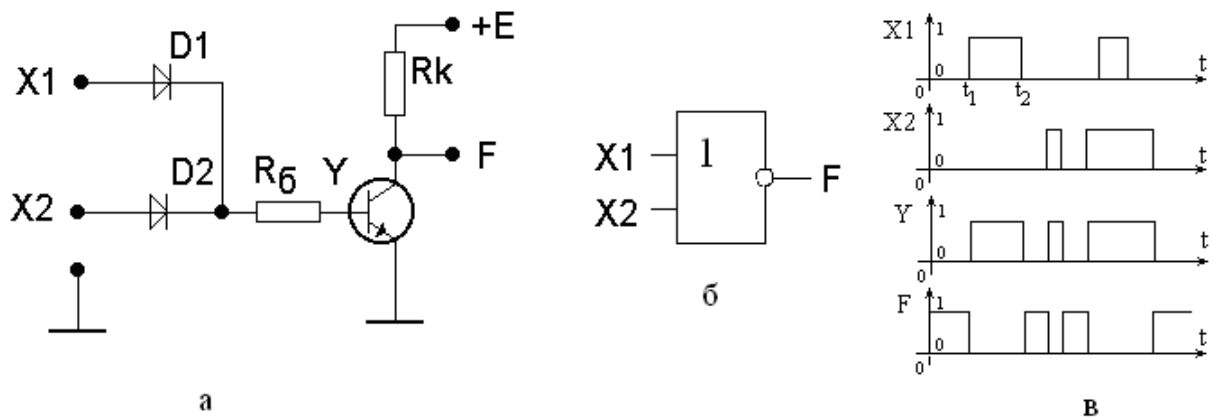


Рисунок 2.2 - Схема (а), позначення (б) і імпульсні діаграми елементу 2АБО–НІ

Під час вступу на входи X1, X2 позитивного потенціалу логічної одиниці, транзистор відмикається і його вихідна напруга U_k падає до рівня логічного нуля, відповідно до характеристики навантаження

$$U_k = E - i_k \cdot R_k \quad (2.1)$$

Розглянемо імпульсні діаграми на рисунку 2.2. До моменту часу t_1 сигнали $X_1 = 0$, $X_2 = 0$. Вхідний сигнал Y на базі транзистора дорівнює нулю. Транзистор замкнутий, струм колектора $i_k = 0$. Вихідна напруга U_k велика і відповідно до формули (2.1) наближена до E . На виході присутня логічна одиниця.

На інтервалі $t_1 \dots t_2$ вхідний сигнал X_1 має значення логічної одиниці, сигнал Y великий, транзистор відкритий і вихідна логічна величина $F = 0$. При збігу сигналів X_1 і X_2 у часі транзистор відмикається на триваліший інтервал часу.

Недоліком такої схеми є помітна споживана потужність, коли транзистор відкритий.

Важливою характеристикою логічного елементу є швидкодія, яка оцінюється як середній час затримки поширення.

$$t_{зд} = 0,5 \cdot (t_{зд}^{10} + t_{зд}^{01}) \quad (2.2)$$

Тут $t_{зд}^{10} + t_{зд}^{01}$ час перемикання із стану одиниці в нуль і з нуля в одиницю (рис. 2.2).

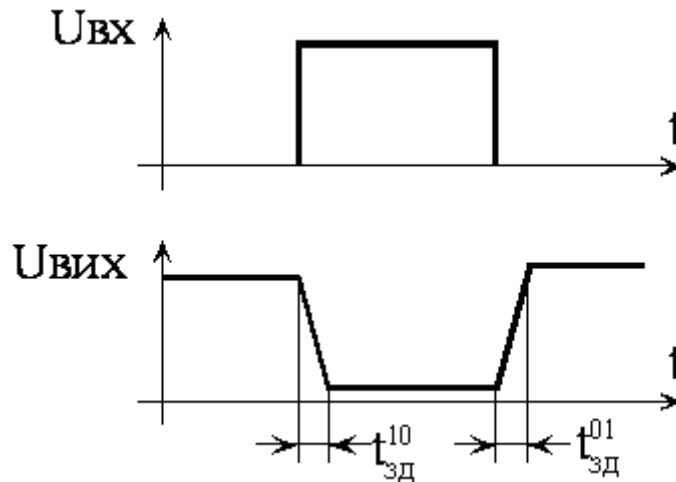


Рисунок 2.3 - Часові діаграми

Середня споживана потужність $P_{п}$ оцінюється як напівсума потужностей в режимі передачі значень нуля і одиниці

$$P_{п} = 0,5 \cdot (P_{п0} + P_{п1}) \quad (2.3)$$

Для елементів, в яких сигнал споживання зростає в режимі перемикання, оцінюють потужність на максимальній робочій частоті перемикань.

Важливими параметрами є коефіцієнт об'єднання по входу, рівний числу входів елементу, коефіцієнт розгалуження по виходу, рівний кількості виходів і завадостійкість, яка оцінюється по найбільшій напрузі вхідної перешкоди, що не викликає помилкового перемикання, значення допустимих рівнів напруги нуля і одиниці. Для проведення роботи зручно задати вхідні сигнали $X1, X2$ у вигляді послідовностей прямокутних імпульсів з різними періодами повторення T і тривалістю τ .

2.1.2 Опис віртуального стенду EWB

При моделюванні з використанням EWB програми будується схема логічного елементу, яка показана на рисунку 2.4.

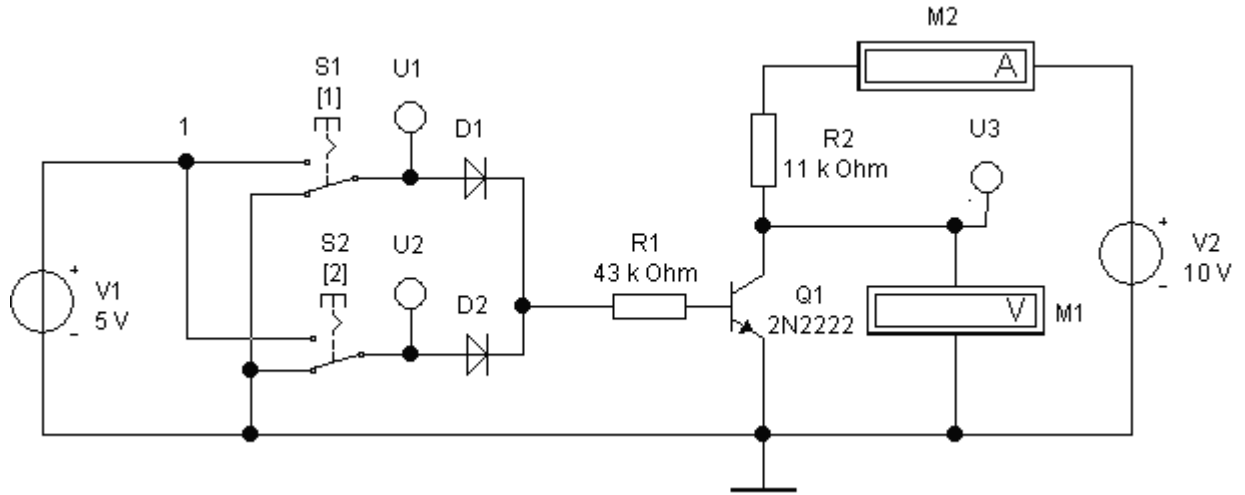


Рисунок 2.4 - Схема моделювання логічного елементу ДТЛ

У цій схемі вхідні логічні рівні формуються від джерела V1 і задаються перемикачами S1, S2 які управляються з клавіатури незалежно один від одного натисненням клавіш «1», «2». Наявність логічних одиниць відображаються кольоровим «свіченням» сигнальних елементів U1, U2, U3. Вихідна напруга вимірюється вольтметром M1, а споживаний струм міліамперметром M2.

2.1.3 Порядок виконання роботи

1. Побудувати схему по рисунку 2.4. При моделюванні прийняті: транзистор 2N2222A, діоди типа 1N3016A, $E = 10$ В, $R_6 = 43$ кОм, $R_k = 11$ кОм. Провести нумерацію вузлів.

2. Для дослідження перехідної характеристики встановити $S1 = 0$, джерело напруги S2 змінювати в режимі DC в межах 0...10 В, підключивши до цього входу вольтметр і змінний резистор. Виміряти $U_{вих}$. Результати записати в таблицю 2.1.

Таблиця 2.1 – Перехідна характеристика

$U_{ВХ}, В$	0	1	2	4	6
$U_{ВИХ}, В$					

Визначити напругу U^1, U^0 і порогові значення $U_{П}^{10}$ і $U_{П}^{01}$.

3. Дослідити швидкодію схеми. Задати напругу X_2 у вигляді прямокутних імпульсів з амплітудою $U_m = 10 В$; тривалістю $\tau = 10 мкс$ і періодом $T = 20 мкс$. Осцилограму зарисувати. Визначити значення інтервалів затримки $t_{зд}^{10}$ і $t_{зд}^{01}$.

4. Для спостереження роботи елемента задати джерела вхідних сигналів $S1$ і $S2$ у вигляді послідовностей прямокутних імпульсів позитивної полярності з параметрами: $U_m = 10 В$, $T_1 = 200 мкс$, $\tau_1 = 60 мкс$ для $S1$ и $U_m = 10 В$, $T_2 = 300 мкс$, $\tau_2 = 30 мкс$ для $S2$. Спостерігати осцилограми напруги $S1, S2, Y, F$. Осцилограму зарисувати. Виміряти величину струму споживання.

2.2 Логічний елемент І

Мета роботи – вивчення принципів побудови основних типів, характеристик і вживання логічних елементів І.

2.2.1 Короткі теоретичні відомості

Логічний елемент І дуже широко використовується при побудові цифрових схем, генераторів прямокутних імпульсів і ряду інших пристроїв. Принцип дії такого логічного елемента (ЛЕ) може бути пояснений схемою управління включення лампою розжарювання F за допомогою виключення $X1$ і $X2$ (рис. 2.5). Якщо вимикачі $X1$ і $X2$ включаються випадковим чином в часі, то індикатор горітиме ($F = 1$) лише коли вимикачі замкнуті одночасно ($X1 = 1, X2 = 1$). Така схема називається схемою логічного множення.

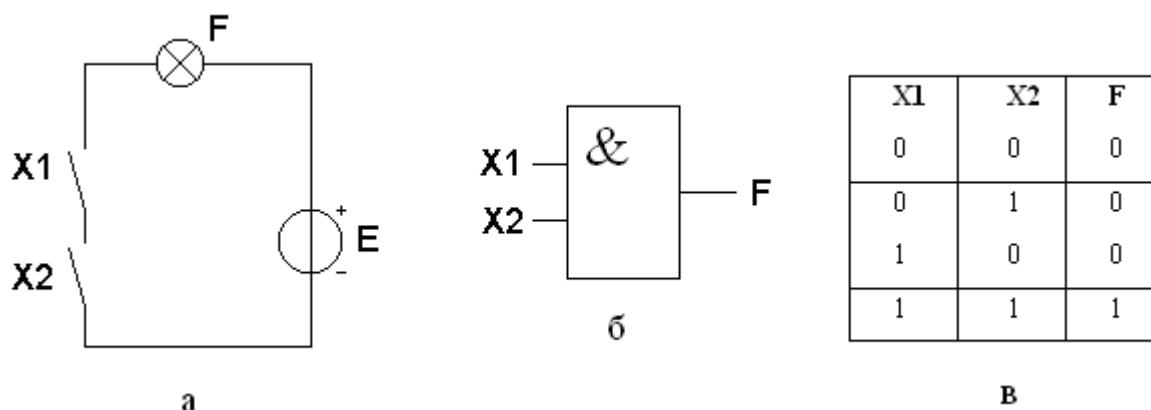


Рисунок 2.5 - Схема АБО на вимикачах (а), умовне позначення (б) і таблиця істинності (в)

$$F = X_1 \cdot X_2 = X_1 \wedge X_2 \quad (2.4)$$

Неважко бачити, що число таких послідовно включених вимикачів можна збільшити. Тоді формула (2.4) матиме вигляд

$$F = X_1 \cdot X_2 \cdot \dots \cdot X_n \quad (2.5)$$

де n – число послідовних вимикачів.

Таблиця істинності ЛЕ на два входи показана на рисунку 2.5, в. Нижній рядок показує умови включення лампочки розжарювання.

На рисунку 2.6, а показана схема ЛЕ в якій функція логічного множення виконується діодами D1, D2, а вихідний сигнал поступає через діоди D3, D4 на транзистор T1, що виконує функції інвертора. Транзистор T1 відкривається лише тоді, коли через R_б і діоди D3, D4 протікає струм бази, що відмикає його. Якщо хоч би одне з напруги X1 або X2 буде близьке до нуля, то буде відкритий один з діодів D1 або D2 і потенціал вузла Y буде близький до нуля. При цьому струм бази транзистора T буде малий, і він буде замкнутий. Відповідно до формули (2.1) напруга колектора велика, що відповідає F = 1. Імпульсні діаграми на рисунку 2.6, в показують, що транзистор T1 відмикається лише на інтервалі t1 t2 і на виході схеми присутній сигнал F = 0. Така схема реалізована на діодно-транзисторній логіці (ДТЛ).

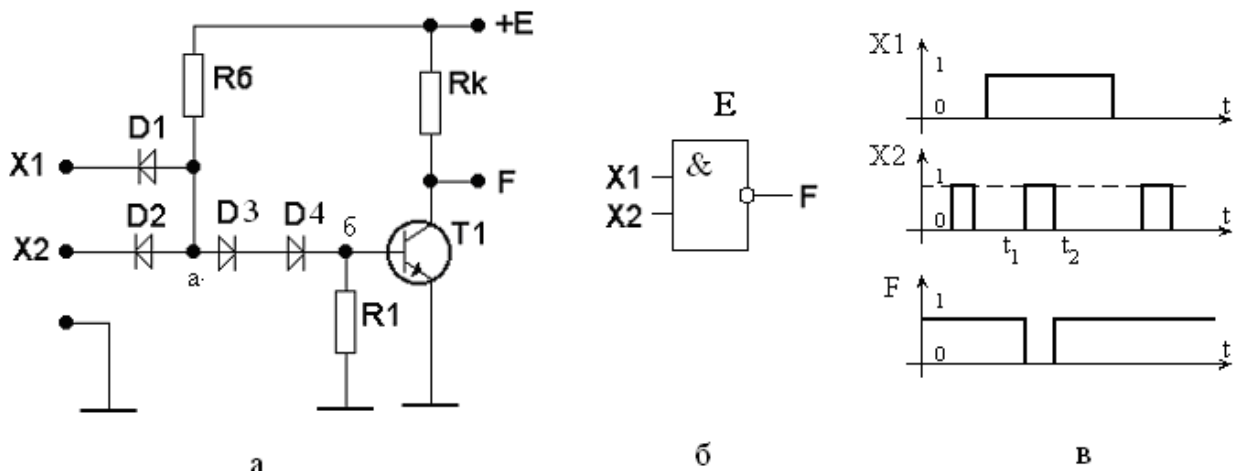


Рисунок 2.6 - Схема (а), позначення (б) і імпульсні діаграми (в) елементу 2І–НІ.

На рисунку 2.7 показана схема елемента 2І–НІ, в якій логічна частина виконана на багатоемітерному транзисторі Т1. Робота схеми аналогічна розглянутою раніше. Якщо хоча б на одному вході напруга буде близькою до нуля, то струм через резистор R_6 замикається по ланцюгу емітера Т1 і не поступає на базу транзистора Т2, який буде замкнутий. Тут схема реалізується за допомогою транзисторно-транзисторної логіки (ТТЛ).

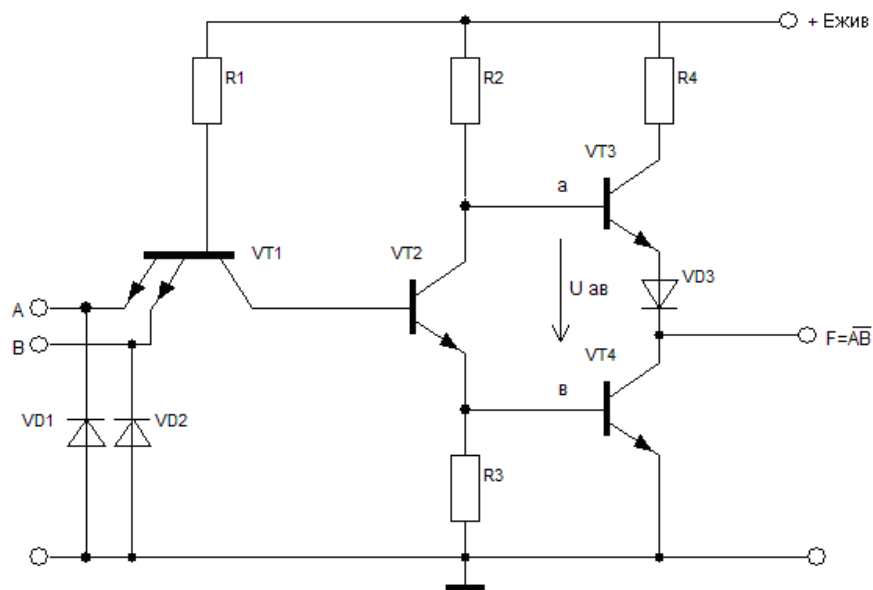


Рисунок 2.7 - Схема елемента 2І–НІ

2.2.2 Опис віртуального стенду EWB

Для EWB моделювання будуватиметься схема, показана на рисунку 2.8.

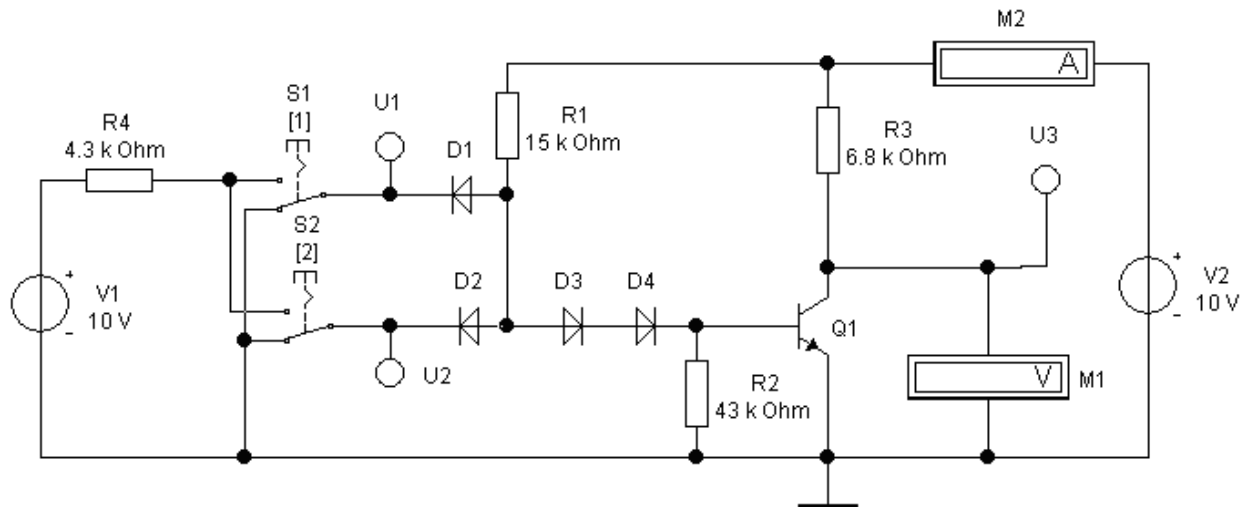


Рисунок 2.8. Схема елемента ДТЛ.

У цій схемі вхідні логічні сигнали формуються від джерела V1 незалежними перемикачами S1, S2 і відображаються сигналізаторами U1, U2. Управління перемикачами виробляється з клавіатури натисненням клавіш «1» і «2». Величина вихідної напруги і струму вжитку вимірюється вольтметром M1 і міліамперметром M2. Логічна величина вихідного сигналу відображується сигналізатором U3.

2.2.3 Порядок проведення роботи

1. Побудувати схему по рисунку 2.7. При моделюванні прийняті: тип транзистора 2N2222A і діодів 1N3016A, $E = 10$ В, $R_6 = 15$ кОм, $R_1 = 43$ кОм, $R_k = 6,8$ кОм. Виконати нумерацію вузлів.

2. Досліджувати перехідну характеристику, встановивши $S1 = +15$ В. В режимі DC змінювати S2 в межах 0...10 В, підключивши до цього входу вольтметр і змінний резистор. Характеристику зарисувати, результати вимірів представити у вигляді таблиці 2.1.

3. Для спостереження роботи елемента задати джерела вхідних сигналів у вигляді прямокутних імпульсів з амплітудами $U_m = 10$ В, тривалістю

імпульсів τ і періодом T наступних значень: $\tau_1=60$ мкс, $T_1 = 200$ мкс, $\tau_2 = 30$ мкс, $T_2 = 300$ мкс.

Спостерігати осцилограми напруги S_1 , S_2 , F і зарисувати їх.

Контрольні питання

1. Принцип роботи струмового ключа на біполярному транзисторі.
2. Принцип роботи схем ТЛНС, ДТЛ, ЕСЛ, I^2L .
3. Принцип роботи ТТЛ із складним інвертором.
4. Як розрахувати споживану потужність логічного елемента?
5. Як побудувати інвертор на схемі ЗАБО–НІ?
6. Що означає позитивна логіка?
7. Яка величина логічного нуля або логічної одиниці в схемах?

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Гершунский Б.С. Основы электроники и микроэлектроники [Текст] / Б.С. Гершунский. - К.: Вища шк., 1987. - 422 с.
3. Алексенко А.Г., Шагурин И.И. Микросхемотехника [Текст] / А.Г. Алексенко, И.И. Шагурин. - М.: Радио и связь, 1990. - 496 с.

Лабораторна робота № 3

Дослідження логічних елементів МДН логіки

Комплементарні (взаємно доповнюючі) МОН (метал-оксид-напівпровідник) - структури, побудовані на основі МОН-транзисторів з різним типом провідності. Елементи КМОН виключно економні по потужності споживання, що є їх основною перевагою. Вони здатні працювати в широкому діапазоні напруги живлення (3...15 В), мають високу завадостійкість. Недоліком їх є поки що менша, ніж в ТТЛ швидкодія. КМОП мікросхеми потребують обережнішого використання, ніж інші мікросхеми, оскільки із-за дуже високого входного опору для них небезпечна статична електрика.

3.1 Короткі теоретичні відомості

Яким би не був складний логічний зв'язок між логічною функцією і її аргументами, цей зв'язок завжди можна представити у вигляді сукупності трьох простих логічних операцій: НІ, І, АБО. Цей набір називають булевим базисом, на честь англійського математика Д. Буля (1815-1864), що розробив основні положення алгебри логіки (АЛ).

Значення часто використовуваних функцій, представлені в таблиці 3.1.

Таблиця 3.1 – Логічні операції між змінними

Аргументи		Функції					
A	B	І	АБО	І-НІ	АБО-НІ	М2	≡
0	0	0	0	1	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	1	0	0	0	1

Функція АБО (інші назви: диз'юнкція, логічне складання, OR) - це функція двох або більшого числа аргументів. Використовувати знак «плюс» між

змінними можна в тих випадках, коли диз'юнкцію не можна змішати з арифметичним підсумовуванням і складанням по модулю 2.

Елемент, що реалізовує функцію І, називають елемент І або кон'юнктор. Елемент І часто використовують для управління потоком інформації. При цьому на один його вхід поступають логічні сигнали, що несуть деяку інформацію, а на другий – сигнал управління: пропускати - 1, не пропускати - 0. Елемент І, які використовуються таким чином, називають вентиль (gate).

При схемній реалізації функціонально повних систем з мінімальним логічним базисом йдуть по шляху використання універсальних логічних елементів: АБО-НІ, І-НІ і І-АБО-НІ

3.2 Логічний елемент АБО - НІ

Мета роботи – вивчення побудови, аналіз характеристик і типів логічних елементів АБО - НЕ.

Розглянемо логічний елемент АБО-НІ на компліментарних МДН-транзисторах транзисторної логіки (КМДНТЛ) (рис. 3.1, а).

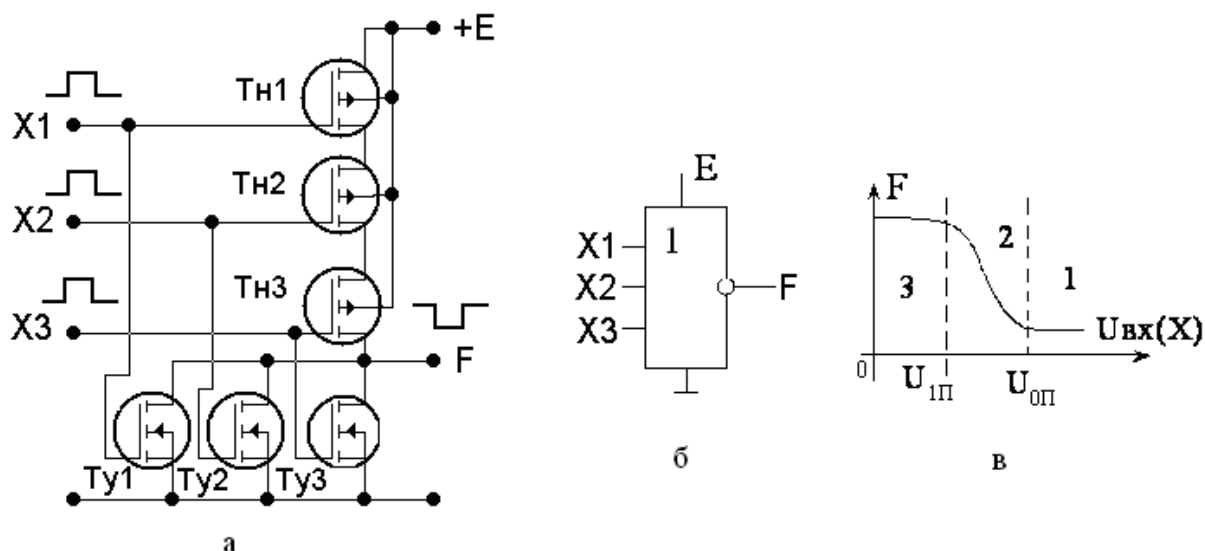


Рисунок 3.1 Схема КМДНТЛ елемента АБО-НІ (а), умовне позначення б) і перехідна характеристика (в)

Керівні МДН транзистори з каналом n-типу ТУ1, ТУ2, ТУ3 сполучені паралельно, а транзистори навантажень ТН1..., ТН3 з каналом р-типу сполучені послідовно і утворюють верхнє плече дільника напруги Е.

Якщо вхідні сигнали X_1, \dots, X_3 дорівнюють нулю, транзистори, що управляють, закриті, а навантаження навпаки відкриті. Тому вихідна напруга велика і логічна функція $F = 1$. Якщо хоч би один вхідний сигнал, наприклад, $X_1 = 1$, то транзистор ТУ1 управління, відкривається, а ТН1 закривається. При цьому $F = 0$. Такий елемент в статичному режимі практично не споживає струм від джерела живлення.

Розглянемо статичну перехідну характеристику логічного елемента (рис. 3.1, в), що відображає зміну $U_{\text{вих}}$ при зміні величини $U_{\text{вх}}$. На ній виділяються три ділянки. Ділянка 1 відповідає нулю на виході U_0 , ділянка 3 – логічній одиниці U_1 . Ділянка 2 відображає перехідний стан. Значення вхідної напруги на границях ділянок $U_{0п}$, $U_{1п}$ називаються пороговими, а їх середнє значення називається порогом перемикавання.

$$U_{п} = 0,5 \cdot (U_{0п} + U_{1п}) \quad (3.1)$$

3.2.1 Опис віртуального EWB стенду

При моделюванні з використанням EWB програми будується схема логічного елемента, показана на рисунку 3.2.

У цій схемі вхідні логічні рівні формуються від джерела V1 і задаються перемикачами S1, S2, S3 які управляються з клавіатури незалежно один від одного натисненням клавіш «1», «2», «3». Наявність логічних одиниць відображаються колірним «світінням» сигнальних елементів U1, U2, U3. Вихідна напруга вимірюється вольтметром M1, а струм споживання міліамперметром M2. Рівень логічного вихідного сигналу відображається сигнальним елементом U4.

При моделюванні прийняти: транзистори управління 2N6568, навантаження – типа 2N6804, $E = 10 \text{ В}$.

1. Для дослідження перехідної характеристики встановити $S1 = 0$, $S2 = 0$, джерело напруги $S3$ змінювати в режимі DC в межах $0...10$ В, підключивши до цього входу вольтметр і змінний резистор. Виміряти $U_{вих}$. Результати записати в таблицю 3.2.

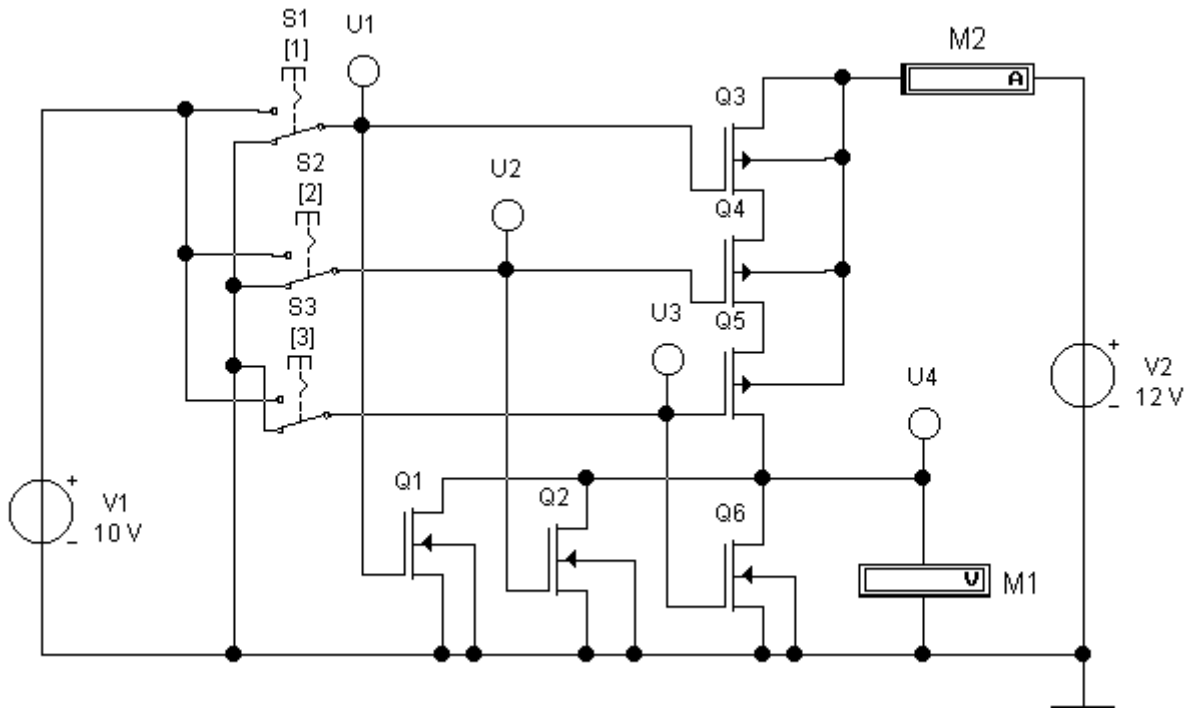


Рисунок 3.2 - Схема моделювання на МДН-транзисторах

Таблиця 3.2 – Перехідна характеристика

$U_{ВХ}, В$	0	1	2	4	6
$U_{ВИХ}, В$					

Визначити напругу U^1 , U^0 і порогові значення $U_{П}^{10}$ и $U_{П}^{01}$.

2. Дослідити швидкодію схеми. Задати напругу $S3$ у вигляді прямокутних імпульсів з амплітудою $U_m = 10$ В; тривалістю $\tau = 10$ мкс і періодом $T = 20$ мкс. Осцилограму замалювати. Визначити значення інтервалів затримки $t_{зд}^{10}$ і $t_{зд}^{01}$.

3. Для спостереження роботи елемента задати джерела вхідних сигналів $S1$, $S2$ і $S3$ у вигляді послідовностей прямокутних імпульсів позитивної

полярності з параметрами: $U_m = 10 \text{ В}$, $T_1 = 200 \text{ мкс}$, $\tau_1 = 60 \text{ мкс}$ для X_1 и $U_m = 10 \text{ В}$, $T_2 = 300 \text{ мкс}$, $\tau_2 = 30 \text{ мкс}$ для X_2 . Спостерігати осцилограми напруги S_1 , S_2 , S_3 , Y , F . Осцилограму зарисувати. Виміряти величину струму вжитку.

3.3 Логічний елемент І - НІ

Економічною схемою, споживаючою струм живлення лише в процесі перемикання, є елемент І-НІ на МДН-транзисторах (рис. 3.3).

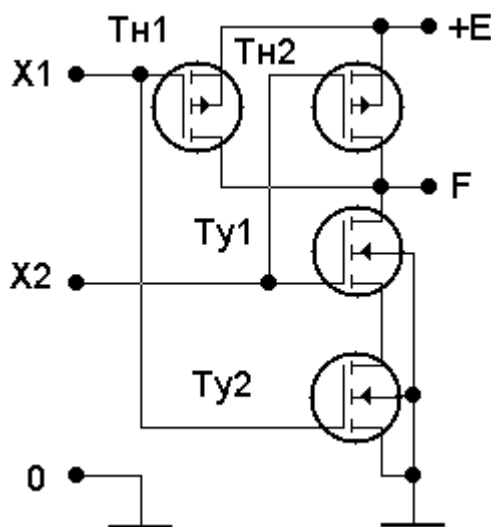


Рисунок 3.3 - Схема елементу 2І-НІ

Тут транзистори навантажень T_n з каналом р-типа включені паралельно, а керівні T_U – послідовно. При $X_1 = 1$ і $X_2 = 0$ транзисторів T_U1 і T_n2 відкриваються, а транзистори T_n1 і T_U2 закриті ($F = 1$). При $X_1 = X_2 = 1$ транзистори T_U1 і T_U2 відкриті, а T_n1 і T_n2 закриті ($F = 0$).

Аналогічно будуються логічні елементи КМДНТЛ на більше число входів.

3.3.1 Опис віртуального стенду EWB

При моделюванні з використанням EWB програми будується схема логічного елементу, показана на рисунку 3.4.

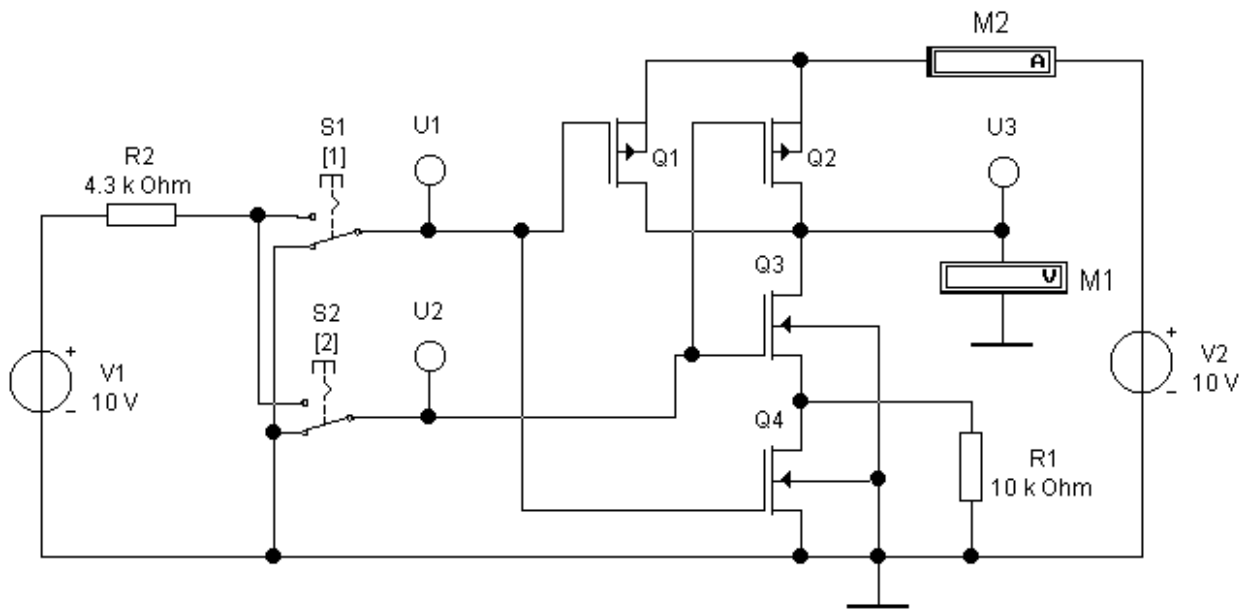


Рисунок 3.4 - Схема елемента І-НІ на МДН-транзисторах

У цій схемі вхідні логічні рівні формуються від джерела V1 і задаються перемикачами S1, S2 які управляються з клавіатури незалежно один від одного натисненням клавіш «1», «2». Наявність логічних одиниць відображається колірним «свіченням» сигнальних елементів U1, U2. Вихідна напруга вимірюється вольтметром M1, а споживаний струм міліамперметром M2. Рівень логічного вихідного сигналу відображується сигнальним елементом U3.

При моделюванні прийняти: транзистори управління 2N6568, навантаження – типа 2N6804, $E = 10 \text{ В}$

1. Дослідити перехідну характеристику, встановивши $S2 = +15 \text{ В}$. В режимі DC змінювати S1 в межах 0...10 В. Характеристику зарисувати, результати вимірів представити у вигляді таблиці 3.2.

2. Дослідити швидкодію схеми. Задати напругу S1 у вигляді прямокутних імпульсів з амплітудою $U_m = 10 \text{ В}$; тривалістю $\tau = 10 \text{ мкс}$ і періодом $T = 20 \text{ мкс}$. Осцилограму замалювати. Визначити значення інтервалів затримки $t_{зд}^{10}$ і $t_{зд}^{01}$.

3. Для спостереження роботи елемента аналогічно задати джерела вхідних сигналів у вигляді прямокутних імпульсів з амплітудами $U_m = 10 \text{ В}$, тривалістю імпульсів τ і періодом T наступних значень: $\tau_1=60 \text{ мкс}$, $T_1 = 200$

мкс, $\tau_2 = 30$ мкс, $T_2 = 300$ мкс. Спостерігати осцилограми напруги S_1 , S_2 , F і привести їх в звіті.

Контрольні питання

1. Принцип роботи струмового ключа на МДН транзисторі з динамічним навантаженням.
2. Принцип роботи компліментарного токового ключа на МДП транзисторах.
3. Принцип роботи логічних елементів МДН, КМДН.
4. Логічні рівні логічних елементів МДН, КМДН.
5. Передаточна характеристика.
6. Перешкодостійкість логічних елементів.
7. Статичні характеристики логічних елементів.
8. Динамічні характеристики логічних елементів.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Гершунский Б.С. Основы электроники и микроэлектроники [Текст] / Б.С. Гершунский. - К.: Вища шк., 1987. - 422 с.
3. Алексенко А.Г., Шагурин И.И. Микросхемотехника [Текст] / А.Г. Алексенко, И.И. Шагурин. - М.: Радио и связь, 1990. - 496 с.
4. Степаненко И.П. Основы микроэлектроники [Текст] / И.П. Степаненко. - М.: Сов. Радио, 1980. - 424 с.

Лабораторна робота №4

Функціональний контроль напівсуматора та чотирьох розрядного паралельного суматора

Мета роботи: ознайомити студентів з принципами функціонального контролю суматорів на прикладі чотирьох розрядного суматора на логічному елементі “Виключаюче АБО”

Основна арифметична операція, яку можна виконати на будь-якому ЕОМ, є операція складання двох n -розрядних кодів ($X_n \dots X_1$ та $Y_n \dots Y_1$). Складання по всіх розрядах, починаючи з молодшого, проходить по певним правилам. У кожному i -му розряді здійснюється складання $X_i + Y_i + P_{i-1}$, де P_{i-1} – перенос з молодшого ($i-1$)-го до старшого розряду. Підсумок можна виразити кодами суми S_i та переносу P_i .

Схема, яка здійснює складання в одному розряді, має назву одно розрядний суматор. Логіка роботи такого суматора визначається за допомогою таблиці істинності (табл. 2.1).

Таблиця 2.1 – Логіка роботи одно розрядного суматора

X_i	Y_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Умовне графічне зображення суматора наведено на рисунку 4.1.

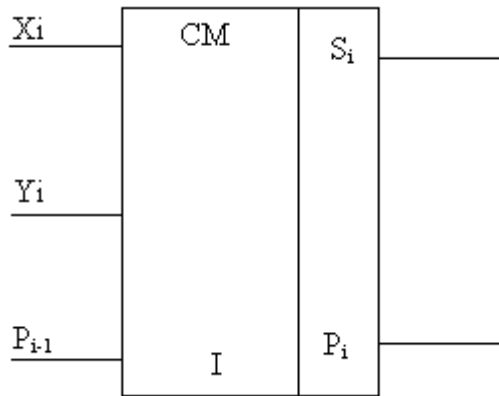


Рисунок 4.1 - Умовне графічне зображення суматора

Схеми однорозрядних суматорів характеризуються:

- 1) часом затримки розповсюдження $t_{зат.р.}$;
- 2) об'ємом обладнання, котре оцінюється числом входів логічних схем, які використовуються для побудови.

На основі одно розрядних суматорів будуються п-розрядні (паралельні) суматори.

Часова діаграма роботи цього суматора, побудована для випадку складання кодів, приведена на рисунку 4.2.

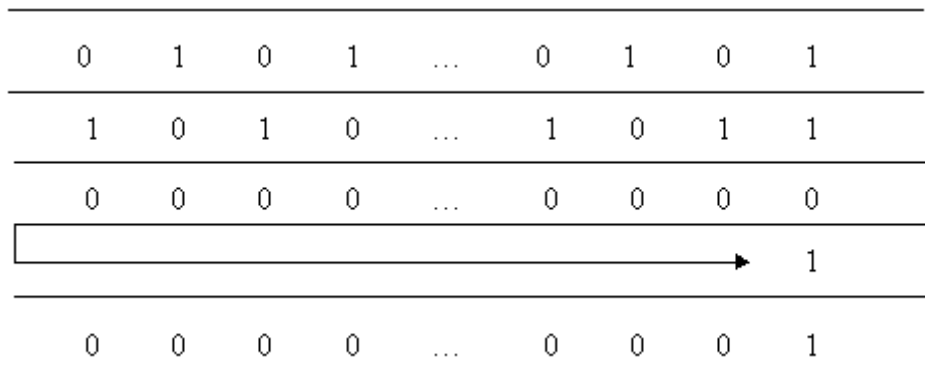


Рисунок 4.2 – Часова діаграма для випадку складання кодів

Після подачі вказаних кодів на усі суматори $СМ_i$ через $t_{зат.р.}$ на виходах P_i встановлюється код $11\dots 10$ та з'являється сигнал переносу $P_i=1$. Цей сигнал починає розповсюджуватись по всій розрядній мережі. Якщо сигнал $P_i=1$ поступає на вхід суматора $СМ_2$, на входах якого присутні сигнали $X_2=1$ чи $Y_2=1$, то на виході суматора $СМ_2$ виробляється сигнал $P_2=1$ з затримкою $t_{зат.р.}$

відносно моменту появи сигналу P_1 . Аналогічно з часом $t_{зат.р}$ відносно моменту появи сигналу P_2 з'являється сигнал P_3 та T_i до появи сигналу P_n через деякий час $n \cdot t_{зат.р}$ з моменту одночасної подачі кодів X_i та Y_i на вході CM_i .

Розповсюдження переносу буде супроводжуватись встановленням правильних сигналів на виходах P_i однорозрядних суматорів. Самим останнім сформується сигнал на виході S_1 після прибуття на вхід суматора CM_1 сигналу $P_n=1$.

Впродовж всього часу розповсюдження переносу та формування сигналів на вході S_i на вході суматора CM_i повинні завжди надаватись сигнали, відповідні кодам, які складаються.

Основним параметром паралельного суматора є його швидкодія t - максимальний час формування коду суми $S_n \dots S_1$ з моменту одночасної подачі кодів, які складаються. Максимальний час - це час розповсюдження переносу крізь всі розряди кодів, які складаються.

Часова діаграма, яка наведена на рисунку 4.2, побудована для випадку складання у зворотному коді, де перенос P_1 , який виник у молодшому розряді, розповсюджується крізь усі n розрядів. З цієї часової діаграми випливає, що

$$t_p = (n+1) \cdot t_{зат.р} = t_{зат.р} \cdot n$$

Логічний елемент “Виключаюче АБО” застосовується як суматор по модулю 2, чи використовується для затримки цифрового імпульсу, частіше використовують двох входів елементи “Виключаюче АБО” та “Виключаюче $\overline{АБО}$ ”. На рис. 4.3 приведено символ елемента без інверсії та його таблиця стану. Вхідний сигнал елемента відповідає логічному рівню

$$F = A \oplus B = A\overline{B} + \overline{A}B$$

Тут “ \oplus ” – символ складання по модулю 2. Нижній та верхній рядки таблиці (рис.4.3) відображають еквівалентність вхідних рівнів, тобто $A = B = 0$ (у верхньому рядку) та $A = B = 1$ (в нижньому). У випадку $A = B = 0$ вихідний сигнал $Q = 0$ (це природній) тривіальний нуль. Коли $A = B = 1$ вихідний

сигнал Q також дорівнює нулю, хоча на двох входах A та B присутні одиниці.

Вхід		Вихід	Вихід
A	B	F	\overline{F}
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

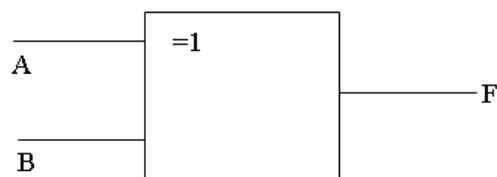


Рисунок 4.3 - Елемент “Виключаюче АБО” та його таблиця функціонування

Якщо до елемента “Виключаюче АБО” додати елемент n, котрий є формувачем одиниці старшого розряду (по іншому, генератор переносу: він утворює вихід P), то отримуємо двох розрядний напівсуматор. Схема напівсуматора приведена на рисунку 4.4

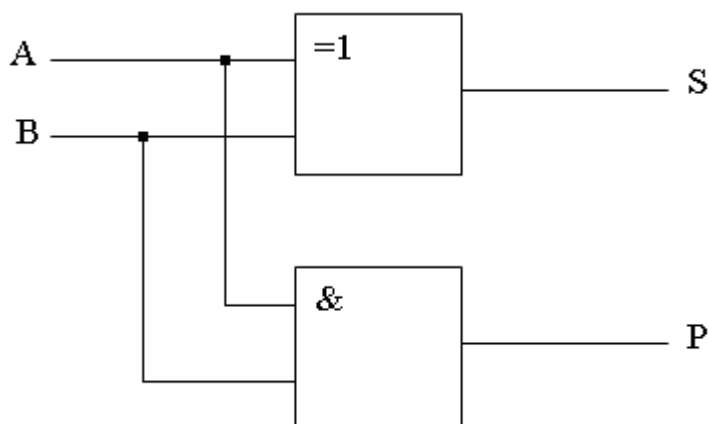


Рисунок 4.4 - Схема напівсуматора

Схема дає при $A = B = 1$ результат $S = 0$ (це молодший розряд суми) та $P = 1$ (старший розряд, тут він має назву одиниці переносу).

У цьому випадку на обох виходах напівсуматора одержимо двох розрядне двоїчне вихідне слово: $A + B = 1+1 = 10$

Його десятичний еквівалент: $1+1 = 2$

4.1 Опис стенду для дослідження принципу роботи суматора та напівсуматора

Робота виконується на ПЕОМ з програмним забезпеченням “Electronic WorkBench 5.12”.

На терміналі програми формується схема електрична чотирьох розрядного паралельного суматора. Для забезпечення дослідження функціонування необхідні:

- 1) джерело живлення постійного струму;
- 2) напівсуматор на елементах елементарної логіки (рис. 4.5, 4.6);
- 3) чотирьох розрядний паралельний суматор (рис 4.7);
- 4) панель відображення інформації;
- 5) прилади контролю функціонування.

Суматор має 8 тумблерів, для складання двох чотирьох розрядних (в двоїчному коді) чисел. Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування чисел, що складаються, за допомогою Word Generator, що знаходиться на панелі інструментів.

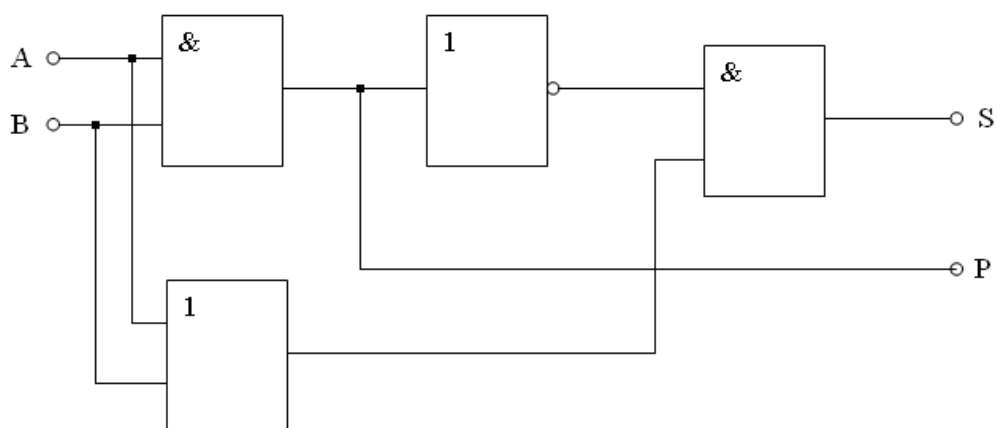


Рисунок 4.5 - Структурна схема напівсуматора, який складається із елементів елементарної логіки

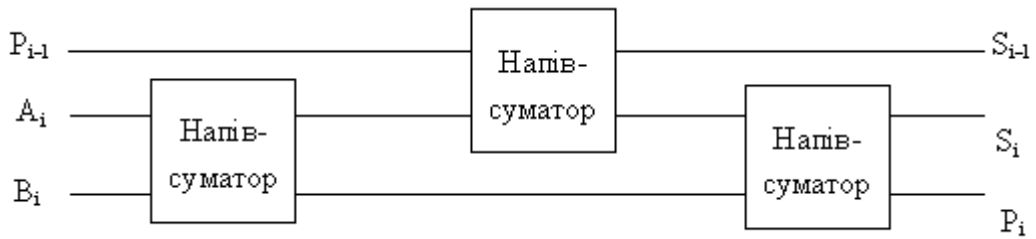


Рисунок 4.6 - Структурна схема суматора з переносом із молодшого розряду, та формуванням переносу в старший розряд

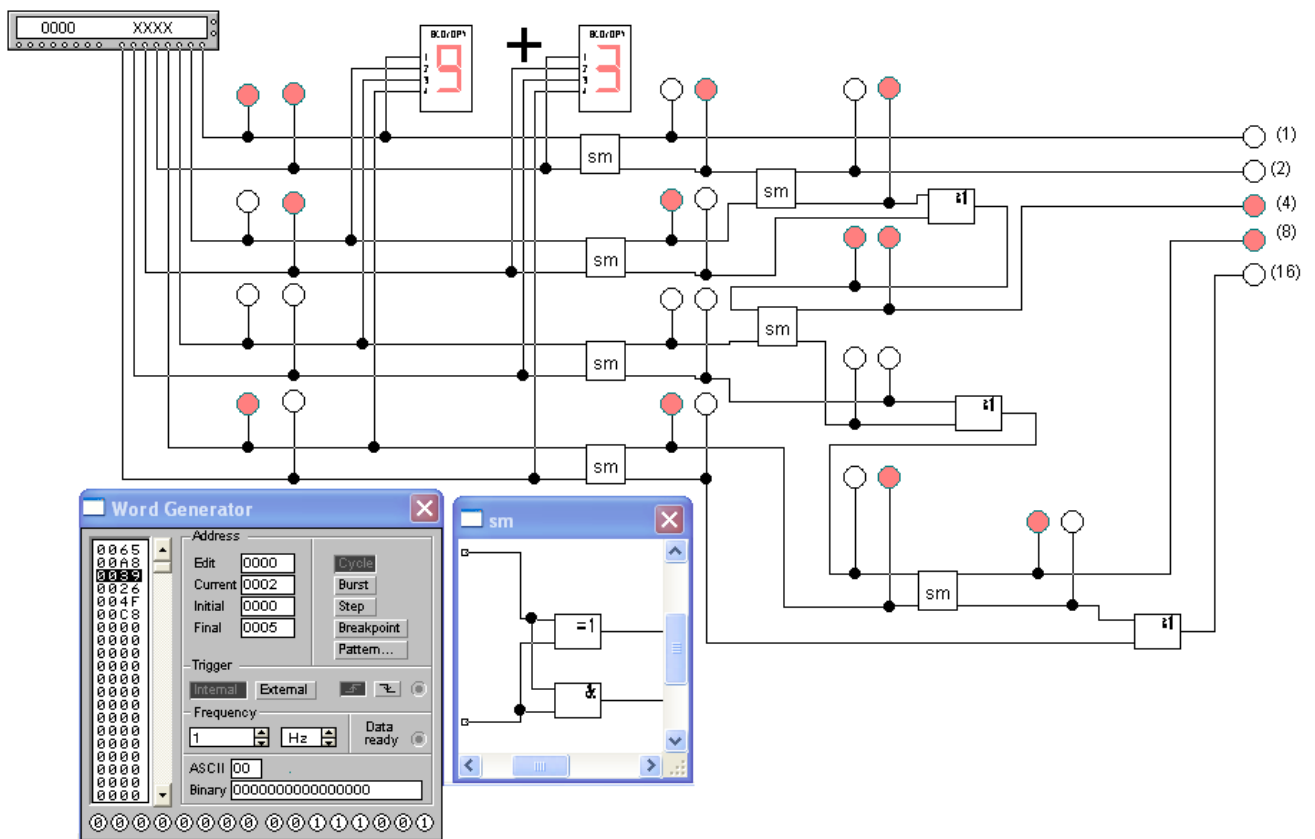


Рисунок 4.7 - Синтезована схема чотирьох розрядного паралельного суматора

4.2 Порядок виконання роботи

1. Послідовно з'єднати джерело живлення постійного струму з суматором (рис. 4.7).
2. Встановити струм.
3. Дослідити напівсуматор, скласти його таблицю істинності.

4. Побудувати діаграму функціонування напівсуматора.
5. Скласти таблицю істинності чотирьохрозрядного паралельного суматора.
6. Побудувати схему чотирьох розрядного паралельного суматора.
7. За допомогою приладів програмного забезпечення провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

Контрольні запитання

1. Означення суматора.
2. Принцип роботи n -розрядного суматора.
3. Основні характеристики суматорів.
4. Напівсуматори: принцип роботи, основні характеристики.
5. Принципи побудови багато розрядних суматорів.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Алексенко А.Г., Шагурин И.И. Микросхемотехника [Текст] / А.Г. Алексенко, И.И. Шагурин. - М.: Радио и связь, 1990. - 496 с.
3. Папернов А.А. Логические основы цифровой вычислительной техники [Текст] / А.А. Папернов. – М.: Сов. Радио, 1972. – 345 с.
4. Основи схемотехніки електронних систем: Підручник [Текст] / [Бойко В.І., Гуржій А.М., Жуйков В. Я. та ін.]. – К.: Вища шк., 2004. – 527 с.: іл.

Лабораторна робота № 5

Логічний синтез пристроїв комбінаційного типу

Мета роботи: ознайомитися із принципами побудови різних схем на елементах комбінаційного типу.

5.1 Кодуючі і декодуючі пристрої

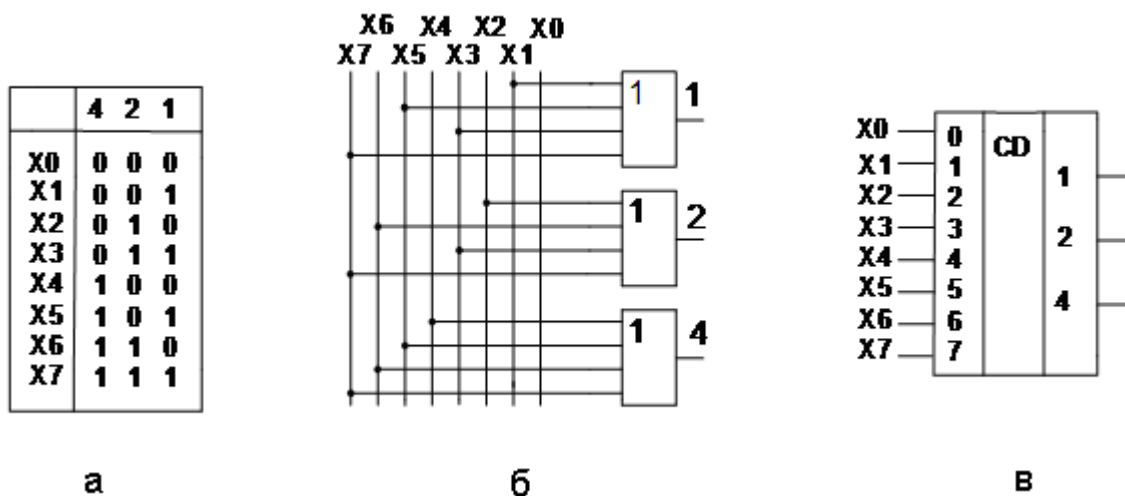
Цифровими пристроями комбінаційного типу або цифровими автоматами без пам'яті називаються цифрові пристрої, логічні значення на виході яких однозначно визначаються сукупністю або комбінацією сигналів на входах в даний момент часу. До них відносяться схеми, що підсумовують, шифратори і дешифратори, мультиплексори і демультіплексори, цифрові компаратори і інші пристрої. Цифрові пристрої комбінаційного типу випускаються у вигляді інтегральних мікросхем або входять до складу великих інтегральних мікросхем, таких як процесори, що запам'ятовують та інші пристрої.

5.1.1 Шифратор (кодер)

Шифратор (кодер) – це функціональний вузол, призначений для перетворення управляючих сигналів (команд), що поступають на його входи, в n – розрядний двійковий код. Зокрема, такими сигналами або командами можуть бути десяткові числа, наприклад, номер команди, який за допомогою шифратора перетвориться в двійковий код. Як приклад розробимо схему 3 – розрядного шифратора. Спочатку слід побудувати таблицю код (таблицю істинності), в якій код номера сигналу представимо, наприклад, двійковим кодом (рис. 5.1, а). Схема, реалізована на елементах АБО, приведена на рисунку 5.1, б.

У загальному випадку, при використанні двійкової коди, можна закодувати $2n$ вхідних сигналів. У розглянутій вище схемі вихідний код

«000» присутній на виході при подачі сигналу на вхід X0 і в разі, якщо вхідний сигнал взагалі не подається ні на один з входів.



а - таблиця кодів; б - функціональна схема; в - умовне графічне позначення (УГП)

Рисунок 5.1 – Трьохрозрядний шифратор

Для однозначної ідентифікації сигналу X0 в інтегральних схемах формується ще один вихідний сигнал – ознака подачі вхідного сигналу, який використовується і для інших цілей.

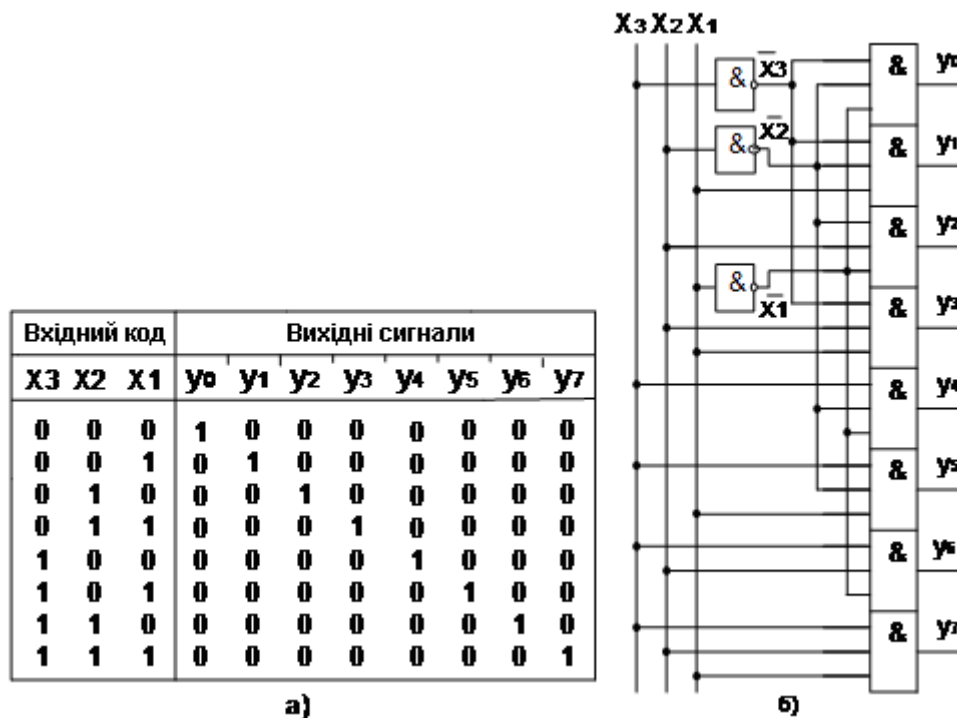
5.1.2 Дешифратор (декодер)

Дешифратор – функціональний вузол, що виробляє сигнал «лог. 1» (дешифратор високого рівня) або сигнал «лог. 0» (дешифратор низького рівня) лише на одному зі своїх 2^n виходах залежно від коду двійкового числа на n -входах. Дешифратор із 3 в 8 представлений на рисунку 5.2.

Дешифратори широко використовуються в пристроях управління, де вони формують сигнал, що управляє, відповідно до вхідного коду, який впливає на який-небудь виконавчий пристрій.

Інтегральні мікросхеми дешифраторів виготовляються з додатковими входами, наприклад, з входом дозволу (стробування). Стробування дозволяє виключити появу на входах дешифратора помилкових сигналів,

забороняючи його роботу в інтервалі часу перехідного процесу при зміні цифрової коди на вході.



а – таблиця істинності; б – функціональна схема

Рисунок 5.2 – Дешифратор із 3 в 8

Мікросхема К155ИД3 (рис. 5.3, а) має чотири адресні входи з ваговими коефіцієнтами двійкового коду 1 2 4 8, два інверсні входи стробування S, об'єднаних по I, і 16 інверсних виходів 0 – 15. Якщо на обох входах стробування «лог. 0», то на тому з виходів, номер якого відповідає десятковому еквіваленту вхідного коду, буде «лог. 0». Якщо хоч би на одному з входів стробування S «лог. 1», то незалежно від перебування входів на всіх виходах мікросхеми формується «лог. 1».

Наявність двох входів стробування істотно розширює можливості використання мікросхем. З двох мікросхем К155ИД3, доповнених одним інвертором, можна зібрати дешифратор на 32 виходи (рис. 5.3, б).

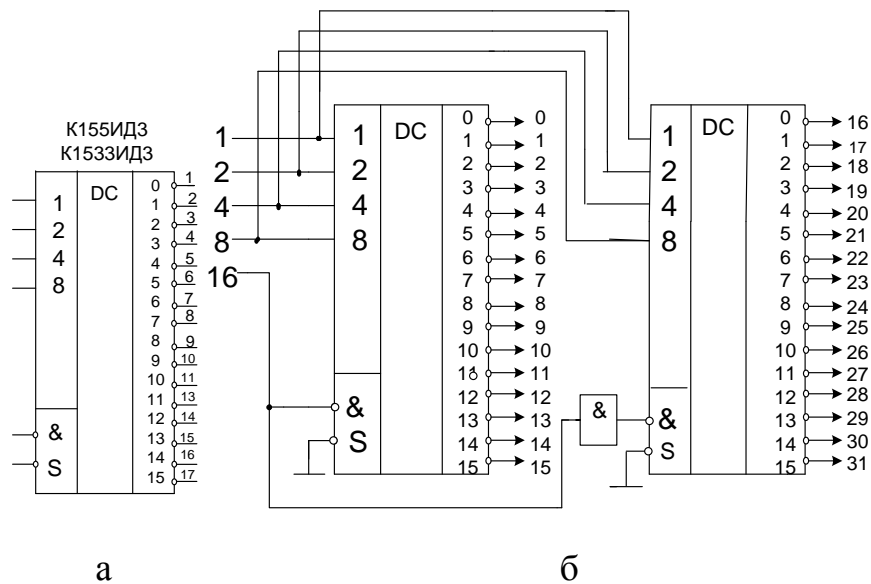


Рисунок 5.3 – Дешифратор К155ИД3

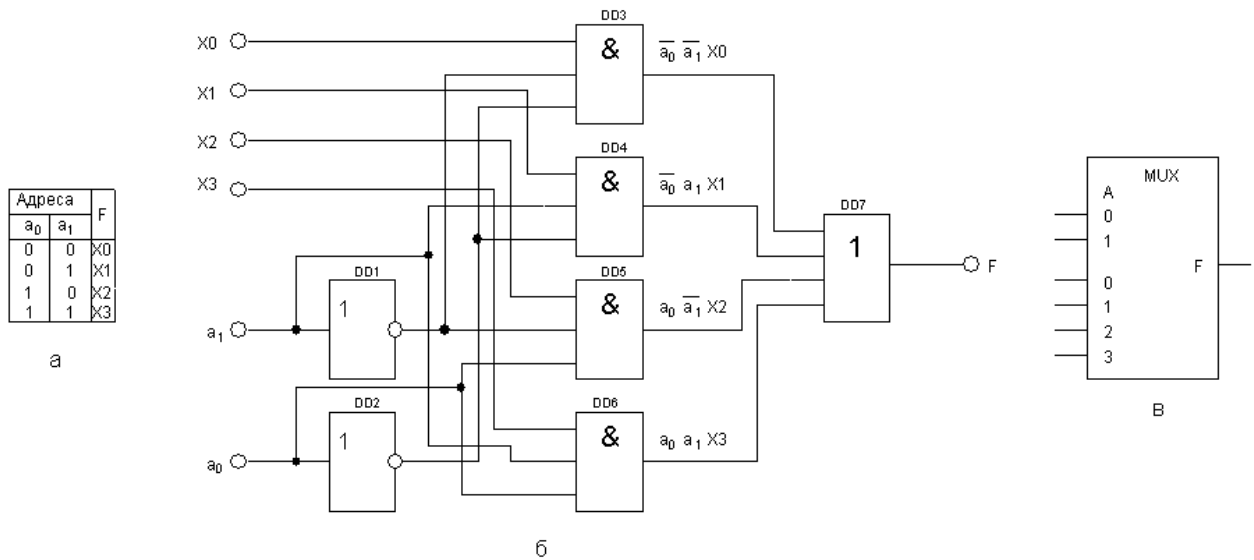
5.2 Комутатори цифрових сигналів

5.2.1 Мультиплексори

Мультиплексор – функціональний вузол, який має n - адресних входів, $N = 2^n$ інформаційних входів, один вихід і здійснює керовану комутацію інформації, що поступає по N вхідним лініям, на одну вихідну лінію. Комутація певної вхідної лінії відбувається відповідно до двійкового адресного коду $a_{n-1}, \dots, a_2, a_1, a_0$.

Якщо адресний код має n – розрядів, то можна здійснити $N = 2^n$ комбінацій адресних сигналів, кожна з яких забезпечить підключення однієї з N вхідних ліній до вихідної лінії. Такий мультиплексор називають «з N в одну». За наявності надлишкових комбінацій адресних сигналів можна спроектувати мультиплексор з будь-яким числом вхідних ліній $N \leq 2^n$

У простому випадку при дворозрядному адресному коді ($n=2$) максимальне число вхідних адресних ліній дорівнює $N = 2^n = 4$. Таблиця істинності такого мультиплексора приведена на рисунку 5.4, а.



а – таблиця істинності; б – функціональна схема; в – УГП
 Рисунок 5.4 - Мультиплексор із 4 в 1

Характеристичне рівняння такого мультиплексора, записане у відповідності з таблицею істинності, має вигляд:

$$F = \overline{a_1} \overline{a_0} X_0 + \overline{a_1} a_0 X_1 + a_1 \overline{a_0} X_2 + a_1 a_0 X_3$$

З отриманого рівняння виходить, що до складу функціональної схеми мультиплексора входять два інвертори, чотири схеми «І» і одна схема «АБО» (рис. 5.4, б). Тут адресними (керівними) входами є a_1, a_0 , а інформаційними – X_0, X_1, X_2, X_3 .

Умовне графічне позначення мультиплексора, відповідно до ГОСТ 2.743 – 91, приведене на рисунку 5.4, в.

В даний час промисловість випускає МС, в серії яких входять мультиплексори з $n = 2, 3$ і 4 адресними входами. При $n=2$ випускаються здвоєні чотирьохканальні ($2^n = 4$) мультиплексори, число вхідних інформаційних сигналів яких рівне $2^n + 2^n = 8$.

5.3 Дешифратори – демультиплексори

Демультиплексор – це функціональний вузол, що здійснює керовану комутацію інформації, що поступає по одному входу, на N виходів. Таким

чином, демультимплексор реалізує операцію, протилежну тій, яку виконує мультимплексор.

Узагальнена схема демультимплексора приведена на рисунку 5.5. У загальному випадку число вихідних ліній N визначається кількістю адресних входів n і дорівнює $N = 2^n$.

Для випадку $n = 2$ функціонування демультимплексора здійснюється відповідно до таблиці істинності, приведеної на рисунку 5.6, а.

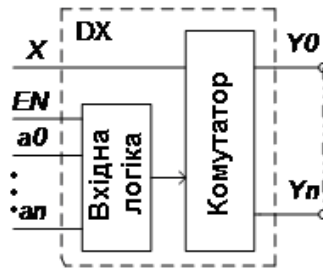
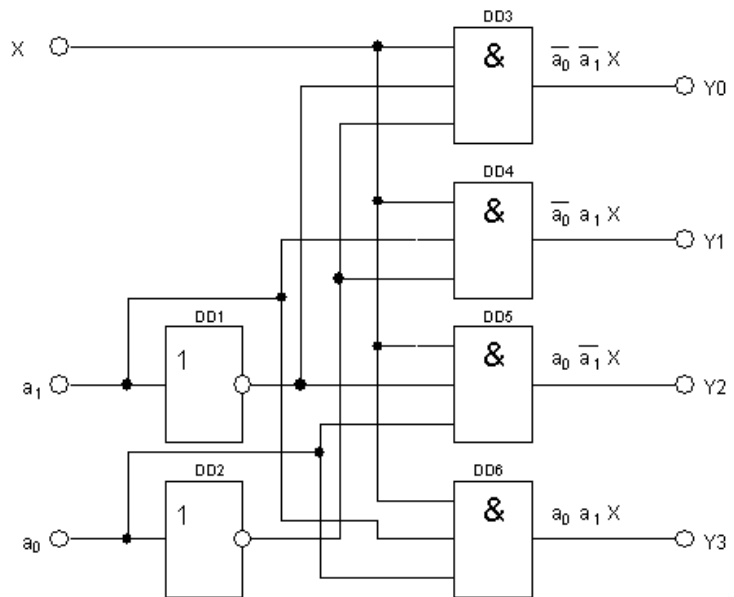


Рисунок 5.5 - Узагальнена схема демультимплексора

Адреса		Виходи			
a_0	a_1	Y_0	Y_1	Y_2	Y_3
0	0	X	0	0	0
0	1	0	X	0	0
1	0	0	0	X	0
1	1	0	0	0	X

а



б

Рисунок 5.6 - Таблиця істинності (а) і функціональна схема 4 – каналного демультимплексора (б)

З таблиці істинності запишемо характеристичні рівняння демультимплексора:

$$Y_0 = \overline{a_1 a_0} X; Y_1 = \overline{a_1} a_0 X;$$

$$Y_0 = a_1 \overline{a_0} X; Y_1 = a_1 a_0 X.$$

Відповідна цим рівнянням функціональна схема демультіплектора приведена на рисунку 5.6, б. Вона має в своєму складі два інвертори і чотири елементи «І».

Порівнюючи таблиці істинності і функціональні схеми демультіплектора і дешифратора, легко побачити схожість їх функцій. Якщо функція $X = 1$ постійна, то демультіплексор виконує функції дешифратора. Враховуючи схожість виконуваних функцій, мікросхеми дешифраторів і демультіплексо-рів мають однакове умовне позначення – ІЕ, називаються «Дешифратор – демультіплексор» і можуть виконувати функції і дешифратора і демультіплектора.

5.4 Перетворювачі кодів. Індикатори

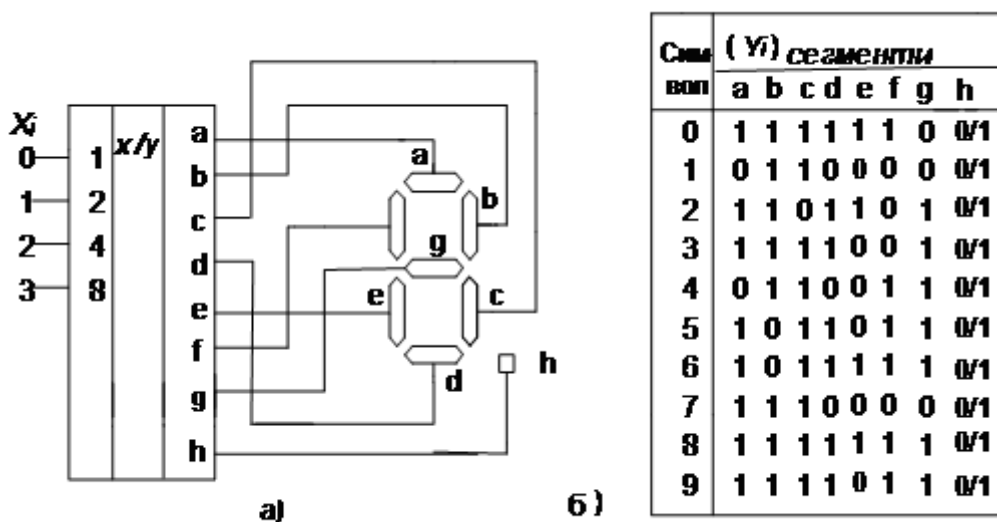
Операція зміни коду числа називається його перетворенням. Інтегральні мікросхеми, що виконують ці операції, називаються перетворювачами кодів. Інтегральні мікросхеми перетворювачів кодів випускаються лише для найбільш поширених операцій - таких як перетворювачі двійкової коди в десятковий, двійково – десятковий, шістнадцятиричний, код Грея (таблиця. 5.1) або зворотних, вказаних вище перетворень.

По своїй структурі перетворювачі кодів є дешифраторами, лише вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах.

Як приклад розглянемо перетворювач двійкового коду в код управління 7 – сегментним цифровим індикатором. На рис. 5.7 а приведена схема підключення індикатора. Індикатор є напівпровідниковим приладом, в якому є вісім сегментів, виконаних зі світлодіодів. Включенням і виключенням окремих сегментів можна отримати зображення окремих цифр або знаків, що світяться.

Таблиця 5.1 - Найбільш поширені двійкові коди від 0 до 15

Десяткове число	Коди			
	Двійковий	Вісімковий	Шістнадцятирічний	Двійково-десятковий
0	0000	0	0	0000
1	0001	1	1	0001
2	0010	2	2	0010
3	0011	3	3	0011
4	0100	4	4	0100
5	0101	5	5	0101
6	0110	6	6	0110
7	0111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	00010000
11	1011	13	B	00010001
12	1100	14	C	00010010
13	1101	15	D	00010011
14	1110	16	E	00010100
15	1111	17	F	00010101



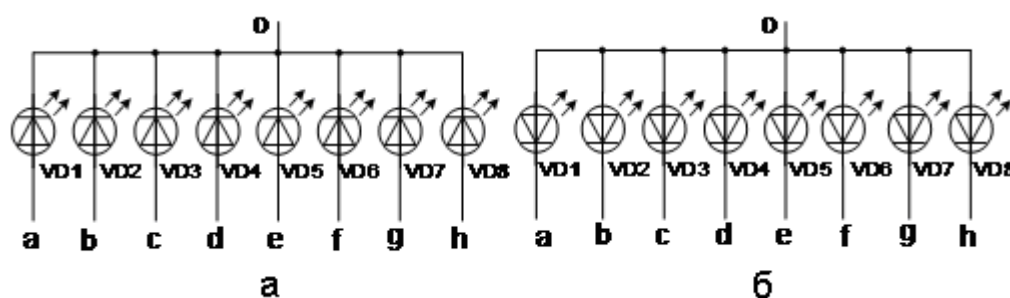
а) – схема підключення індикатора; б) – таблиця станів

Рисунок 5.7 - Перетворювач двійкового коду в код 7 – сегментного індикатора

Кожній цифрі відповідає свій набір включення певних сегментів індикатора. Відповідна таблиця відображення цифр і десяткової розділової крапки приведена на рис. 5.7, б.

За внутрішньою схемою включення індикатори підрозділяються на індикатори із загальним катодом та із загальним анодом. Схеми обох видів індикаторів приведені на рис. 5.8, а і 5.8, б відповідно.

Існує широка гамма різних модифікацій семисегментних індикаторів. Вони відрізняються один від одного розмірами, кольором свічення, яскравістю, розташуванням виводів.



а – із загальним катодом; б – із загальним анодом

Рисунок 5.8 - Схеми індикаторів

Для управління індикатором із загальним катодом використовується, наприклад, дешифратор К514ИД1, а із загальним катодом – К514ИД2. Використовуються мікросхеми дешифраторів і інших серій, наприклад, 176ИД2, 176ИД3, 564ИД4, 564ИД5, К133ПП1 і ін.

5.5 Порядок виконання роботи

При вивченні інтегральних пристроїв комбінаційного типу (дешифраторів, мультиплексорів, демультиплексорів, перетворювачів кодів) рекомендується засвоїти їх призначення, принципи функціонування і основні особливості; перевірити за довідковими даними збіг значень параметрів пристроїв і параметрів логічних елементів, використовуваних в комбінаційних прибудовах.

5.5.1 Варіанти завдань

1. Побудувати схему зведення в квадрат чотирирозрядного двійкового коду чисел 0 ... 9 з виведенням інформації на семисегментні шістнадцятирічні індикатори десяткових цифр.
2. Побудувати схему логічного апарату на 16 – програм, для управління чотирма ялинковими гірляндами.
3. Побудувати схему перетворювача двійкового коду двійково – десятковий.
4. Побудувати логічну схему автоматичного суддівського пристрою для 4 суддів (один з них головний суддя), з виведенням результату на світловий індикатор.
5. Побудувати схему перетворювача двійкового коду в додатковий.

Контрольні питання

1. Схема лінійного дешифратора.
2. Схема пірамідального дешифратора.
3. Схема розширення виходів дешифратора.
4. Схема шифратора з десяткового коду чисел в двійковий код.
5. Схема заданого перетворювача кодів.
6. Мультиплексор з 8 в 1.
7. Демультиплексор з 1 в 8.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.
2. Алексенко А.Г., Шагурин И.И. Микросхемотехніка [Текст] / А.Г. Алексенко, И.И. Шагурин. - М.: Радио и связь, 1990. - 496 с.

Лабораторна робота № 6

Дослідження послідовністих функціональних вузлів

Мета роботи: ознайомитися з можливістю побудови різних послідовністих функціональних вузлів і вивчити принципи їх роботи.

6.1 Послідовністих цифрові мікросхеми

Основними типами послідовністих функціональних вузлів, що випускаються у вигляді окремих інтегральних мікросхем або входять в склад ВІС або СВІС, є регістри, лічильники і генератори чисел.

Регістром називається функціональний вузол, що виконує зберігання операндів і їх зрушення на певне число розрядів.

Лічильником називається вузол, на входах якого утворюється число, яке відповідає кількості імпульсів, що поступили на вхід.

Генератором чисел (числових послідовностей) називається вузол, що формує на виходах задану послідовність чисел.

6.1.1 Регістри

Регістри є найбільш поширеним типом послідовністих вузлів в сучасних цифрових системах. За способом прийому і видачі інформації регістри підрозділяються на групи (рис. 6.1). За принципом зберігання інформації регістри діляться на статичні і динамічні. Статичні регістри будують на потенційних елементах пам'яті (тригерах), які за наявності живлячої напруги можуть зберігати інформацію скільки завгодно довго. Динамічні регістри будують на елементах пам'яті такого типа, як конденсатор. Практично в таких регістрах використовується вхідна місткість МДН - транзисторів. Подібний елемент пам'яті може зберігати інформацію лише протягом деякого проміжку часу. Тому в динамічних регістрах записана інформація знаходиться в постійному русі.

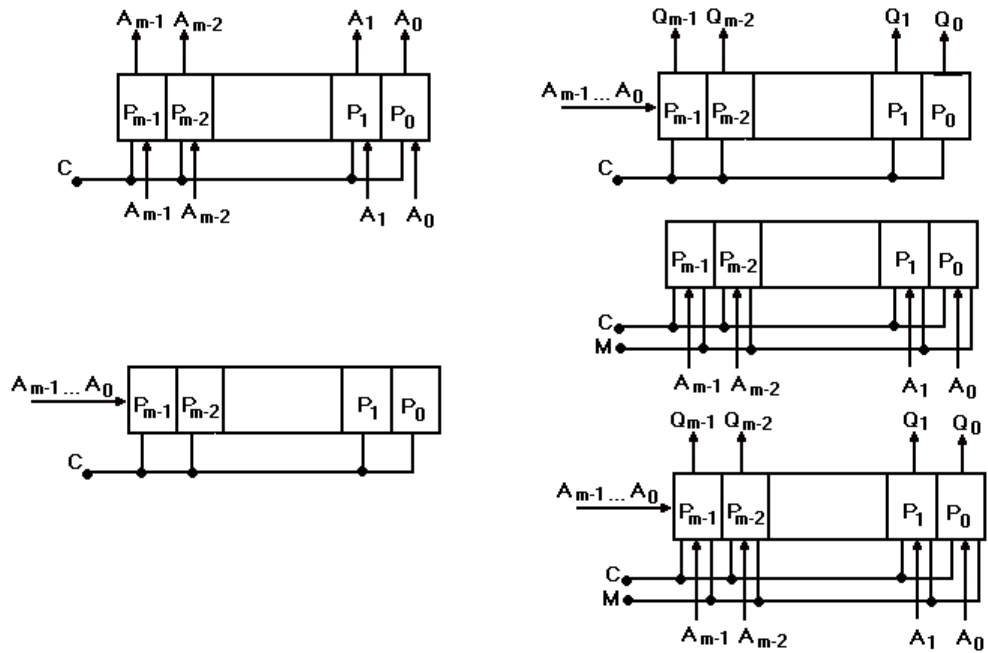


Рисунок 6.1 - Основні типи регістрів

За способом прийому і видачі інформації регістри діляться на наступні групи: з паралельними прийомом і видачею; з послідовними прийомом і видачею; з послідовним прийомом і паралельною видачею; з паралельним прийомом і послідовною видачею; комбіновані з різними способами прийому і видачі. Регістри з паралельним прийомом і видачею інформації (рис. 6.2, а) служать для зберігання інформації і називаються регістрами пам'яті. В якості розрядів регістра пам'яті використовуються тригери що синхронізуються рівнем і фронтом: D-тригери, якщо інформація поступає у вигляді однофазних сигналів, або RS-тригери (рис 6.2, б), якщо інформація поступає у вигляді парафазних сигналів.

6.1.2 Лічильники

Основним параметром лічильника є модуль рахунку: K_c – максимальне число імпульсів, яке може бути злічене лічильником. Після надходження K_c імпульсів лічильник повинен повертатися в початковий стан.

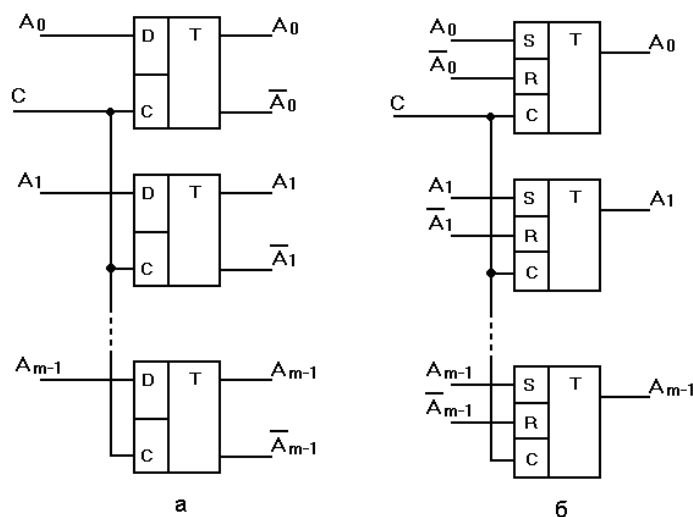


Рисунок 6.2 - Регістри зберігання, що синхронізуються рівнем (а) і фронтом (б)

Величина K_C рівна числу стійких станів лічильника. Лічильник, що містить m розрядів (тригерів) може мати 2^m стійких станів, тому його модуль рахунку $K_C \leq 2^m$. Кількість імпульсів, що поступили на рахунковий вхід, представляється на виході лічильника у вигляді двійкового числа в тому або іншому коді: прямому, додатковому, циклічному. Звичайно лічильники мають додаткові входи установки S або виходу скидання R .

Лічильники розділяються по типу функціонування і по структурній організації [1]. Лічильник звичайно реалізується на тригерах, що мають рахунковий вхід. Проста схема лічильника з послідовним перенесенням, побудована на Т-тригерах представлена на рисунку 6.3, часова діаграма лічильника представлена на рисунку 6.4.

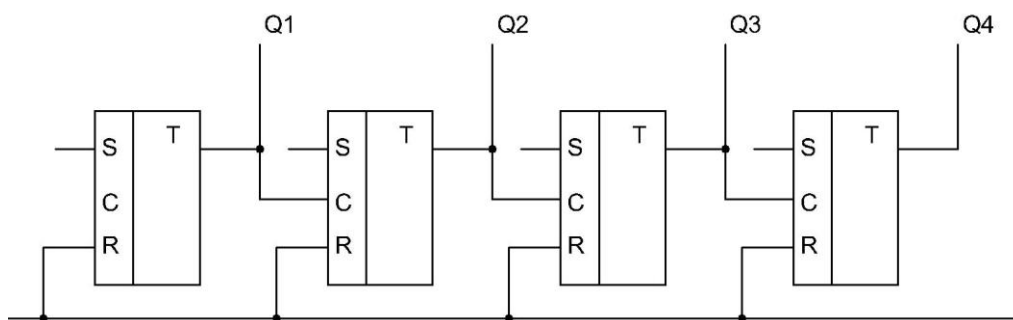


Рисунок 6.3 - Схема двійкового лічильника

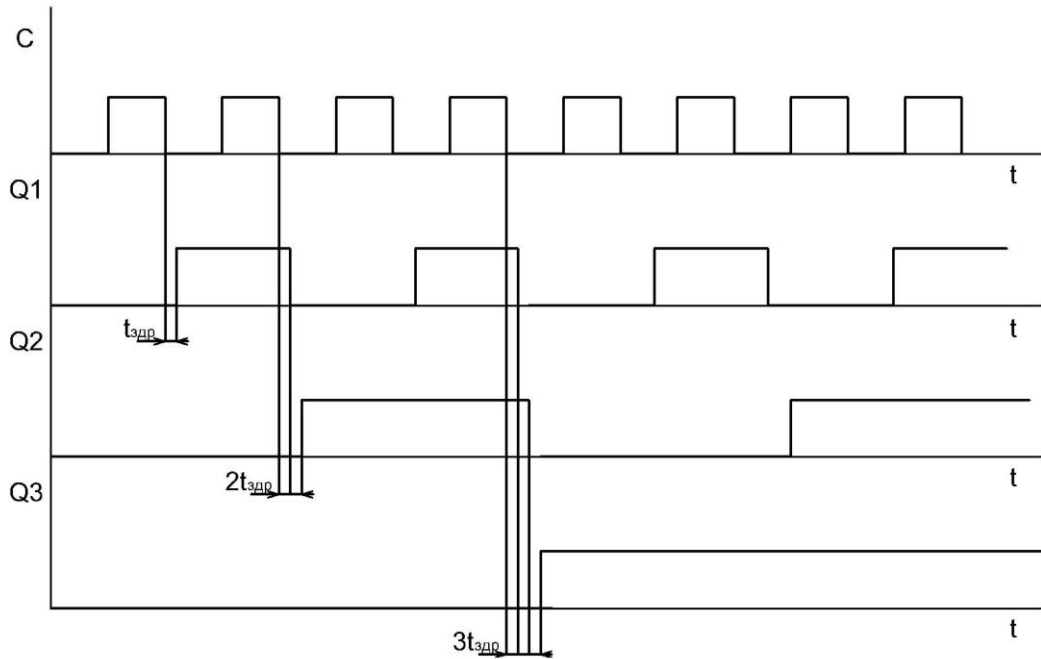


Рисунок 6.4 - Часова діаграма до рисунку 6.3

Решта типів лічильників, принципи їх побудови, діаграми функціонування описані в [1, 2]. Слід звернути увагу на основні характеристики лічильника (максимальний час затримки розповсюдження сигналу від входу лічильника до його виходів $t_{зд \cdot сч}$ і його місткість $N_{сч}$).

6.1.3 Генератори чисел

Послідовнісні вузли цього типу називають також розподільниками сигналів, оскільки утворювана на їх виходах послідовність двійкових чисел часто використовується в цифрових системах як послідовність сигналів, що управляють роботою інших вузлів (рис. 6.5, 6.6). По своїй структурі генератори чисел близькі або до лічильників, або до регістрів [1].

Для побудови генератора (рис. 6.5) використовується лічильник, побудований на двох JK – тригерах, який побудовано по схемі віднімаючого лічильника, сигнал перенесення подається на тригер старшого розряду не з прямого виходу попереднього тригера, а з інверсного.

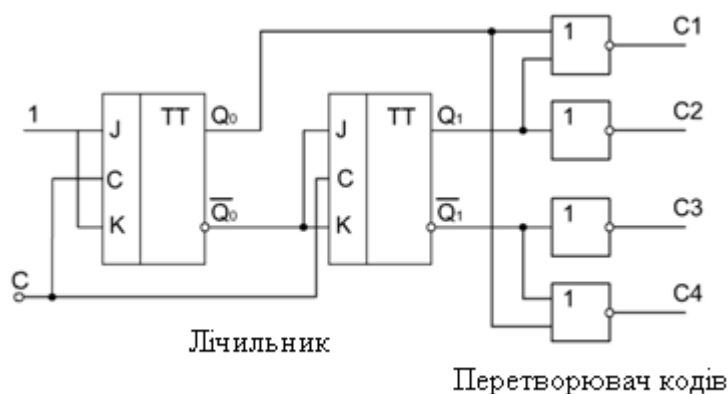


Рисунок 6.5 - Структура генератора чисел 4-3-2-12

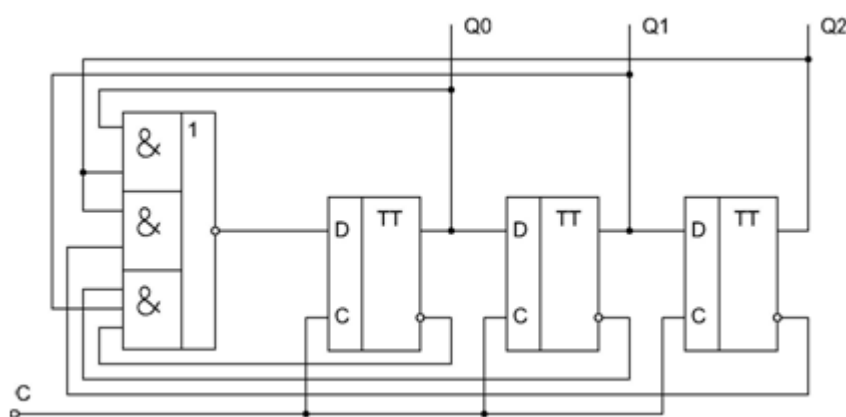


Рисунок 6.6 - Генератор чисел на основі зсувного регістра

6.2 Порядок виконання роботи

Експериментальна установка є набором функціональних вузлів електронних схем в програмному забезпеченні “Electronic WorkBench 5.12”.

Одержавши допуск до лабораторної роботи і завдання від викладача, студенти збирають схему, користуючись рекомендаціями в підключенні функціональних вузлів, приведених нижче.

1. Дешифратор може бути з'єднаний з схемою індикації результатів експерименту по схемі, приведений на рис. 6.7.

2. Діаграми функціонування зібраних схем необхідно дослідити за допомогою осцилографа та Logic Analyzer.

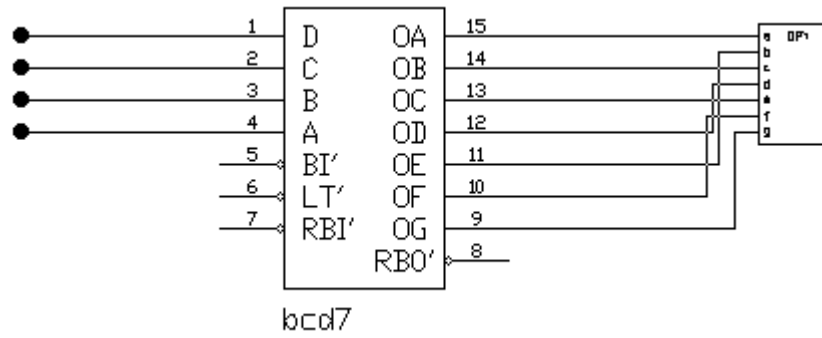


Рисунок 6.7- Спільна робота дешифратора з газорозрядним індикатором.

3. Лічильники зібрати згідно з схемами приведеними на рисунках 7.8 – 7.10.

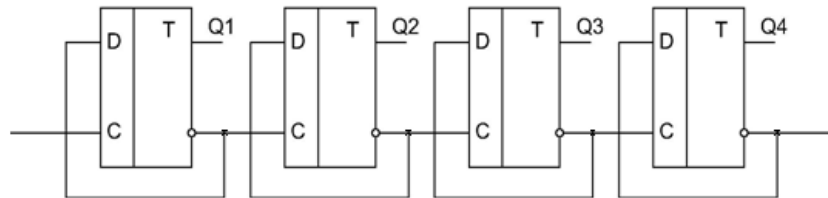


Рисунок 6.8 - Асинхронний двійковий лічильник на D-тригерах

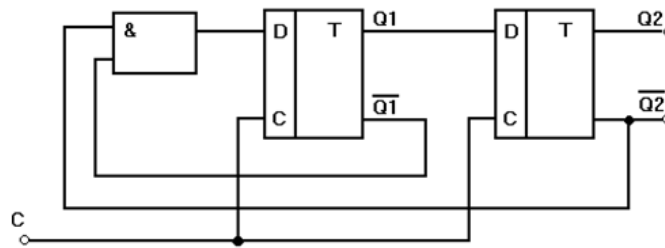


Рисунок 6.9 - Лічильник по модулю 3 на D-тригерах

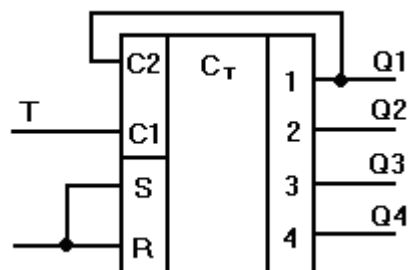


Рисунок 6.10 - Двійково-десятковий лічильник

4. Побудувати часові діаграми функціонування побудованих лічильників

5. Регістри побудувати, використовуючи функціональні вузли експериментального обладнання і схеми, зображені на рис. 6.11 – 6.12.

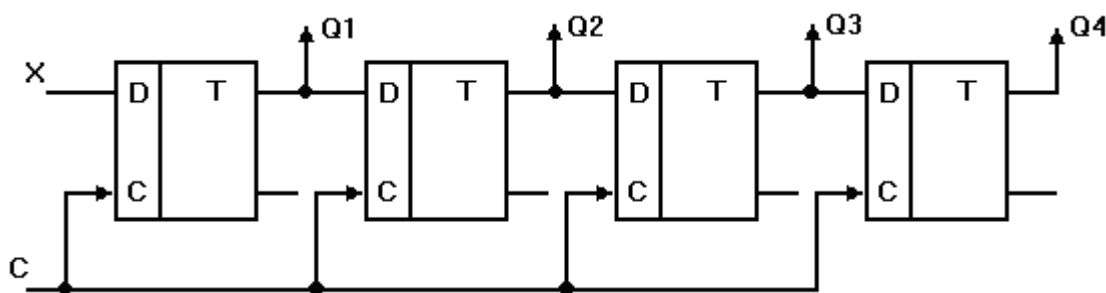


Рисунок 6.11 - Регістр зсуву на D-тригерах

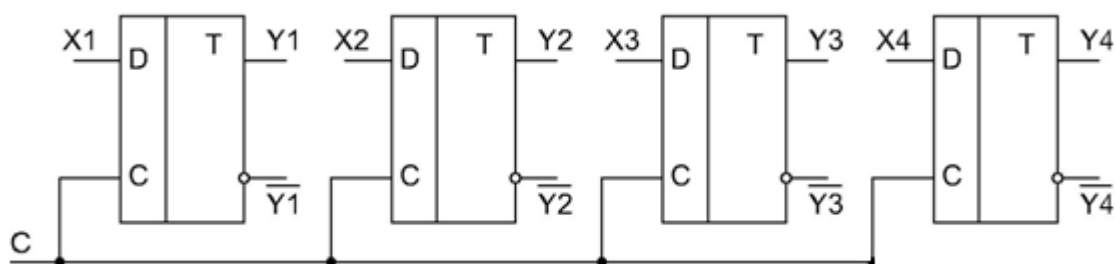


Рисунок 6.12 - Паралельний регістр на тактовних D-тригерах

6. Побудувати часові діаграми функціонування побудованих регістрів.

7. Побудувати схеми генераторів чисел (рис. 7.5 - 7.6) та діаграми їх функціонування.

Контрольні питання

1. Принципи побудови та функціонування інтегральних регістрів.
2. Принципи побудови та функціонування інтегральних лічильників.
3. Інтегральні генератори чисел.

Література

1. Верьовкін Л.Л. Цифрова схемотехніка: Підручник [Текст] / Л.Л. Верьовкін, М.В. Світанько, Є.М. Кісельов, С.Л. Хрипко. – Запоріжжя: ЗДІА, 2016. – 214 с.

