

Питання до екзамену з дисципліни «Цифрові логічні автомати»

1. Мікропроцесорний комплект (МПК).
2. Розподіл МП по призначенню.
3. Багатокристальні мікропроцесорні комплекти .
4. Розподіл МП по способу управління.
5. Розподіл МП по типу архітектури.
6. Розподіл МП по типу системи команд.
7. Інформаційні канали МПС.
8. Системна шина SB. Шина адреси AB. Шина даних DB.
9. Шина управління CB. Структурна схема передачі інформації між m регістрами по внутрішній n -розрядній шині даних.
10. Принципи побудови мікропроцесорних систем.
11. Фоннейманівська архітектура мікропроцесора.
12. Гарвардська архітектура мікропроцесора.
13. Розширена структурна схема з процесором фоннеймановської архітектури.
14. Пристрій управління.
15. Арифметично логічний пристрій.
16. Регістри процесора.
- 17 Система переривань.
Пристрої введення-виведення.
18. Інтерфейси введення-виведення
19. Регістр команд процесора.
20. Регістр адреси і регістри даних.
21. Регістр стану процесора.
22. Структурна схема однокристального 8-розрядного мікропроцесора.
23. Стандартна схема включення МП.
24. Виведення інформації по виводам порту.
25. Введення інформації по виводам порту.
26. Забезпечення скидання інформації по виводу RESET.
27. Основні лінії шини управління 8-розрядного МП.
28. Регістри загального призначення.
29. Дешифратор 2 в 4 з входом дозволу виходів.
30. Часові діаграми дешифратора 2 в 4.
31. Засоби організації входу дозволу виходів дешифратора.
32. Демультіплексор 1 в 4.
33. Збільшення розрядності дешифраторів і демультіплексорів.
34. Мультіплексор 4 в 1 з входом дозволу виходів.
35. Діаграма функціонування мультіплексора.
36. Розрахунок схеми неперіоритетного шифратора 8 в 3.
37. Розрахунок схеми пріоритетного шифратора 9 в 4 з прямими входами та виходами.
38. Розрахунок схеми пріоритетного шифратора 8 в 3 з можливістю нарощування розрядності.

39. Нарощування розрядності шифраторів 8 в 3 до 16 в 4.
40. Перетворювач двійкового коду в двійково-десятковий код.
41. Перетворювач двійкового коду в додатковий код.
42. Перетворювач двійкового коду в код Грея.
43. Перетворювач двійкового коду в код з надлишком 3.
44. Перетворювач двійкового коду в код Айкена.
45. Перетворювач двійкового коду в код управління сегментними індикаторами.
46. Схема порівняння кодів $F(X=Y)$.
47. Схема порівняння кодів $F(X>Y)$.
48. Схема порівняння кодів $F(X<Y)$.
49. Схема контролю парності.
50. Контроль парності в n -провідній лінії зв'язку паралельного двійкового коду $x(n-1), x(n-2), \dots, x_1, x_0$.
51. Мажоритарний елемент 3 з 5 в базісі Шеффера.
52. Мажоритарний елемент 3 з 5 в базісі Пірса.
53. Принцип мажоритарного резервування.
54. Мажоритарний контроль шестирозрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів.
55. Цифрова схема включення і виключення з декількох місць.
56. Перемикач «два з трьох» в системах, пов'язаних з підвищеним ризиком.
57. Порогова логічна схема.

Перелік питань, які виносяться на екзамен

1. Мікропроцесорний комплект.
2. Розподіл МП по призначенню.
3. Багатокристалні мікропроцесорні комплекти .
4. Розподіл МП по способу управління.
5. Розподіл МП по типу архітектури.
6. Розподіл МП по типу системи команд.
7. Інформаційні канали МПС.
8. Системна шина SB. Шина адреси AB. Шина даних DB.
9. Шина управління СВ. Структурна схема передачі інформації між m регістрами по внутрішній n -розрядній шині даних.
10. Принципи побудови мікропроцесорних систем.
11. Фоннейманівська архітектура мікропроцесора.
12. Гарвардська архітектура мікропроцесора.
13. Розширена структурна схема з процесором фоннеймановської архітектури.
14. Пристрій управління.
15. Арифметично логічний пристрій.
16. Регістри процесора.
- 17 Система переривань.

Пристрої введення-виведення.

18. Інтерфейси введення-виведення
19. Регістр команд процесора.
20. Регістр адреси і регістри даних.
21. Регістр стану процесора.
22. Структурна схема однокристалного 8-розрядного мікропроцесора.
23. Стандартна схема включення МП.
24. Виведення інформації по виводам порту.
25. Введення інформації по виводам порту.
26. Забезпечення скидання інформації по виводу RESET.
27. Основні лінії шини управління 8-розрядного МП.
28. Регістри загального призначення.
29. Дешифратор 2 в 4 з входом дозволу виходів.
30. Часові діаграми дешифратора 2 в 4.
31. Засоби організації входу дозволу виходів дешифратора.
32. Демультіплексор 1 в 4.
33. Збільшення розрядності дешифраторів і демультіплексорів.
34. Мультиплексор 4 в 1 з входом дозволу виходів.
35. Діаграма функціонування мультиплексора.
36. Розрахунок схеми неперіоритетного шифратора 8 в 3.
37. Розрахунок схеми пріоритетного шифратора 9 в 4 з прямими входами та виходами.
38. Розрахунок схеми пріоритетного шифратора 8 в 3 з можливістю нарощування розрядності.
39. Нарощування розрядності шифраторів 8 в 3 до 16 в 4.
40. Перетворювач двійкового коду в двійково-десятковий код.
41. Перетворювач двійкового коду в додатковий код.
42. Перетворювач двійкового коду в код Грея.
43. Перетворювач двійкового коду в код з надлишком 3.
44. Перетворювач двійкового коду в код Айкана.
45. Перетворювач двійкового коду в код управління сегментними індикаторами.
46. Схема порівняння кодів $F(X=Y)$.
47. Схема порівняння кодів $F(X>Y)$.
48. Схема порівняння кодів $F(X<Y)$.
49. Схема контролю парності.
50. Контроль парності в n-провідній лінії зв'язку паралельного двійкового коду $x(n-1), x(n-2), \dots, x_1, x_0$.
51. Мажоритарний елемент 3 з 5 в базісі Шеффера.
52. Мажоритарний елемент 3 з 5 в базісі Пірса.
53. Принцип мажоритарного резервування.
54. Мажоритарний контроль шестирозрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів.
55. Суматори.
56. Пристрої введення цифрової інформації.

57. Комбінаційний кодуєчий пристрій.
58. Кодуючий пристрій на основі сканованої клавіатури.
59. Кодуючий пристрій на основі сканованої матриці.
60. Ієрархія запам'ятовуючих пристроїв мікропроцесорної техніки.
61. Оперативні запам'ятовуючі пристрої.
62. Нарощування розрядності ОЗП.
63. Постійні запам'ятовуючі пристрої.
64. Перепрограмуємі запам'ятовуючі пристрої.
65. Flash-пам'ять.
66. EEPROM пам'ять.
67. Цифрові регістри.
68. Паралельні регістри (регістри пам'яті).
69. Послідовні регістри (регістри зрушення).
70. Реверсивні регістри зрушення.
71. Паралельно – послідовний регістр.
72. Послідовно – паралельний регістр.
73. Цифрові лічильники.
74. Послідовні лічильники.
75. Лічильники з паралельним перенесенням.
76. Лічильник, що підсумовує.
77. Віднімаючий лічильник.
78. Реверсивний лічильник.
79. Недвійкові лічильники.
80. Двійково-десяткові лічильники.
81. Кільцеві лічильники.
82. Лічильники Джонсона.
83. Генератори чисел.
84. Генератори числових послідовностей.
85. Буквено-цифрові індикатори.
86. Матричні індикатори.
87. Вакуумні електролюмінесцентні індикатори.
88. Рідкокристалічні індикатори.
89. Сполучення мікроконтролерів з рідиннокристалічними індикаторами.
90. Сполучення мікроконтролера зі світлодіодними індикаторами.