

*Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім. Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного
забезпечення*

Практичне заняття №3

з дисципліни Цифрова схемотехніка

Моделювання схем логічних елементів

Студента (ки) _____ курсу, групи _____

(прізвище та ініціали)

Викладач доц. Верьовкін Л. Л.

(оцінка, дата, підпис)

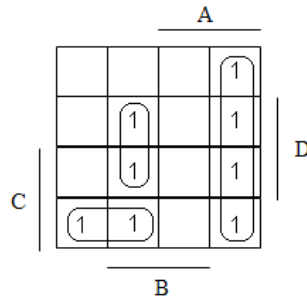
м. Запоріжжя – 20__ рік

1. Побудувати схемну модель на МДН транзисторах яка реалізує алгебраїчне вираження:

$$F = \overline{A}BCD + A\overline{B}CD + AB\overline{C}D + ABC\overline{D} + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} + \overline{A}C\overline{D}$$

1) За допомогою карти Карно отримуємо мінімальний вираз функції

$$F = \overline{A}BD + \overline{A}\overline{B} + \overline{A}C\overline{D}$$

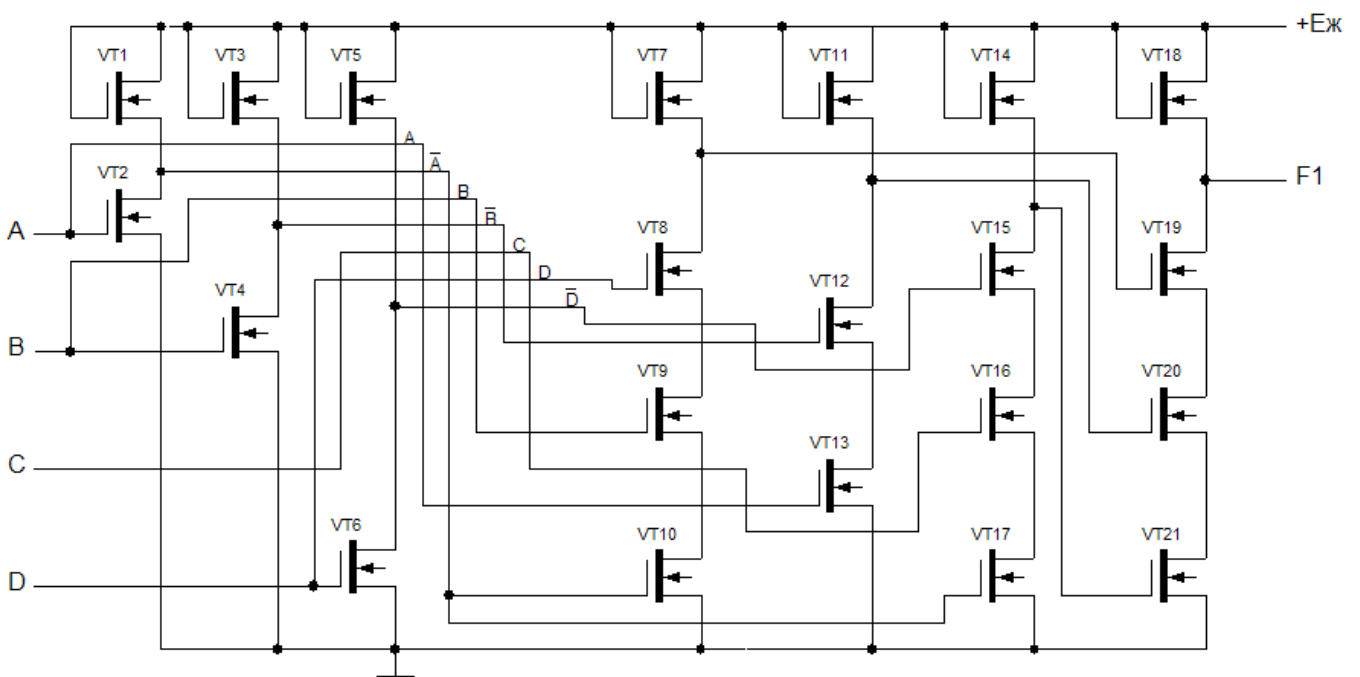


2) За допомогою законів і тотожностей алгебри логіки отримуємо декілька різних мінімізованих виразів даної функції, для їх подальшого аналізу:

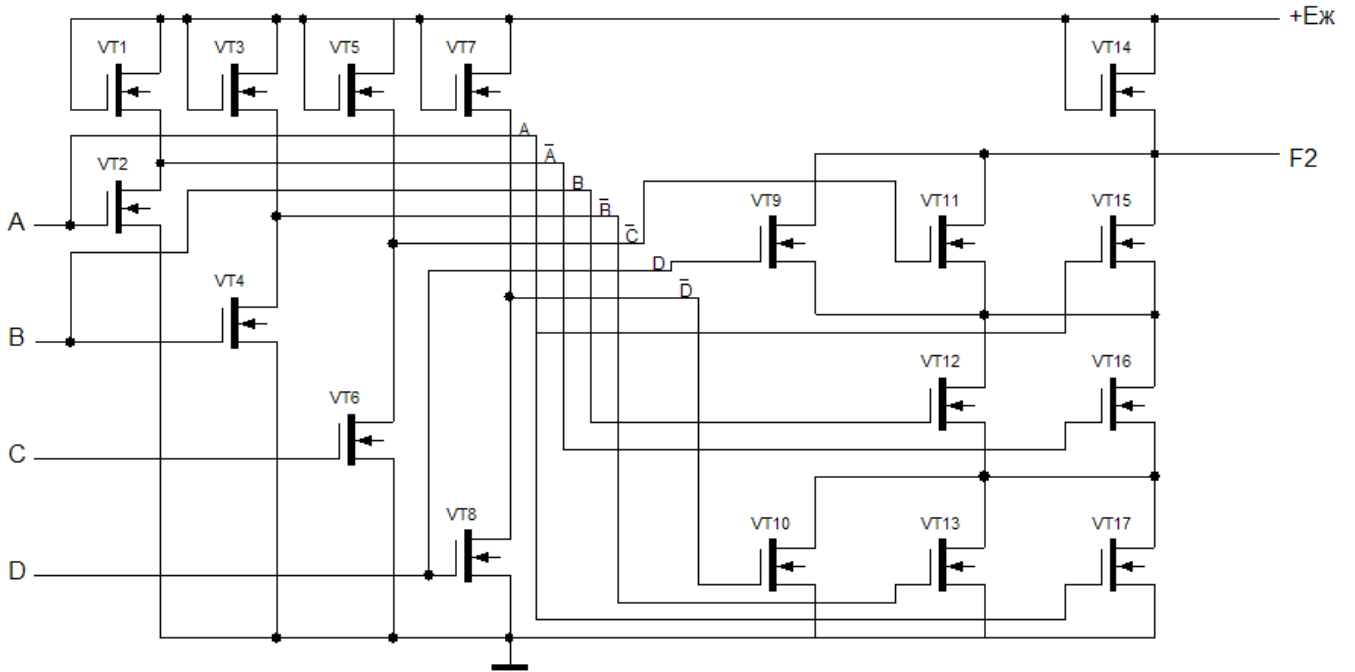
$$F = \overline{A}BD + \overline{A}\overline{B} + \overline{A}C\overline{D} = \overline{\overline{\overline{\overline{\overline{A}BD + \overline{A}\overline{B} + \overline{A}C\overline{D}}}}} = \overline{\overline{\overline{A}BD \cdot \overline{A}\overline{B} \cdot \overline{A}C\overline{D}}} = \\ = \overline{(A + \overline{B} + \overline{D}) \cdot (\overline{A} + B) \cdot (A + \overline{C} + D)} = \overline{A + (\overline{B} + \overline{D}) \cdot (\overline{C} + D)} \cdot (\overline{A} + B)$$

3) Обираємо варіанти, які відповідають інвесно-кон'юнктивній формі і виконуємо моделювання кожної схеми.

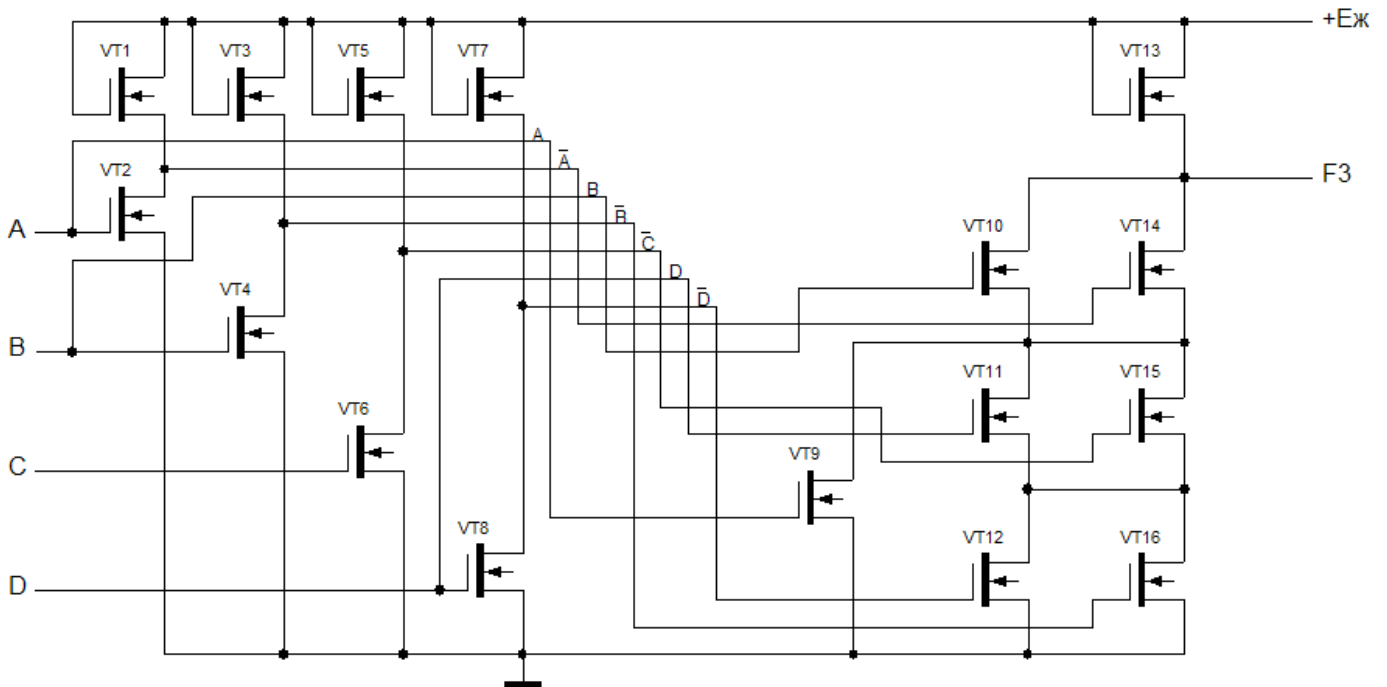
$$F1 = \overline{\overline{\overline{\overline{\overline{A}BD \cdot \overline{A}\overline{B} \cdot \overline{A}C\overline{D}}}}}$$



$$F2 = \overline{(A + \bar{B} + \bar{D})} \cdot (\bar{A} + B) \cdot (A + \bar{C} + D)$$



$$F3 = \overline{[A + (\bar{B} + \bar{D}) \cdot (\bar{C} + D)]} \cdot (\bar{A} + B)$$



4) Виконати порівняльний аналіз отриманих схем.

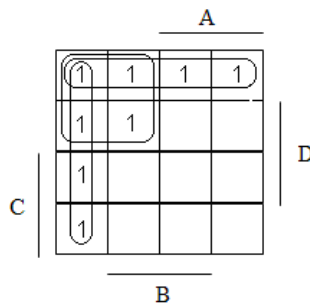
Необхідно враховувати електричні параметри, топологію, яка визначає необхідну площу кристала, довжину міжз'єднань, значення паразитних ємкостей. Для наближених оцінок використовувати аналітичні вирази для основних параметрів МДН схем [3].

За результатами аналізу вибирається схема, яка найбільшою мірою задовольняє вимогам завдання на моделювання.

2. Побудувати схемну модель на КМДН-транзисторах, яка реалізує алгебраїчне вираження:

$$F = \overline{A}BCD + \overline{B}CD + \overline{A}BCD + \overline{B}CD + \overline{A}C + \overline{A}BC$$

1) За допомогою карти Карно отримуємо мінімальний вираз функції



$$F = \overline{A}B + \overline{C}D + \overline{A}C.$$

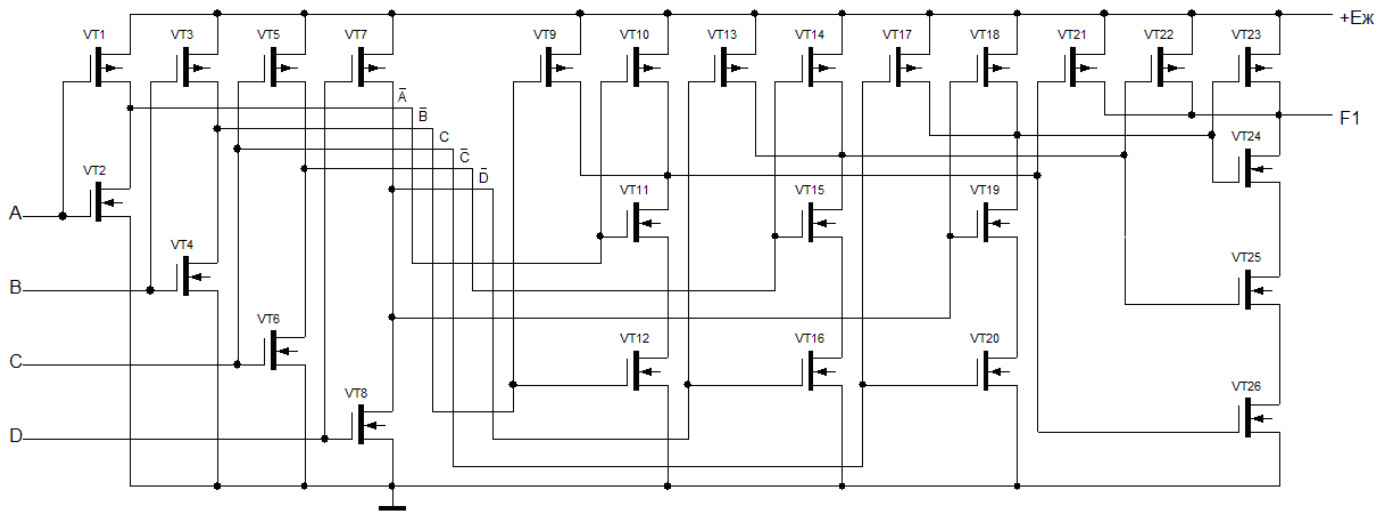
2) За допомогою законів і тотожностей алгебри логіки отримуємо декілька різних мінімізованих виразів даної функції, для їх подальшого аналізу:

$$F = \overline{A}B + \overline{C}D + \overline{A}C = \overline{\overline{\overline{\overline{\overline{\overline{A}B + \overline{C}D + \overline{A}C}}}}} = \overline{\overline{\overline{\overline{\overline{\overline{A}B} \cdot \overline{\overline{\overline{\overline{\overline{C}D} \cdot \overline{\overline{\overline{\overline{\overline{A}C}}}}}}}}}}} = \overline{(A+B) \cdot (C+D) \cdot (A+\overline{C})} = \overline{[A+(B \cdot \overline{C})] \cdot (C+D)}$$

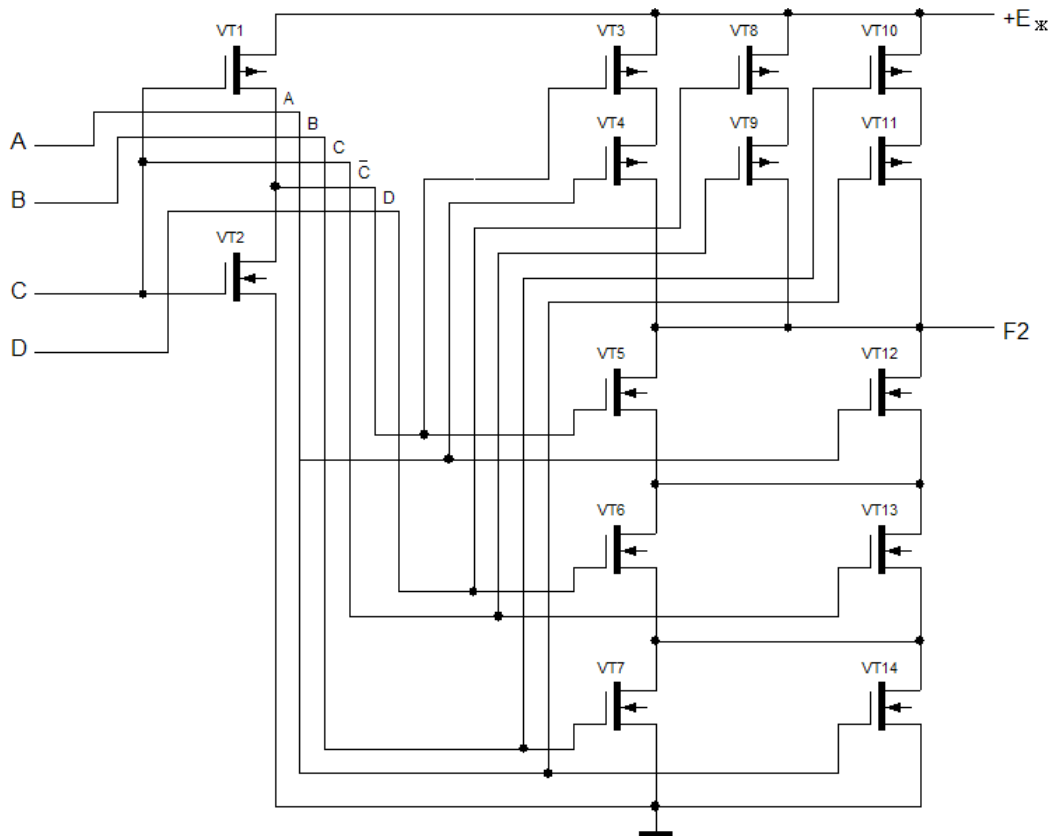
3) Обираємо варіанти, які відповідають інверсно-кон'юнктивній формі і виконуємо моделювання кожної схеми.

У комплементарній МОН-структурі використовуються одночасно р- і n-канальні транзистори. Логічні елементи в схемотехніці КМОП побудовані на двох типах транзисторів з індукованими каналами: навантажними з каналами р-типу і логічними з каналами n-типу.

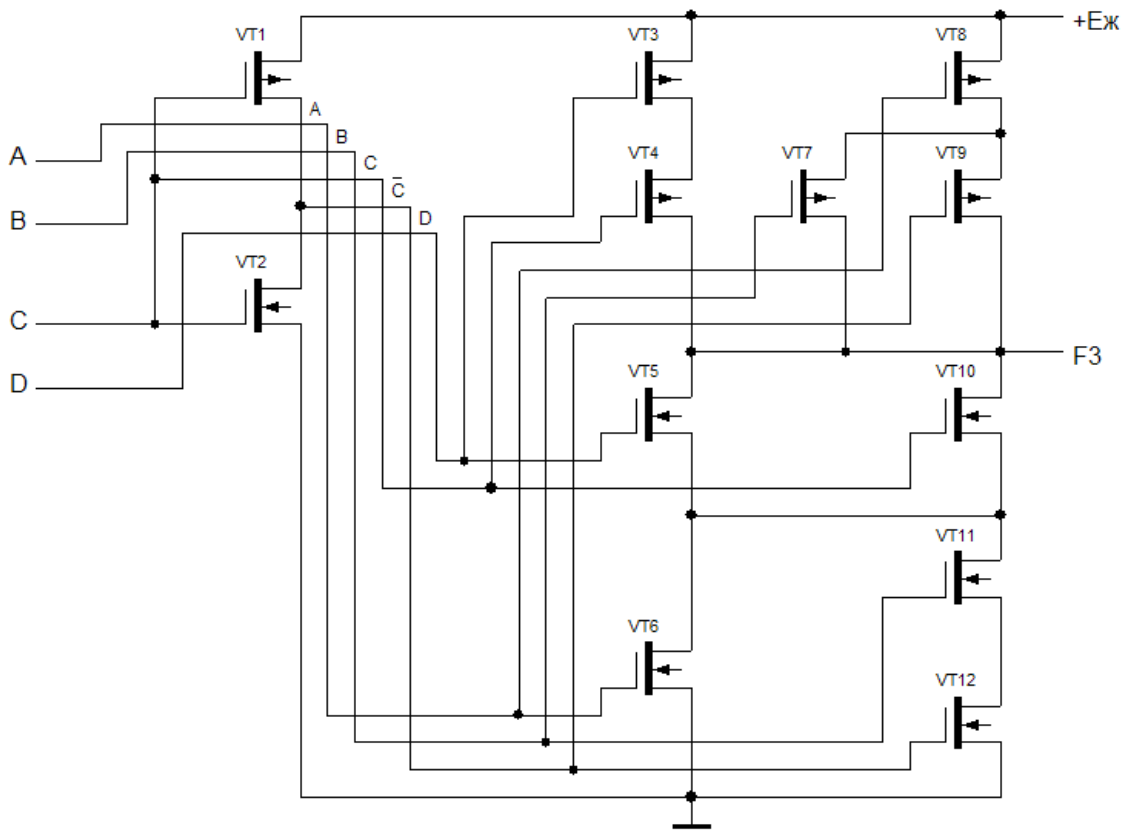
$$F1 = \overline{AB} \cdot \overline{CD} \cdot \overline{AC}$$



$$F2 = \overline{(A + B)} \cdot (C + D) \cdot (A + \overline{C})$$



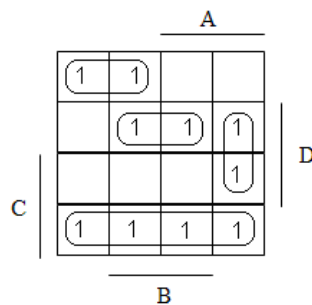
$$F3 = \overline{[A + (B \cdot \bar{C})] \cdot (C + D)}$$



3. Побудувати схемну модель в базисі І-НІ на біполярних транзисторах, яка реалізує алгебраїчне вираження:

$$F = \bar{A}BC\bar{D} + A\bar{B}C\bar{D} + AB\bar{C}\bar{D} + AC\bar{D} + \bar{A}B\bar{C} + A\bar{B}D + \bar{A}\bar{B}\bar{D}$$

1) Мінімізуємо вираження за допомогою карти Карно:



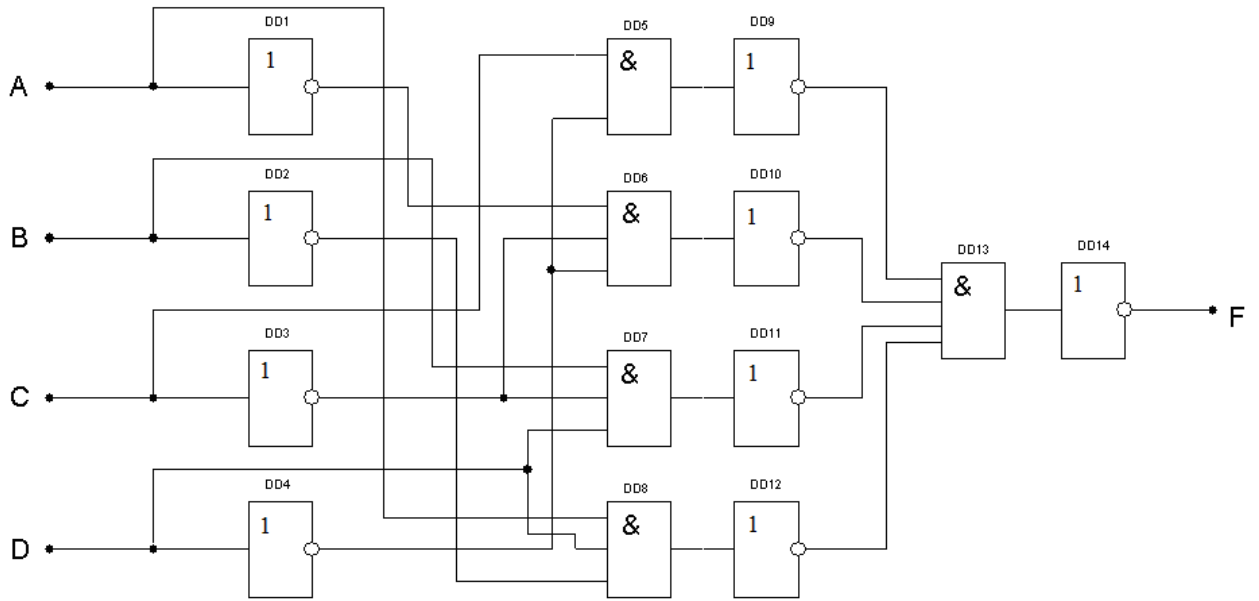
$$F = C\bar{D} + \bar{A}C\bar{D} + B\bar{C}D + A\bar{B}D$$

2) Перетворимо вираз для побудови в базисі І-НІ:

$$F = C\bar{D} + \bar{A}C\bar{D} + B\bar{C}D + A\bar{B}D = \overline{\overline{C\bar{D} + \bar{A}C\bar{D} + B\bar{C}D + A\bar{B}D}} = \overline{\overline{C\bar{D}} \cdot \overline{\bar{A}C\bar{D}} \cdot \overline{B\bar{C}D} \cdot \overline{A\bar{B}D}}$$

3) Побудуємо структурну модель схеми з урахуванням розділу логіч-

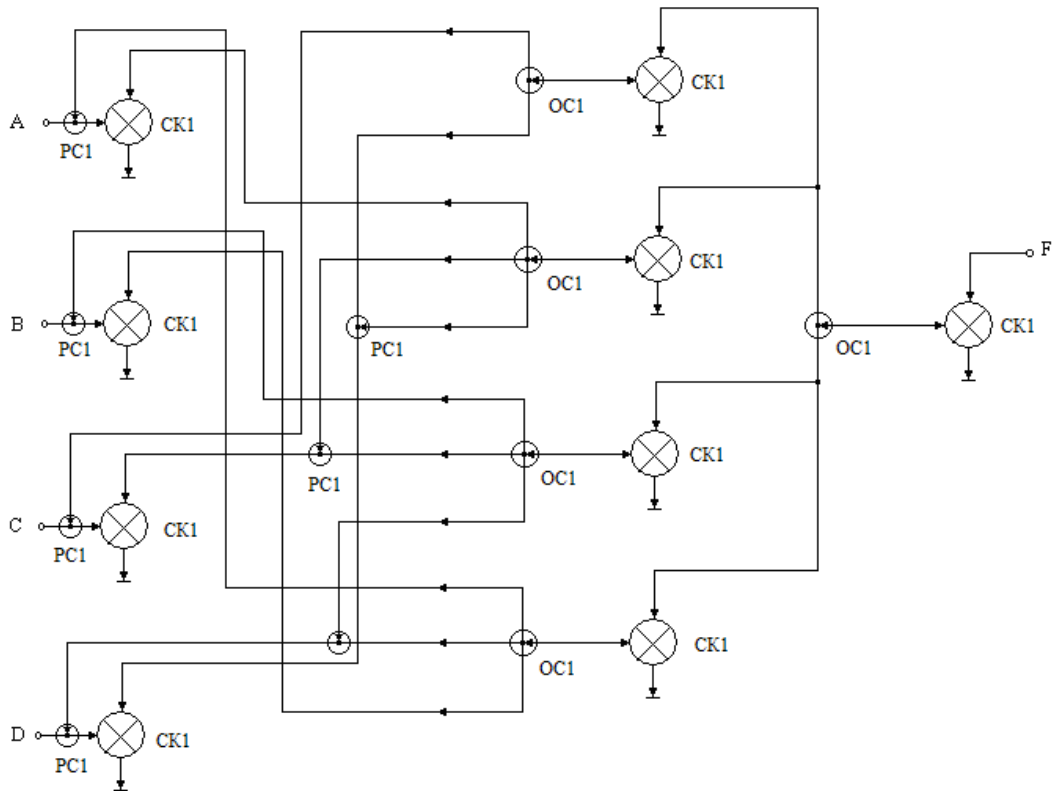
них операцій між елементами схеми.



4) Замінімо логічні вузли на ПСФЕ.

Таблиця 3.1 - Основні типи і функції ПСФЕ

Тип ПСФЕ	Умовні позначення	Варіанти схемної реалізації	Логічні операції	Електричні функції	
Активні (k = 1)	Джерело струму			—	Завдання струму
				—	
	Струмівий ключ			Інверсія, заборона	Перемикання струму
				Інверсія, імплікація	
Пасивні (k = 0)	Розгалужувач струму			—	Розгалуження струму, підсилення або ослаблення струму
				—	
	Об'єднувач струму			Диз'юнкція	Об'єднання струму, підсилення або ослаблення струму
				Кон'юнкція	
Фіксатор потенціалу			—	Узгодження потенціалів	



5) У струмові графи включаються ДС, необхідні для електричного функціонування схеми. При цьому спочатку перевіряється умова струмової сумісності сусідніх ПСФЕ, що забезпечує виконання закону Кирхгофа для струмів. Умова струмової сумісності виконується, якщо клас (таблиця 3.1) і знак з'єднуваних попереднього (k, z) і подальшого (k', z') ПСФЕ задовольняє логічному вираженню «Виключаюче АБО».

$$z' = z \oplus k'$$

Якщо умова не задовольняється, то між ними включається елемент, який задовольняє умові «Віключаюче АБО» для попереднього і подальшого елементів.

Визначимо умови струмової сумісності між сусідніми елементами.

Попередній елемент:

OC1

$k = 0$

$z = 1$

Подальший елемент:

CK1

$k' = 1$

$z' = 1$

$$1 = 1 \oplus 1$$

Умова «Віключаюче АБО» не виконується, отже між даними елемен-

тами необхідно додатково поставити сумісний елемент. Поставимо ДС0 і перевіряємо умови сумісності:

Попередній елемент:

ОС1

$k = 0$

$z = 1$

Подальший елемент:

ДС0

$k' = 1$

$z' = 0$

$$0 = 1 \oplus 1$$

Попередній елемент:

ДС0

$k = 1$

$z = 0$

Подальший елемент:

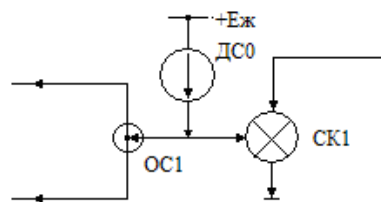
СК1

$k' = 1$

$z' = 1$

$$1 = 0 \oplus 1$$

Умова виконується. Решта даних ланцюгів схемної моделі ідентична.



б) В отриманих струмових графах ПСФЕ заміщаються їх можливими схемними реалізаціями відповідно до таблиці 10.1. У результаті для кожного графа виходить декілька варіантів електричних схем. Для цих схем перевіряється виконання потенційних умов перемикавання між сусідніми ключами:

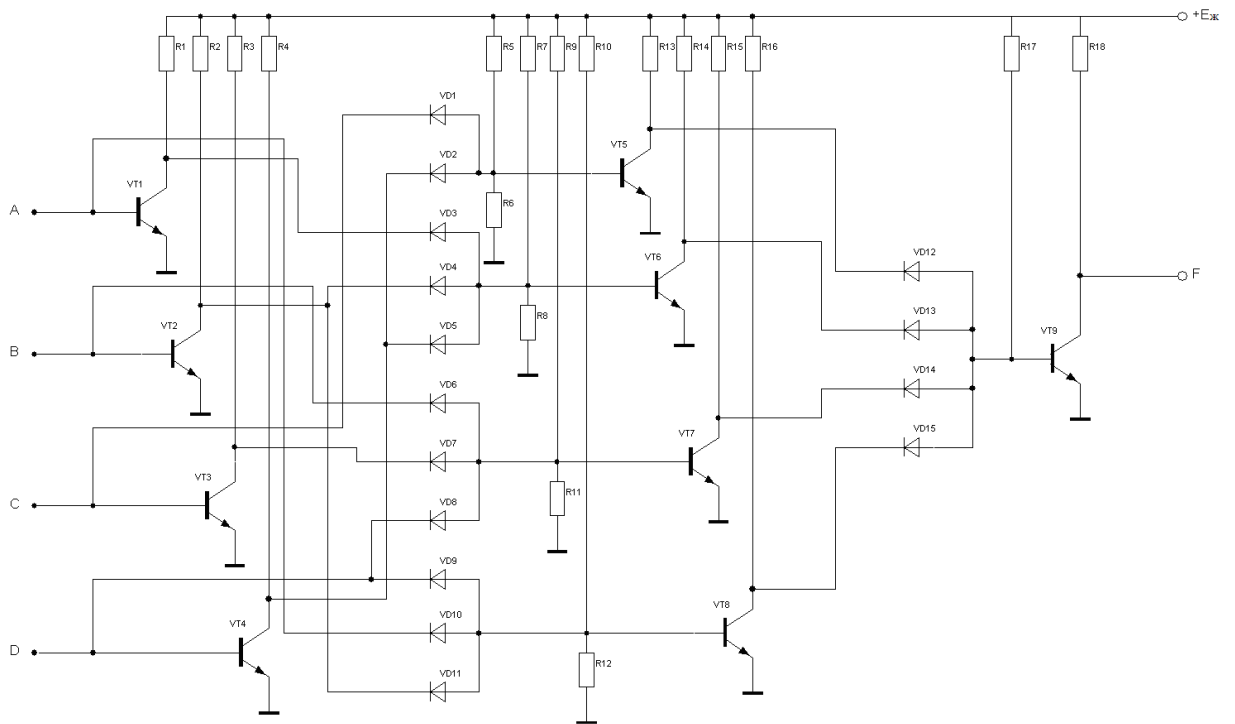
$$U^0 \leq V_{\pi} + \sum U_{\text{пад}}$$

$$U^1 \geq V_{\pi} + \sum U_{\text{пад}},$$

де $V_{\pi} = U_{\epsilon} + U^*$ - поріг перемикавання подальшого СК; U^0, U^1 - потенціали на виході відкритого або закритого попереднього СК; $\sum U_{\text{пад}}$ - алгебраїчна сума падінь напруги на ПСФЕ, включених між даними ключами; U_{ϵ} - потенціал емітера подальшого СК; $U^* = 0,7\text{В}$ - напруга перемикавання подальшого СК.

Для виконання потенційних умов перемикавання при необхідності між сусідніми ключами включаються фіксатори потенціалу ФП.

Замінімо ПТФЕ їх схемною реалізацією.



Проведемо перевірку потенційних умов між сусідніми ключами:

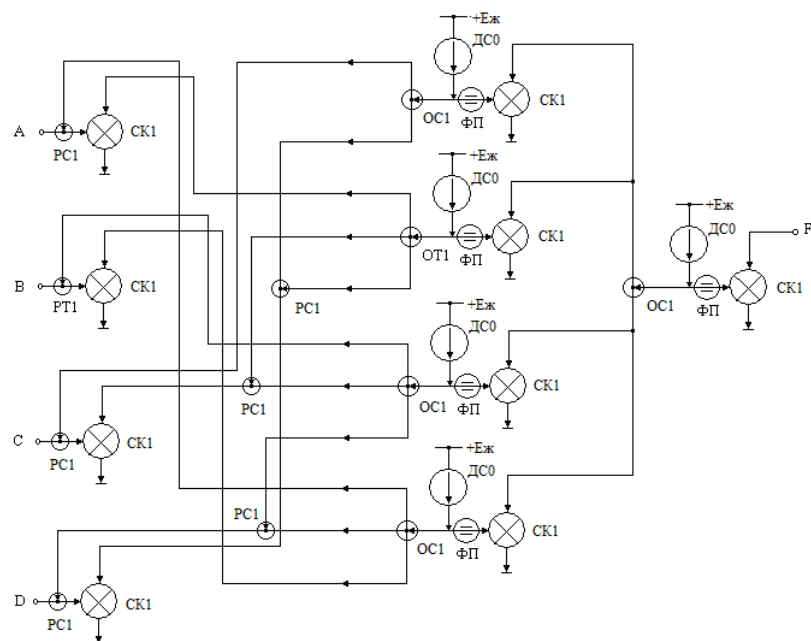
$$U^0 \leq V_{\Pi} + \sum U_{\text{пад}} \leq U^* - U^* \leq 0,7 - 0,7 \leq 0$$

$$U^1 \geq V_{\Pi} + \sum U_{\text{пад}} \geq U^* - U^* \geq 0,7 - 0,7 \geq 0$$

Для U^0 умови підходять, а для U^1 ні. Отже між даними ключами слід поставити фіксатор потенціалу.

Тоді: $U^0 \leq V_{\Pi} + \sum U_{\text{пад}} \leq U^* + U^* - U^* \leq 0,7 + 0,7 - 0,7 \leq 0,7$

$$U^1 \geq V_{\Pi} + \sum U_{\text{пад}} \geq U^* + U^* - U^* \geq 0,7 + 0,7 - 0,7 \geq 0,7$$



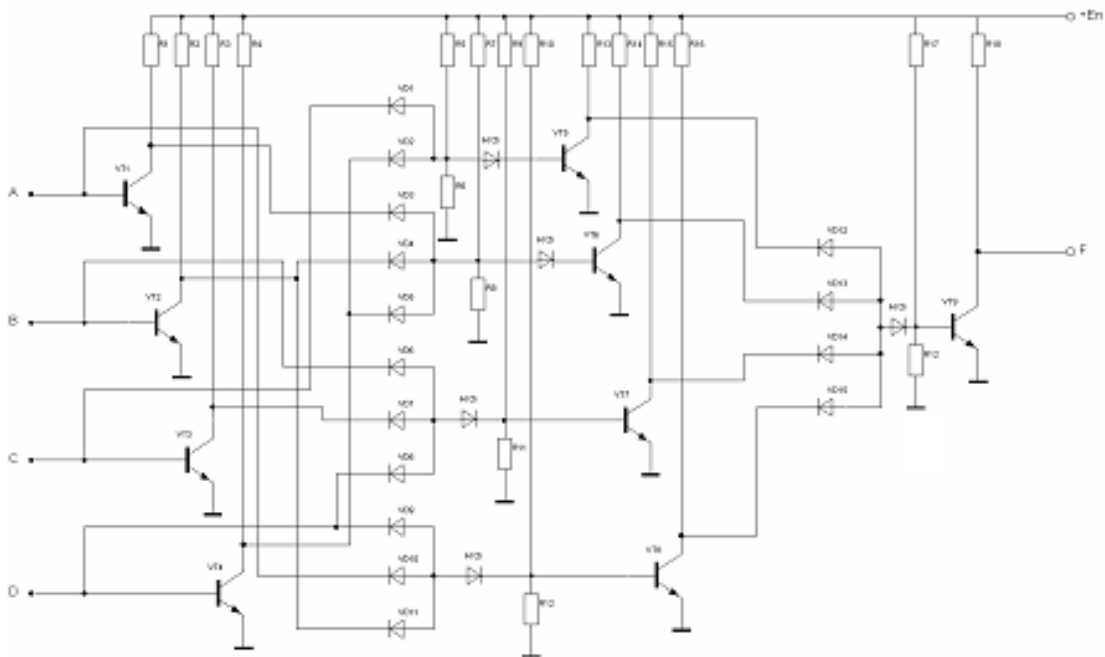
Для виконання умови $U_{\text{вих.}} = E_{\text{жив.}} - I_{\text{к}} R_{\text{к}}$ і забезпечення підвищення U^1 на базах СК в колекторні, базові і емітерні кола транзисторних СК включаються ФП, забезпечуючи необхідні додаткові падіння напруги [4, 5].

Для ключових транзисторів перевіряються також виконання умов насичення:

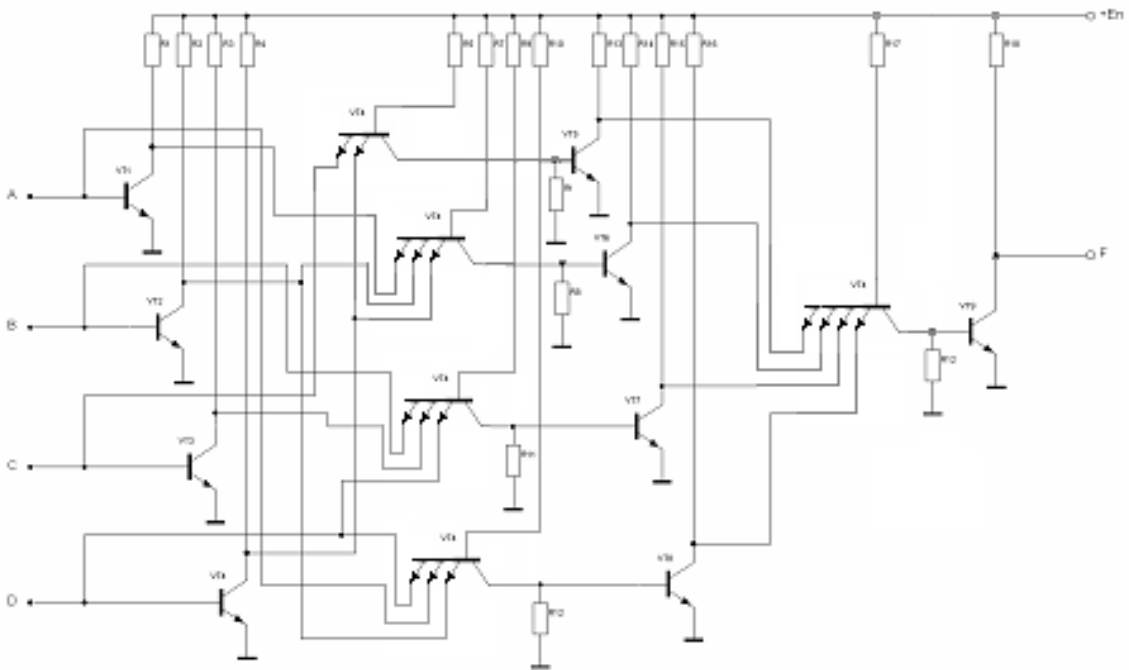
$$S = \beta I_{\text{бн}} / I_{\text{кн}} \geq s_{\text{min}} > 1 \quad (s_{\text{min}} = 1,2 \div 1,5)$$

і в разі необхідності в базове або колекторне кола включаються транзисторні ОТ або РТ, виконуючі посилення тока $I_{\text{бн}}$ або пониження тока $I_{\text{кн}}$ [4, 5].

7) Проводиться аналіз можливостей фізичного поєднання компонентів схем в загальній області напівпровідника. За наявності таких можливостей виконується поєднання компонентів, в результаті яких можуть вийти нові варіанти схем з багатоемітерними транзисторами (БЕТ), з інжекційним живленням та ін.



Проведемо аналіз схеми на можливість фізичного об'єднання областей. Діодні з'єднання можна замінити БЕТ. Таким чином отримуємо змодельований логічний пристрій.



8) Виконується аналіз отриманої схеми за активною площею кристала, споживаною потужністю, затримкою перемикання.

Практичні завдання.

1. Побудувати схемну модель на МДН-транзисторах, яка реалізує алгебраїчне вираження:

$$F = A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C}.$$

2. Побудувати схемну модель на біполярних транзисторах, яка реалізує алгебраїчне вираження:

$$F = A \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C.$$