

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім. Ю.М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного  
забезпечення*

## **Лабораторна робота №5**

з дисципліни Цифрова схемотехніка

### **Функціональний контроль чотирьохрозрядного паралельного суматора**

Студента (ки) \_\_\_\_\_ курсу, групи \_\_\_\_\_

\_\_\_\_\_

(прізвище та ініціали)

\_\_\_\_\_

(Піжпис)

Викладач \_\_\_\_\_

\_\_\_\_\_

(оцінка, дата, підпис)

Мета роботи: ознайомитись з принципами функціонального контролю суматорів на прикладі чотирьох розрядного суматора на логічному елементі “Виключаюче АБО”

Основна арифметична операція, яку можна виконати на будь-якому ЕОМ, є операція складання двох  $n$ -розрядних кодів ( $X_n \dots X_1$  та  $Y_n \dots Y_1$ ). Складання по всіх розрядах, починаючи з молодшого, проходить по певним правилам. У кожному  $i$ -му розряді здійснюється складання  $X_i + Y_i + P_{i-1}$ , де  $P_{i-1}$  – перенос з молодшого ( $i-1$ )-го до старшого розряду. Підсумок можна виразити кодами суми  $S_i$  та переносу  $P_i$ .

Схема, яка здійснює складання в одному розряді, має назву одно розрядний суматор. Логіка роботи такого суматора визначається за допомогою таблиці істинності (табл. 5.1).

Таблиця 5.1 – Логіка роботи одно розрядного суматора

$X_i$	$Y_i$	$P_{i-1}$	$S_i$	$P_i$
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Умовне графічне зображення суматора наведено на рисунку 5.1.

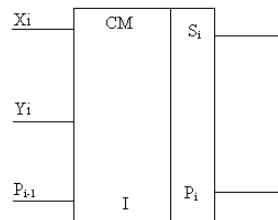


Рисунок 5.1 - Умовне графічне зображення суматора

Схеми однорозрядних суматорів характеризуються:

- 1) часом затримки розповсюдження  $t_{зат.р.}$ ;
- 2) об'ємом обладнання, котре оцінюється числом входів логічних схем, які використовуються для побудови.

На основі одно розрядних суматорів будуються п-розрядні (паралельні) суматори. Алгоритм роботи суматора, побудований для випадку складання кодів, приведений на рисунку 5.2.

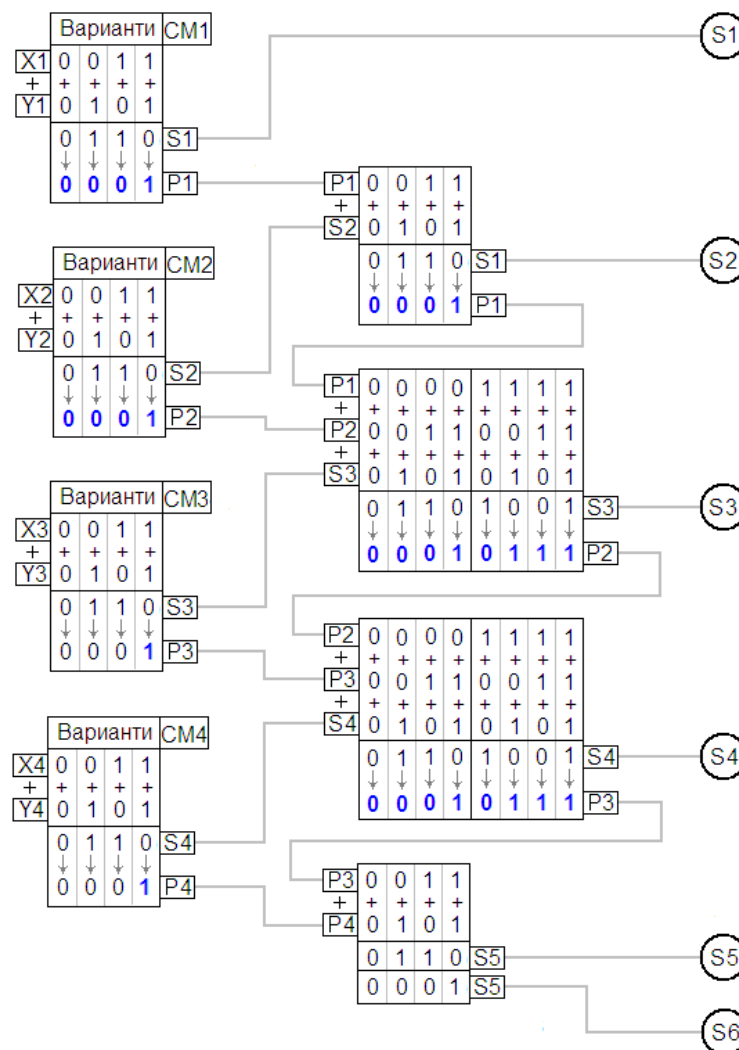


Рисунок 5.2 – Алгоритм роботи для випадку складання кодів

Алгоритм розглядається за умовами використання операції складання по модулю 2, та логічної операції АБО.

Логічний елемент “Виключаюче АБО” застосовується як суматор по модулю 2, чи використовується для затримки цифрового імпульсу, частіше використовують двох входів елементи “Виключаюче АБО” та “Виключаюче АБО”. На рис. 5.3 приведено символ елемента без інверсії та його таблиця стану. Вхідний сигнал елемента відповідає логічному рівню

$$F = A \oplus B = A\bar{B} + \bar{A}B$$

Тут “ $\oplus$ ” – символ складання по модулю 2. Нижній та верхній рядки таблиці (рис.4.3) відображають еквівалентність вхідних рівнів, тобто  $A = B = 0$  (у верхньому рядку) та  $A = B = 1$  (в нижньому). У випадку  $A = B = 0$  вихідний сигнал  $Q = 0$  (це природній) тривіальний нуль. Коли  $A = B = 1$  вихідний сигнал  $Q$  також дорівнює нулю, хоча на двох входах  $A$  та  $B$  присутні одиниці.

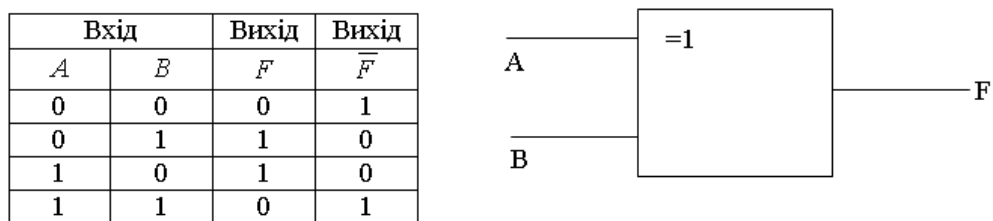


Рисунок 5.3 - Елемент “Виключаюче АБО” та його таблиця функціонування

Якщо до елемента “Виключаюче АБО” додати елемент  $n$ , котрий є формувачем одиниці старшого розряду (по іншому, генератор переносу: він утворює вихід  $P$ ), то отримуємо двох розрядний напівсуматор. Схема напівсуматора приведена на рисунку 5.4

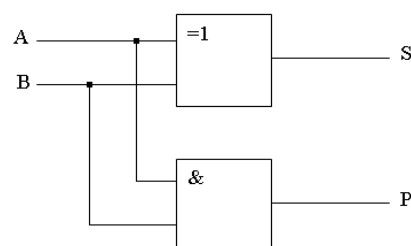


Рисунок 5.4 - Схема напівсуматора

Схема дає при  $A = B = 1$  результат  $S = 0$  (це молодший розряд суми) та  $P = 1$  (старший розряд, тут він має назву одиниці переносу).

У цьому випадку на обох виходах напівсуматора одержимо двох розрядне двоїчне вихідне слово:  $A + B = 1+1 = 10$

Його десятичний еквівалент:  $1+1 = 2$

### 5.1 Опис стенду для дослідження принципу роботи суматора та напівсуматора

Робота виконується на ПЕОМ з програмним забезпеченням “Electronic WorkBench 5.12”.

На терміналі програми формується схема електрична чотирьох розрядного паралельного суматора. Для забезпечення дослідження функціонування необхідні:

- 1) джерело живлення постійного струму;
- 2) напівсуматор на елементах елементарної логіки (рис. 5.5, 5.6);
- 3) чотирьох розрядний паралельний суматор (рис. 5.7);
- 4) панель відображення інформації;
- 5) прилади контролю функціонування.

Суматор має 8 тумблерів, для складання двох чотирьох розрядних (в двоїчному коді) чисел. Включене положення тумблера відповідає сигналу “логічна одиниця”, вимкнене - сигналу “логічний нуль”. Тумблери можливо замінити шляхом імітування чисел, що складаються, за допомогою Word Generator, що знаходиться на панелі інструментів.

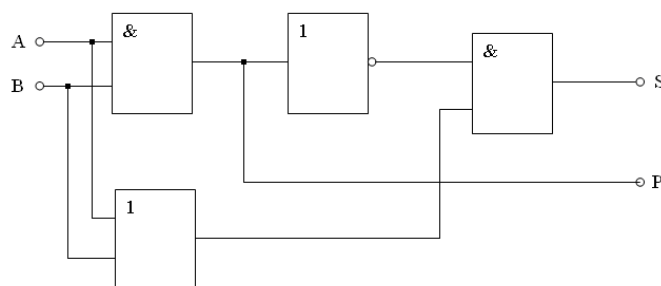


Рисунок 5.5 - Структурна схема напівсуматора, який складається із елементів елементарної логіки

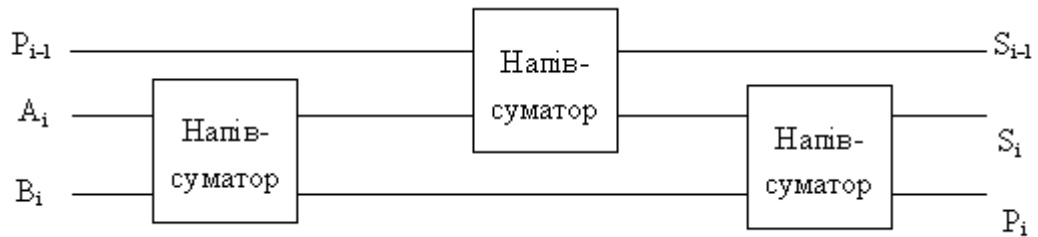


Рисунок 5.6 - Структурна схема суматора з переносом із молодшого розряду, та формуванням переносу в старший розряд

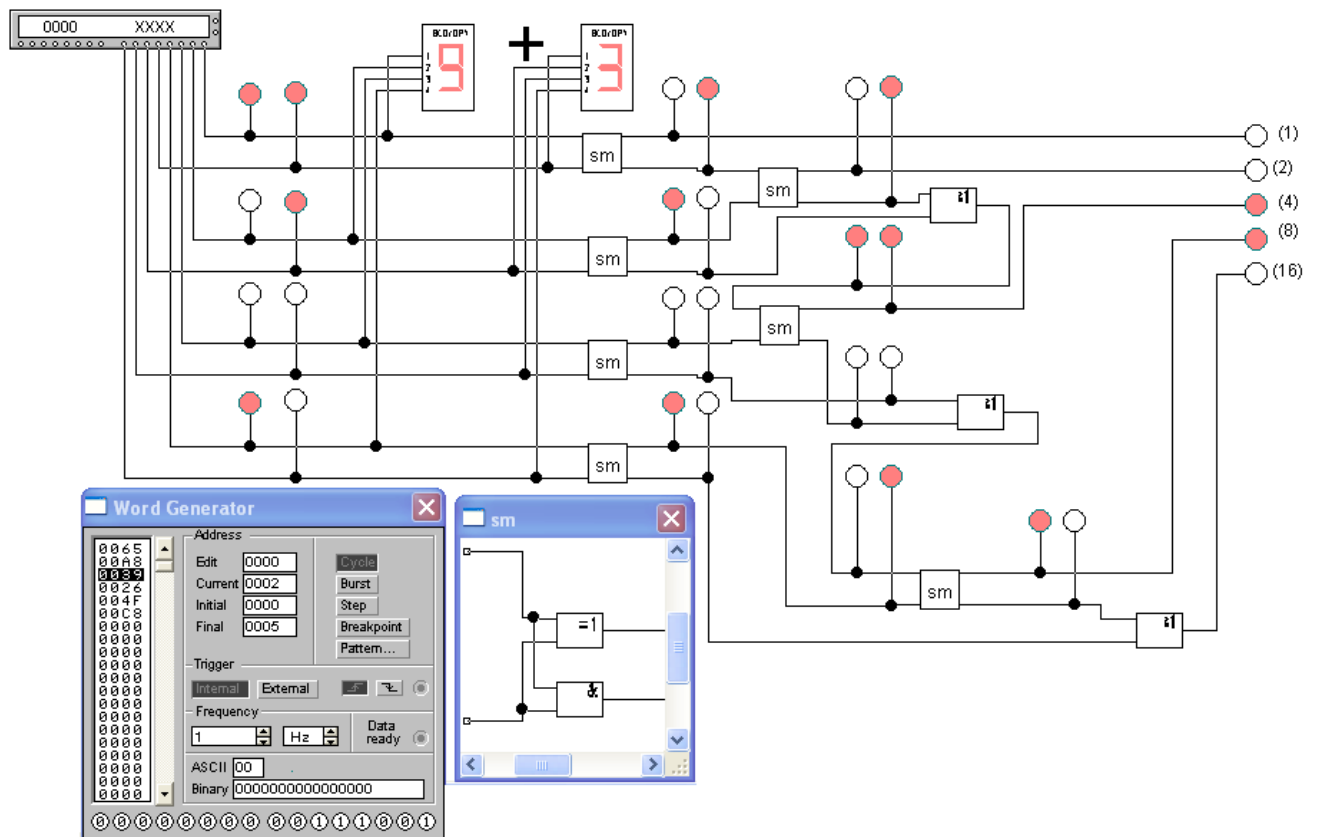


Рисунок 5.7 - Синтезована схема чотирьох розрядного паралельного суматора

## 5.2 Порядок виконання роботи

1. Послідовно з'єднати джерело живлення постійного струму з суматором (рис. 5.7).
2. Встановити струм.
3. Дослідити напівсуматор, скласти його таблицю істинності.
4. Побудувати діаграму функціонування напівсуматора.
5. Скласти таблицю істинності чотирьохрозрядного паралельного суматора.
6. Побудувати схему чотирьох розрядного паралельного суматора.

7. За допомогою приладів програмного забезпечення провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

#### Контрольні запитання

1. Означення суматора.
2. Принцип роботи  $n$ -розрядного суматора.
3. Основні характеристики суматорів.
4. Напівсуматори: принцип роботи, основні характеристики.
5. Принципи побудови багато розрядних суматорів.

#### Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Задерейко О.В., Логінова Н.І., Трофименко О.Г., Троянський О.В., Толокнов А.А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с.

URL: <https://hdl.handle.net/11300/14473>