

*Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім. Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного
забезпечення*

Практичне заняття №6

з дисципліни Цифрова схемотехніка

**Цифрові пристрої комбінаційного типу для контролю та передачі
інформації.**

Студента (ки) _____ курсу, групи _____

(прізвище та ініціали)

Викладач доц. Верьовкін Л. Л. _____

(оцінк, дата, підпис)

м. Запоріжжя – 20__ рік

6.1 Схема контролю парності (непарності)

Схема застосовується для виявлення одиничних помилок, викликаних перешкодами в лінії зв'язку або в блоках пам'яті. Метод заснований на підрахунку числа одиниць в порції інформації, що передається в лінію або направляється в пам'ять на зберігання. Причому, якщо число одиниць парне - функція парності P (Parity) дорівнює нулю (табл. 6.1).

Таблиця 6.1 - Таблиця станів схеми контролю парності для чотирьох-розрядного двійкового числа

| Входи | | | | Вихід P |
|---------|---|---------|---|------------|
| Число X | | Число Y | | |
| A | B | C | D | |
| 0 | 0 | 0 | 0 | X |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Карта Карно згідно з таблицею станів:

| | | | | | | |
|---|----|----|----|----|----|---|
| | | AB | | A | | |
| | | 00 | 01 | 11 | 10 | |
| C | 00 | | 1 | | 1 | D |
| | 01 | 1 | | 1 | | |
| | 11 | | 1 | | 1 | |
| | 10 | 1 | | 1 | | |
| | | B | | | | |

Рівняння функціонування схеми контролю парності:

$$\begin{aligned}
 P &= \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + ABC\overline{D} = \\
 &= \overline{A}\overline{B}(\overline{C}D + C\overline{D}) + \overline{A}B(\overline{C}\overline{D} + CD) + A\overline{B}(\overline{C}\overline{D} + CD) + AB(\overline{C}\overline{D} + C\overline{D}) =
 \end{aligned}$$

$$\begin{aligned}
 &= \overline{A}\overline{B}(C \oplus D) + \overline{A}B(\overline{C \oplus D}) + A\overline{B}(\overline{C \oplus D}) + AB(C \oplus D) = \\
 &= (C \oplus D)(\overline{A \oplus B}) + (\overline{C \oplus D})(A \oplus B) = (C \oplus D) \oplus (A \oplus B)
 \end{aligned}$$

Схемна реаліза-

ція і умовне позначення приведені на рисунку 6.1.

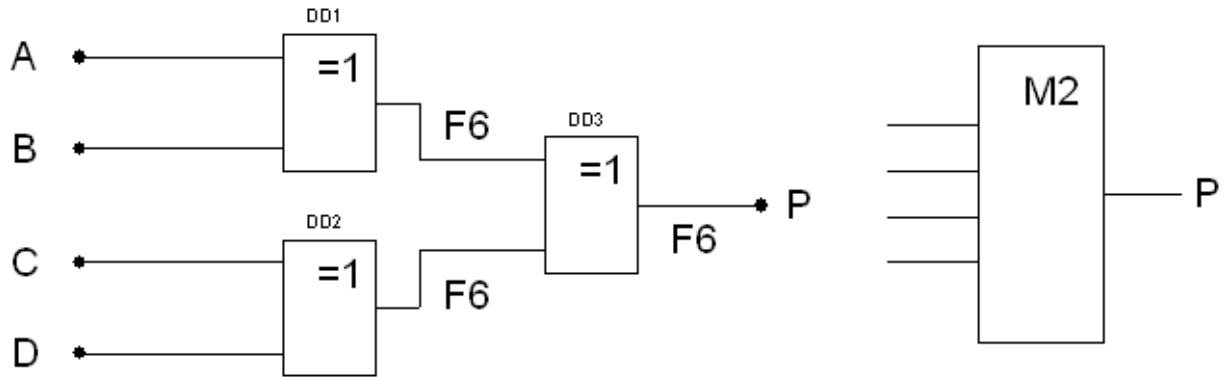


Рисунок 6.1 – Схема контролю парності

6.2 Мажоритарні елементи

Мажоритарний закон це «Закон більшості». Вирішальний елемент зазвичай називають мажоритарним елементом. Мажоритарний елемент – це логічний пристрій з непарним числом входів $m = 2k + 1$ (де $k = 1, 2, 3, \dots$) і одним виходом. Робота мажоритарного елемента полягає в наступному: на входи елемента поступають двійкові сигнали від непарної кількості ідентичних елементів. Вихідний сигнал елемента набуває значення, рівного значенню, яке приймає більшість вхідних сигналів. Найчастіше використовують мажоритарні елементи, які працюють за законом «2 з 3» (табл. 6.2). У цих елементах значення вихідного сигналу дорівнює значенню двох однакових вхідних сигналів. Крім того, відомі мажоритарні елементи, що працюють за законом «3 з 5», «4 з 7» і так далі.

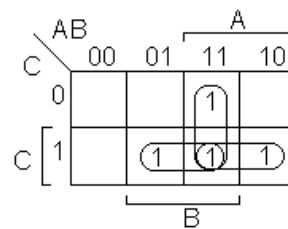
Рівняння функціонування:

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

Таблиця 6.2 - Таблиця функціонування мажоритарного елемента

| Входи | | | Вихід |
|-------|---|---|-------|
| A | B | C | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Спростимо вираз за допомогою карти Карно:



$$F = AB + AC + BC$$

Схема мажоритарного елемента, який працює за законом «2 з 3» і побудованого з логічних елементів І і АБО має вигляд, представлений на рисунку 6.2.

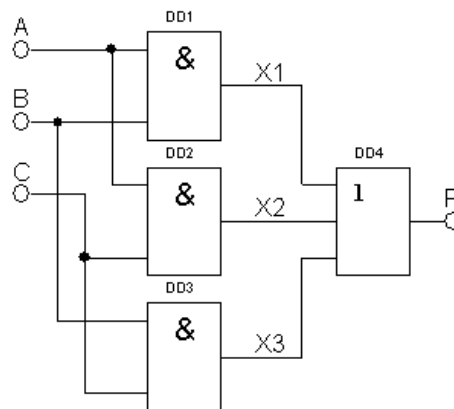


Рисунок 6.2 – Схема мажоритарного елемента

6.3 Перетворювачі кодів

Операція зміни коду числа називається його перекодуванням. Інтегральні мікросхеми, що виконують ці операції, називаються перетворювачами коду (ПК). Перетворювачі коду бувають прості і складні. До простих відносяться перетворювачі, які виконують стандартні операції зміни коду чисел,

наприклад, перетворень двійкового коду в десятковий або зворотну операцію. Складні перетворювачі коду виконують нестандартні перетворення коду і їх схеми доводиться розробляти кожен раз за допомогою алгебри логіки.

По своїй структурі перетворювачі коду являються дешифраторами, тільки вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах.

Інтегральні мікросхеми перетворювачів коду випускаються лише для найбільш поширених операцій:

- перетворювачі двійково-десятькового коду в двійковий код;
- перетворювачі двійкового коду в двійково-десятьковий код;
- перетворювачі двійкового коду в код Грея;
- перетворювачі двійкового коду в код управління сегментними індикаторами;
- перетворювачі двійкового або двійково-десятькового коду в код управління шкальними або матричними індикаторами.

Завдання практичної роботи

1. Розробити перетворювач чотирьохрозрядного двійкового коду чисел в додатковий код.
2. Розробити схему зведення в квадрат двійкових чисел від 0 до 9, з представленням інформації у двійковому коді.

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.
3. Верьовкін Л.Л., Світанько М.В., Хрипко С.Л. Цифрова схемотехніка: Методичні рекомендації до самостійної роботи. Запоріжжя : ЗНУ, 2020|. 50 с.