

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім. Ю.М. Потєбні  
Кафедра: Електроніки, інформаційних систем та програмного  
забезпечення*

## **Лабораторна робота №9**

з дисципліни Цифрова схемотехніка

**Дослідження схем послідовнісних цифрових регістрів**

Студента (ки) \_\_\_\_\_ курсу, групи \_\_\_\_\_

\_\_\_\_\_

(прізвище та ініціали)

(Піжпис)

Викладач \_\_\_\_\_

\_\_\_\_\_

(оцінка, дата, підпис)

м. Запоріжжя – 2024 рік

Метою виконання роботи є ознайомлення з принципами побудови різних схем збереження і перетворення багаторозрядних двійкових чисел.

Цифрові регістри – це пристрої, призначені для зберігання і перетворення багаторозрядних двійкових чисел. Тригери – запам'ятовуючі елементи регістрів. Їх кількість дорівнює розрядності чисел, що зберігаються. Окрім тригерів регістри містять також комбінаційні схеми, призначені для введення і виведення чисел, що зберігаються, перетворення їх кодів, зсування кодів на те або інше число розрядів. Інформація в регістрах зберігається, як правило, протягом деякої кількості тактів.

Залежно від способу прийому і видачі інформації регістри діляться на групи: з паралельним прийомом і видачею інформації (регістри пам'яті); з послідовним прийомом і видачею інформації; з послідовним прийомом і паралельною видачею інформації; з паралельним прийомом і послідовною видачею інформації і комбіновані (регістри зсуву).

Паралельні регістри - це пристрої, призначені для запису, зберігання і надання інформації, представлені у вигляді двійкового коду. Для зберігання кожного двійкового розряду в регістрі використовується одна тригерна комірка. Для запам'ятовування багаторозрядних слів необхідне число тригерів об'єднують разом і розглядають як єдиний функціональний вузол – регістр. При подачі управляючого сигналу  $C = 1$ , інформація по входах  $D_1 - D_4$  записується одночасно (паралельним кодом) у відповідні розряди чотирьох  $D$ -тригерів (рис. 9.1). При  $C = R = 0$  інформація зберігається в регістрі пам'яті, а при  $R = 1$  відбувається паралельне зчитування інформації.

У регістрі з послідовним введенням виконується послідовний зсув інформації, що надходить на вхід, на один розряд вправо в кожному такті синхросигналів. Після проходження  $m$  синхроімпульсів весь регістр виявляється заповненим розрядами числа  $D$ , і перший розряд числа ( $D_0$ ) з'являється на виході  $Q_0$  регістра. Протягом подальших  $m$  синхроімпульсів виконується послідовний порозрядний вивід з регістра записаного числа, після чого регістр виявляється повністю очищеним. Схема чотирьохрозрядного регістра зсуву

приведена на рисунку 9.2. Завдяки тому, що вихід попереднього розряду сполучений з входом «D» подальшого, кожен тактовий імпульс встановлює подальший тригер в стан, в якому до цього знаходився попередній.

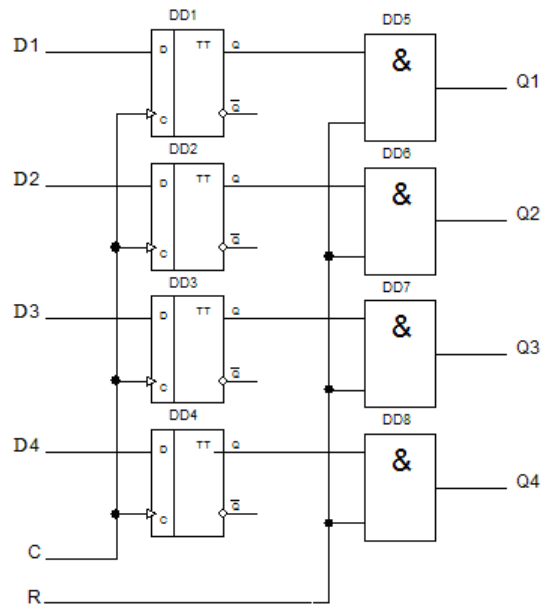


Рисунок 9.1 – Паралельний регістр на тактованих D–тригерах

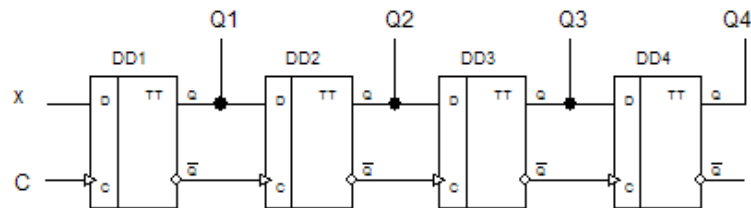


Рисунок 9.2 – Чотирьохрозрядний регістр зсуву

Кожним тактовим імпульсом в регістрі відбувається зсув числа на один розряд вправо. Чотирьохрозрядне число буде повністю записано в регістр після четвертого тактового імпульсу. До приходу наступного тактового імпульсу це число зберігається в регістрі у вигляді паралельного коду на виводах Q1 ... Q4. Якщо необхідно отримати інформацію в послідовному коді, то її знімають з виходу Q4 в моменти приходу наступних трьох тактових імпульсів. Такий режим називається режимом послідовного зчитування.

У паралельно-послідовному регістрі запис інформації відбувається в паралельному коді, а зчитування в послідовному. На рисунку 9.3 показаний приклад побудови такого регістра на JK–тригерах.

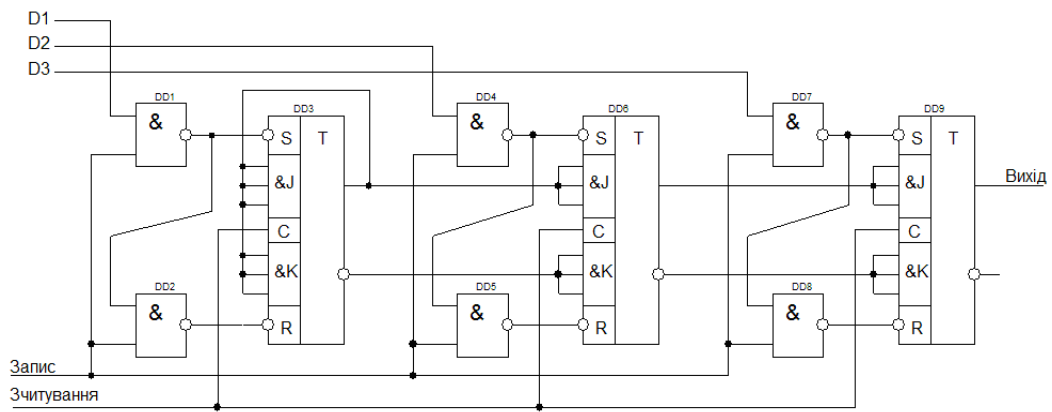


Рисунок 9.3 – Паралельно-послідовний регістр

Запис числа в регістр в паралельному коді відбувається при подачі числа на входи D1, D2, D3 і сигналу «1» на вхід «Запис».

Для побудови послідовно – паралельного регістра достатньо в послідовному регістрі організувати паралельне зчитування, використовуючи додаткові елементи І – НЕ, як це показано на рисунку 9.4.

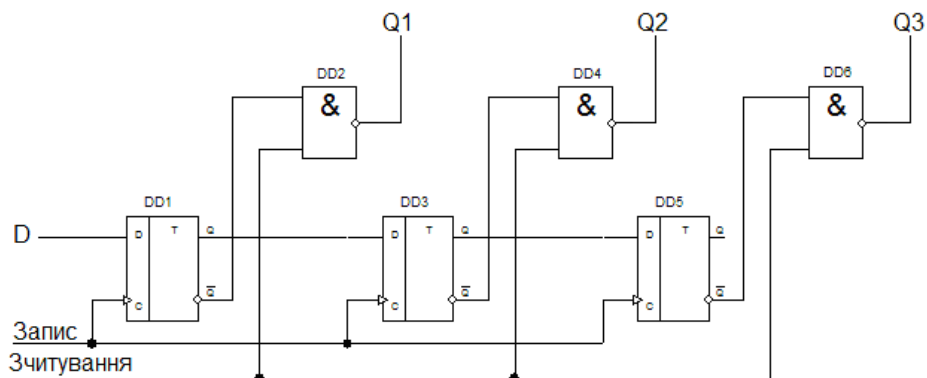


Рисунок 9.4 – Послідовно-паралельний регістр

При подачі сигналу «1» на вхід «Зчитування» значення розрядів числа D з інверсних виходів тригерів поступають на виходи Q1, Q2, Q3 через елементи І – НЕ.

### 9.1 Послідовність і порядок проведення роботи

Робота виконується віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. На терміналі програмного забезпечення Electronics Workbench формується схема електрична паралельно–послідовного регістра на JK–тригерах

(рис. 9.3). У приведеній схемі JK–тригери двічі перетворені в D–тригери. Одне перетворення здійснене для організації запису з використанням допоміжних інверсних входів S і R і, додаванням двох елементів І-НЕ (рис. 9.5).

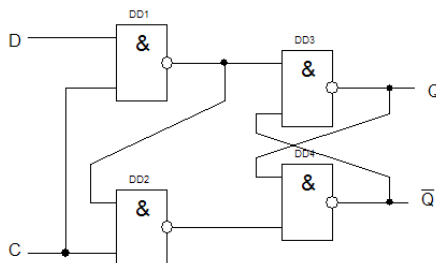


Рисунок 9.5 – D–тригер на основі RS–тригера

2. Для забезпечення дослідження функціонування паралельно–послідовного регістра необхідні:

- джерело живлення постійного струму;
- паралельно–послідовний регістр на елементах елементарної логіки та JK–тригерах;

- панель відображення інформації;
- прилади контролю функціонування.

3. Послідовно з'єднати запрограмований Word Generator з регістром.

4. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

5. На терміналі програмного забезпечення Electronics Workbench формується схема електрична послідовно – паралельного регістра (рис. 9.4). Послідовна інформація вводиться за допомогою Word Generator.

6. Для забезпечення дослідження функціонування послідовно–паралельного регістра необхідні:

- джерело живлення постійного струму;
- послідовно–паралельний регістр на елементах елементарної логіки та D–тригерах;

- панель відображення інформації;
- прилади контролю функціонування.

7. Послідовно з'єднати запрограмований Word Generator з регістром.
8. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

#### Контрольні питання

1. Цифрові тригери.
2. Послідовні пристрої цифрової схемотехніки.
3. Регістри пам'яті.
4. Послідовні регістри.
5. Паралельно–послідовний регістр.
6. Послідовно–паралельний регістр.

#### Література

1. Верьовкін Л. Л., Світанько М. В., Кісельов Є. М., Хрипко С. Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенський В. М., Жуйков В. Я., Гулий В. Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Задерейко О. В., Логінова Н. І., Трофименко О. Г., Троянський О. В., Толокнов А. А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с.

URL: <https://hdl.handle.net/11300/14473>