

*Міністерство освіти і науки України*  
*Запорізький національний університет*  
*Інженерний навчально-науковий інститут ім. Ю.М. Потєбні*  
*Кафедра: Електроніки, інформаційних систем та програмного*  
*забезпечення*

## **Лабораторна робота №10**

з дисципліни Цифрова схемотехніка

**Дослідження схем послідовністих цифрових лічильників**

Студента (ки) \_\_\_\_\_ курсу, групи \_\_\_\_\_

\_\_\_\_\_

(прізвище та ініціали)

(Піжпис)

Викладач \_\_\_\_\_

\_\_\_\_\_

(оцінка, дата, підпис)

м. Запоріжжя – 2024 рік

Метою виконання роботи є ознайомлення з принципами побудови різних схем цифрових лічильників.

Лічильником називається пристрій послідовнісного типу, призначений для підрахунку числа імпульсів, що поступають на його вхід, і фіксації цього числа у вигляді коду, що зберігається в тригерах.

За призначенням лічильники можуть бути підсумовуючими, віднімаючими і реверсивними. За способом організації внутрішніх зв'язків лічильники можуть бути: з послідовним перенесенням, з паралельним перенесенням, з комбінованим перенесенням, кільцеві. Лічильники бувають синхронними, тобто, коли рахункові імпульси подаються на рахункові входи всіх тригерів, і асинхронними - коли сигнал на рахунковий вхід якого-небудь тригера подається з виходу одного з тригерів молодших розрядів.

Основна характеристика лічильника – модуль рахунку, або ємність лічильника  $K_{\text{рах}}$ . Це кількість вхідних сигналів, які повертають лічильник у вихідний стан. Лічильник, що не має додаткових зв'язків, має модуль рахунку  $K_{\text{рах}} = 2^n$ . Лічильники, що мають модуль рахунку  $2^n$ , називаються двійковими. Якщо  $K_{\text{рах}} \neq 2^n$ , то лічильник називається недвійковим.

Двійковий асинхронний підсумовуючий лічильник з послідовним перенесенням будується на  $m = \log_2 8$  тригерах, що відповідає кількості розрядів двійкового числа. Частота перемикавання кожного наступного тригера зменшується вдвічі. Лічильник можна побудувати як коло послідовно включених рахункових тригерів (рис. 10.1).

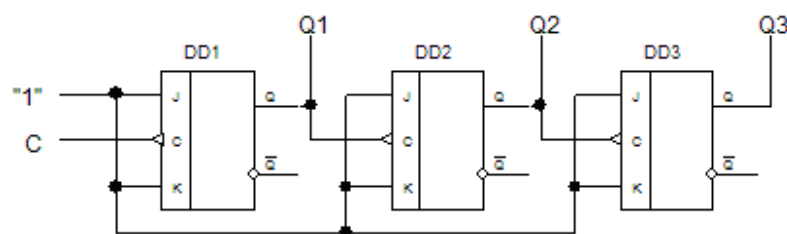


Рисунок 10.1 – Схема двійкового підсумовуючого лічильника з послідовним перенесенням

Для підвищення швидкодії лічильники виконуються синхронними з паралельним перенесенням (або паралельні). Їх особливість полягає в тому,

що виходи всіх попередніх розрядів з'єднуються з входами тригера подальшого розряду, тому тривалість перехідного процесу визначається лише тривалістю перехідного процесу одного розряду і не залежить від кількості тригерів. Схема електрична лічильника реалізується відповідно до функцій входів (рис. 10.2).

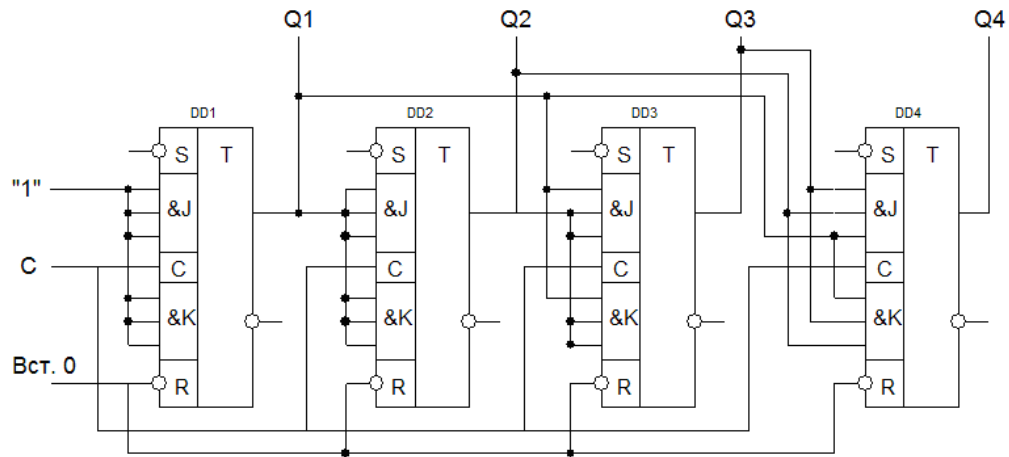


Рисунок 10.2 – Підсумовуючий двійковий лічильник з паралельним перенесенням

На практиці потрібні лічильники з коефіцієнтом рахунку не рівним  $2^n$ , наприклад, 3, 6, 10, 12, 24 та ін. Вони виконуються на основі двійкових лічильників шляхом виключення в лічильники з  $K_{\text{рах.}} = 2^n$  відповідного числа «надлишкових» станів  $N$ :  $N = 2^n - K_{\text{рах.}}$ . Стани  $(2^n - K_{\text{рах.}})$  виключаються у середині лічильника за допомогою зворотних зв'язків. Завдання синтезу таких лічильників зводиться до визначення вигляду необхідних зворотних зв'язків і мінімізації їх числа.

Двійково-десяткові лічильники мають  $K_{\text{рах.}} = 10$ . Їх синтезують на основі чотирьохрозрядного лічильника, виключаючи  $N = 2^m - K_{\text{рах.}} = 16 - 10 = 6$  надлишкових станів. Виключити можна будь-які 6 з 16 станів. У різних варіантах схем одному і тому ж десятковому числу можуть відповідати різні кодові комбінації, тобто різні варіанти лічильників працюють в різних двійково-десяткових кодах.

Поширеним різновидом паралельних лічильників є кільцеві лічильники, виконані на базі регістрів зсуву.

За призначенням лічильники можуть бути підсумовуючими, віднімаючими і реверсивними. Підсумовуючі лічильники виконують складання числа імпульсів, що поступають на вхід, з тим числом, яке зберігалося в ньому. Віднімаючі лічильники виконують віднімання числа імпульсу, що поступає, з початкового числа, записаного в ньому заздалегідь. Реверсивні лічильники можуть виконувати як додавання, так і віднімання імпульсів, що поступають на вхід, залежно від управляючих сигналів, що змінюють режим роботи лічильника. Такі лічильники можуть бути реалізовані за схемою лічильника з дешифратором.

Схема лічильника з дешифратором містить лічильник DD1, дешифратор DD2, допоміжні схеми DD3, DD4 (рис. 10.3).

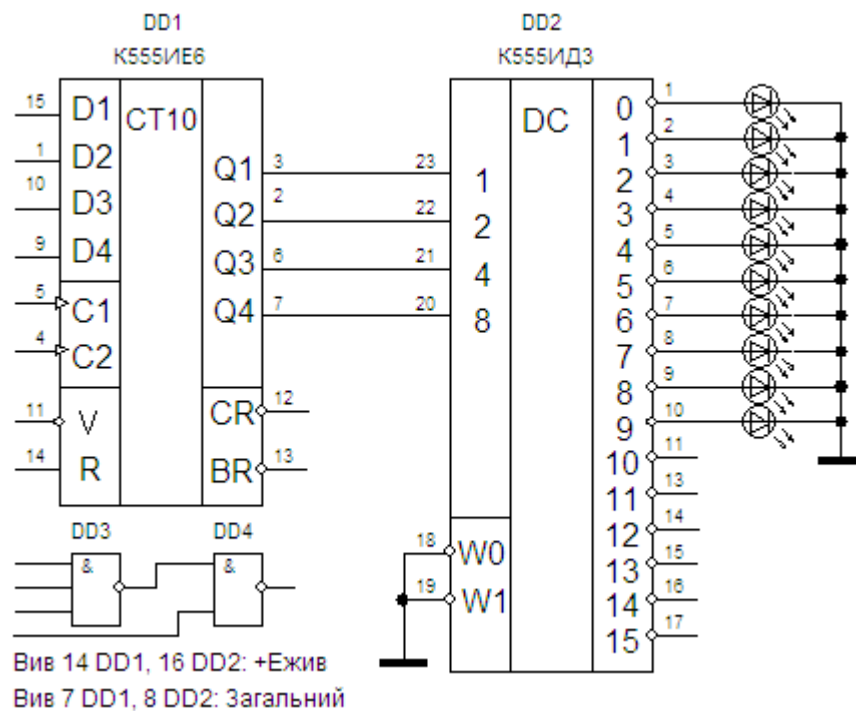


Рисунок 10.3 – Принципова схема лічильника з дешифратором

Лічильник DD1 (K555IE6 або 74192) – синхронний реверсивний чотирирозрадний двійково-десятковий лічильник. Лічильник працює в коді 1-2-4-8. До вихідного нульового стану лічильник наводиться при подачі на асинхронний вхід R рівня логічної 1, при цьому одночасно забороняється рахунок імпульсів.

Входи С1, С2 – рахункові входи для виконання операцій підсумовування або віднімання відповідно. Причому за відсутності якого-небудь з управляючих сигналів на вхід має бути поданий високий рівень напруги. При подачі на вхід С1 тактових імпульсів на виходах лічильника Q1, Q2, Q3, Q4 утворюється двійковий код 1-2-4-8. За 10 тактових імпульсів лічильник переходить в стан від 0 – 0000 до 9 – 1001. Коли всі тригери знаходяться в одиночному стані, то черговий десятий тактовий імпульс (низький рівень сигналу) проходить на вихід перенесення CR.

Якщо лічильник працює на віднімання (вхід С2), то при переході із стану 0000 в стан 1001 виникає позика із старшого розряду. Це відображується появою сигналу низького рівня на виході BR.

Входи D1, D2, D4, D8 призначені для запису в лічильник управляючого паралельного чотирьохрозрядного коду. Запис коду ведеться під час подавання на вхід синхронізації С сигналу низького рівня. У лічильнику реалізується мікрооперація привласнення.

При виконанні мікрооперації установки, на входах С1, С2 мають бути встановлені високі рівні сигналів.

Дешифратор DD2 (К555ИДЗ або 74154) – це комбінаційна схема для перетворення чотирьохрозрядного двійкового коду (подається на входи 1-2-4-8) в шістнадцятирічний унітарний двійковий код (знімається з виходів 0 – 15).

Для включення дешифратора в роботу необхідно, аби на управляючих входах W0, W1 були встановлені сигнали низького рівня. Кожній кодовій комбінації на входах 1-2-4-8 відповідає свій активний вихід  $Y_i$ , причому збуджений вихід набуває низького значення рівня сигналу.

Лічильник DD1, окрім рахунку, виконує ще одну функцію – дільника вхідної частоти, коли як вихідний використовується сигнал перенесення (позики) або вихідний сигнал четвертого тригера. По відношенню до вхідної частоти  $F_{вх}$  (на входах С1 або С2) частота на виході Q1 має значення  $F_{вх}/2$ , на виході Q2 –  $F_{вх}/4$  і так далі Лічильник може бути використаний для побудо-

ви дільників частоти з коефіцієнтами ділення, відмінними від вище перелічених.

Будувати дільників частоти можна різними способами.

1. Якщо вихідним сигналом «CR» записати в лічильник яке-небудь двійкове число  $N < 9$  (по входах D1, D2, D3, D4) і подати тактові імпульси з генератора на вхід C1, то до переповнювання лічильника необхідно подати «9 – N» імпульсів. Якщо при виробленні кожного імпульсу переповнювання (вихід «CR») в лічильник знов записувати це число, то лічильник завжди вестиме рахунок від N до 9. Таким чином, коефіцієнт ділення лічильника виявиться рівним «9 – N».

Якщо лічильник завантажувати по паралельних входах сигналом позики «BR» (при роботі лічильника в режимі віднімання), то коефіцієнт ділення буде рівний N.

2. Необхідний коефіцієнт ділення лічильника можна отримати, якщо при досягненні лічильником заданого числа N його скидати в нульовий стан. Коефіцієнт ділення виявиться рівним N. Виділення двійкової комбінації N виробляється за допомогою допоміжної схеми «I-II» (DD3 на рисунку 10.3).

3. Третій спосіб зміни коефіцієнта ділення заснований на використанні дешифратора, вихідний сигнал якого необхідно подати на вхід R лічильника через додатковий інвертор (DD4 на рисунку 10.3).

### 10.1 Послідовність і порядок проведення роботи

Робота виконується віртуально на стенді в програмному забезпеченні Electronics Workbench.

1. Побудувати схему двійкового лічильника з паралельним перенесенням.

Провести синтез двійкового підсумовуючого лічильника з паралельним перенесенням  $K_{\text{рах.}} = 16$  (визначити необхідну кількість розрядів, побудувати таблицю станів лічильника, скласти карти Карно для функцій переходів тригерів кожного розряду, вибирати тип тригера, провести мінімізацію логічних



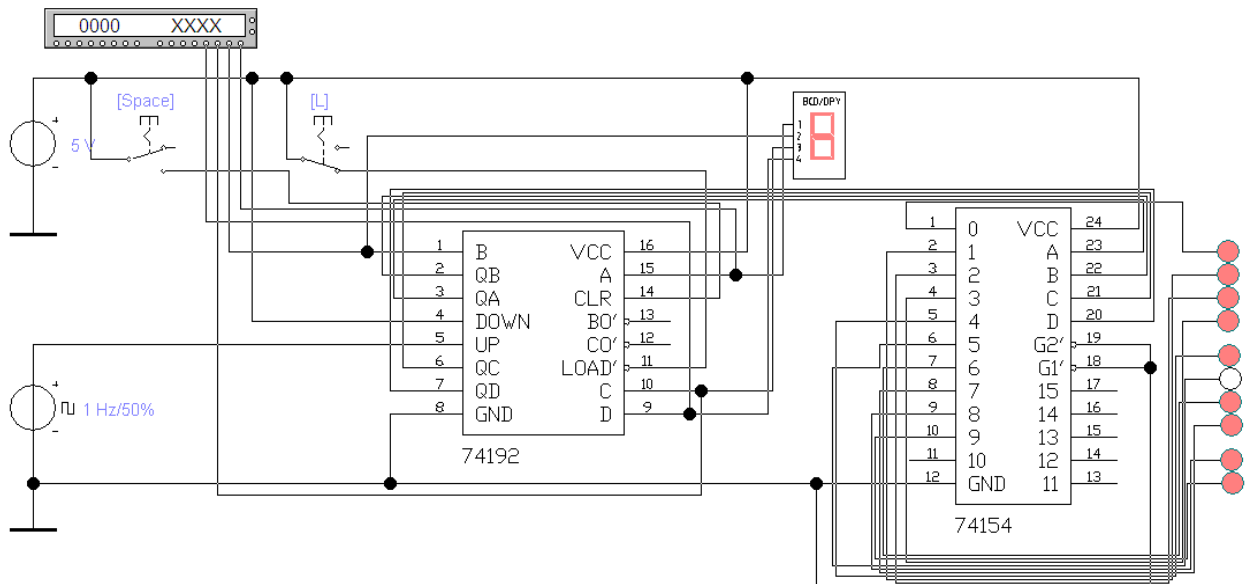


Рисунок 10.4 - Схема підсумовуючого лічильника

7. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

8. На терміналі програмного забезпечення Electronics Workbench формується схема лічильника, який працюють у двійковому коді з заданою вагою розрядів. Провести синтез синхронного лічильника з вагою розрядів 5-2-1-1 (визначити необхідну кількість розрядів, побудувати таблицю станів лічильника, скласти карти Карно для функцій переходів тригерів кожного розряду, вибрати тип тригера, провести мінімізацію логічних функцій входів, отримати функції входів тригерів лічильника. У результаті отримати схему лічильника.

9. Для забезпечення дослідження функціонування синхронного лічильника з вагою розрядів 5-2-1-1 необхідні:

- джерело живлення постійного струму;
- схема синхронного лічильника з вагою розрядів 5-2-1-1 на JK-тригерах;
- панель відображення інформації;
- прилади контролю функціонування.



10. За допомогою приладів програмного забезпечення (Logic Analyzer) провести контроль функціонування схеми та зняти відповідні діаграми функціонування.

#### Контрольні питання

1. Цифрові тригери.
2. Цифрові лічильники.
3. Двійкові підсумовуючі лічильники з послідовним перенесенням.
4. Двійкові підсумовуючі лічильники з паралельним перенесенням.
5. Недвійкові лічильники з паралельним перенесенням.
6. Двійково-десяткові лічильники.
7. Кільцеві лічильники.

#### Література

1. Верьовкін Л. Л., Світанько М. В., Кісельов Є. М., Хрипко С. Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенський В. М., Жуйков В. Я., Гулий В. Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Задерейко О. В., Логінова Н. І., Трофименко О. Г., Троянський О. В., Толокнов А. А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с.

URL: <https://hdl.handle.net/11300/14473>