

## Лекція 17. Запам'ятовувальні пристрої

Запам'ятовувальні пристрої цифрової схемотехніки можна розрізнити по функціональних ознаках.

1) Надоперативні Запам'ятовувальні пристрої (НОЗП) – здійснюють зчитування і запис інформації (регістрова пам'ять).

2) Оперативні Запам'ятовувальні пристрої (ОЗП) – здійснюють зчитування і запис інформації.

3) Постійні Запам'ятовувальні пристрої (ПЗП) – здійснюють лише зчитування інформації.

4) Перепрограмовувані Постійні Запам'ятовувальні пристрої (ППЗП) – здійснюють лише зчитування інформації постійно і запис рідко.

Найважливіші параметри запам'ятовуючих пристроїв (ЗП).

1) інформаційна ємність – максимально можливий об'єм інформації, що зберігається. Параметр, що характеризує міру інтеграції елементів на кристалі. Виражається в бітах або словах в байтах. Біт зберігається запам'ятовуючим елементом (ЗЕ), а слово – запам'ятовуюча комірка (ЗК), тобто групою ЗЕ, до якої можливо лише одночасне звернення.

2) питома потужність – загальна потужність, яка споживається в режимі зберігання, віднесена до одного біта інформації.

3) швидкодія – час запису, зчитування і тривалості циклів запису / зчитування.

Час запису – інтервал після появи сигналу запису і встановленням запам'ятовуючої комірки в стан, що задається вхідним словом.

Час зчитування – інтервал між моментами появи сигналу читання і слова на виході ЗП.

Цикли запису і зчитування – це час між двома послідовностями запису або зчитування. Тривалість циклів може перевищувати часи запису і зчитування, оскільки після цих операцій потрібен час для відновлення початкового стану ЗП.

4) питома вартість одного біта інформації – загальна вартість кристала, поділена на інформаційну ємність.

### 5.1 Оперативні Запам'ятовувальні пристрої

При створенні ОЗП малої ємності (наприклад НОЗП), застосовується організація пам'яті у вигляді окремих регістрів. Типовий приклад тригерного ОЗП – регістр з паралельним прийомом і паралельною видачею інформації. На рисунку 17.1 приведена схема 4-розрядного паралельного регістра, побудованого на RS – тригерах DD5 ... DD8.

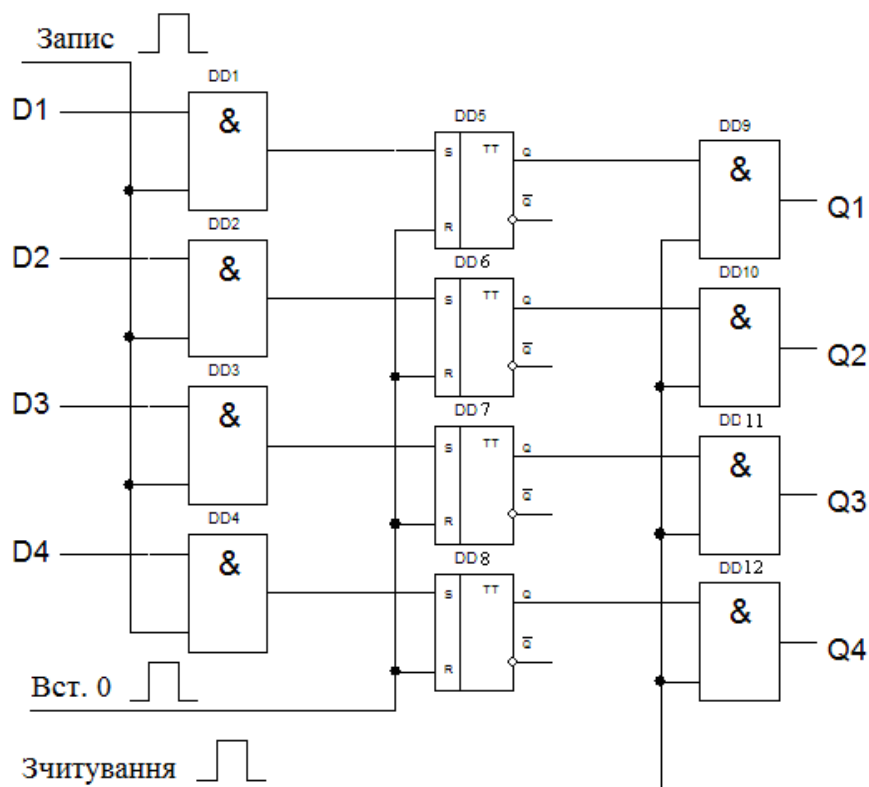


Рисунок 17.1 – Функціональна схема паралельного регістра на RS – тригерах

Елементи DD1... DD4 утворюють коло управління записом, а елементи DD9 ... DD12 – коло управління зчитуванням. Перед записом інформації всі тригери регістра встановлюють в стан «0» шляхом подачі імпульсу «1» на їх R – входи. Записувана інформація подається на входи DD1 ... DD4. Для запису інформації подається імпульс «Запис», що відкриває вхідні еле-

менти «1». Код вхідного числа записується в регістр. Після закінчення імпульсу «Запис» елементи DD1 ... DD4 закриваються, а інформація, записана в регістр, зберігається, не дивлячись на те, що вхідна інформація може змінюватися. Для зчитування інформації подають сигнал «1» на вхід «Зчитування». По цьому сигналу на вихідні шини регістра на час дії сигналу передається код числа, записаний в регістр. По закінченню операції зчитування вихідні ключі закриваються, а інформація, записана в регістр, зберігається. Тобто, можливе багатократне зчитування інформації.

При збільшенні ємності ОЗП виникає проблема доступу до кожного елемента пам'яті при обмеженому числі виводів корпусу. Це завдання вирішується за допомогою адресної організації ЗП з використанням дешифратора коду адреси. Тому ОЗП складається з двох основних частин – накопичувача і схем управління. Накопичувач – це основна частина ОЗП, де зберігаються дані. Схеми управління призначені для введення і виведення цих даних. У них входять дешифратори, підсилювачі, регістри, різного роду ключі, комутатори і інші схеми загального призначення.

Накопичувач складається з запам'ятовуючих комірок, кожна з яких зберігає один біт інформації. Основу ЗК складають бістабільні елементи, основною властивістю яких є наявність двох стійких станів  $Q = 0$  або  $Q = 1$ . ЗК розташовані у вузлах ґрат, утворених адресними шинами. Кожна комірка пов'язана з однією вертикальною і однією горизонтальною шиною. Тому, якщо подається напруга на одну вертикальну і одну горизонтальну шини, то до периферії підключається певна ЗК. У цю комірку можна записати, або зчитати з неї 1 біт інформації. Запис і зчитування виконується за допомогою розрядних шин РШ1, РШ0, які підключені до всіх ЗК. Біполярні ЗК володіють значною швидкістю, а МДП – споживають значно менше енергії.

У накопичувачах використовуються будь-які ЗК.

Комірка на однотипних МОН транзисторах з р-каналом (рис. 17.2) має класичну структуру RS – тригера з управляючими ключами VT5, VT6.

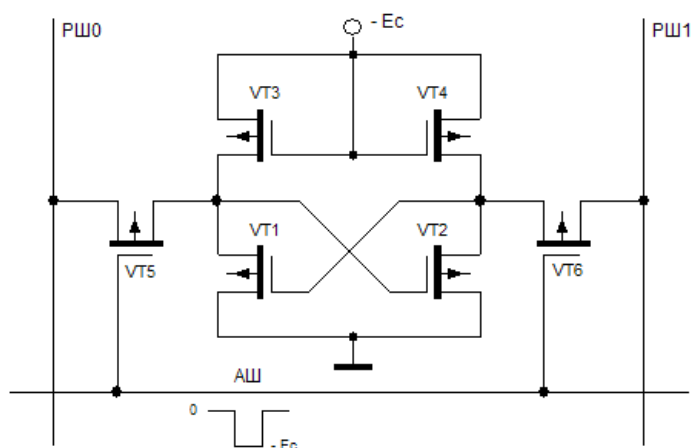


Рисунок 17.2 – Статичний елемент пам'яті на однотипних МОН транзисторах

Ці ключі нормально замкнуті і ЗК відключена від розрядних шин. Під час надходження негативного імпульсу « $-E_{ж}$ » на адресну шину, ключі VT5, VT6 відмикаються і підключають комірку до розрядних шин. При цьому на розрядні шини поступають рівні  $Q$  і  $\bar{Q}$ , записані у комірку. У режимі запису на адресну шину також подається імпульс « $-E_{ж}$ », а на розрядні шини подаються необхідні (взаємно протилежні) рівні, які наводять комірку у відповідний стан. Таким чином імпульс на адресній шині в обох режимах грає роль тактового імпульсу.

В комірці динамічного типу (рис. 17.3) зберігання біта інформації здійснюється ємностями  $C1$ ,  $C2$  (звичайно це паразитні ємності МОН транзисторів). Методика запису і зчитування та ж, що і у комірці статичного типу. Нехай при запису на розрядні шини PШ1, PШ0 подані відповідні рівні « $-E_c$ » і «0». Рівень « $-E_c$ » через ключ VT4 поступає на затвор транзистора VT1 і цей транзистор буде відкритий. На затвор транзистора VT2 поступить рівень «0» і цей транзистор буде замкнутий. Напруга на ємностях матиме значення  $U_{c1} = -E_c$ ,  $U_{c2} = 0$ . Якщо залишковий струм замкнутого транзистора VT2 досить малий, то ємність  $C1$  розряджатиметься вельми повільно і значення напруг « $-E_c$ » і «0» зберігатимуться на виходах комірки (на стоках) тривалий час.

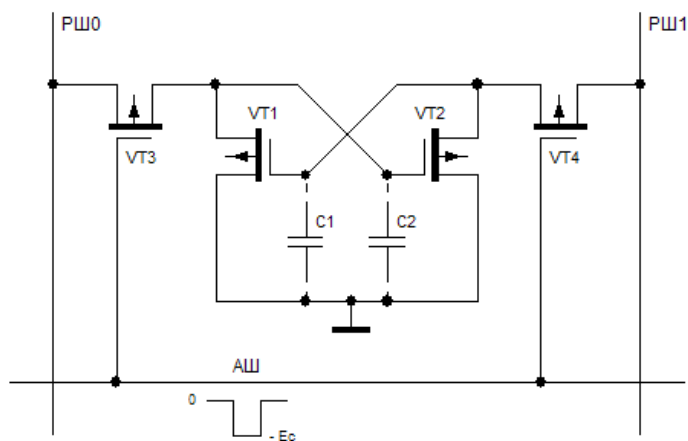


Рисунок 17.3 – Динамічний елемент пам'яті на однотипних МОН транзисторах

Динамічні ЗК більш економічні статичних, оскільки у них відсутнє джерело живлення. Отже, в режимі зберігання вони не споживають потужність.

МОН транзисторні комірки більш економічні і компактні біполярних (рис. 17.4), але поступаються їм по швидкодії.

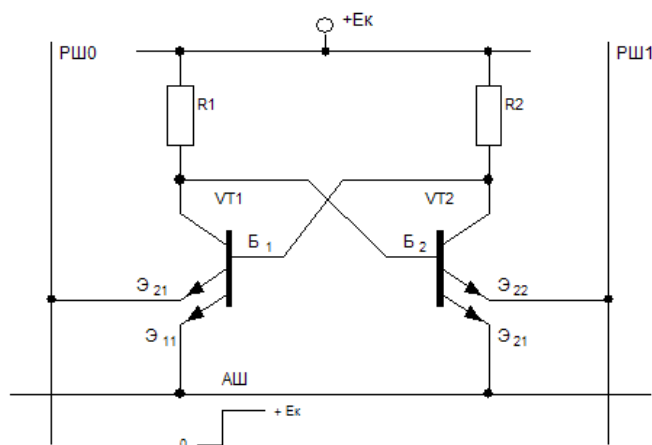


Рисунок 17.4 – Статична комірка пам'яті на біполярних транзисторах

Нехай в режимі зберігання транзистор VT2 замкнутий, а VT1 відкритий і насичений. Тоді  $U_{Б1} = U^*$  і  $U_{Б2} = 0$ . Якщо на розрядних шинах заданий невеликий (0,1 ... 0,2 В) «черговий» потенціал, то емітерний перехід  $E_{21}$  буде практично замкнутий і весь струм протікатиме через  $E_{11}$ . У транзисторі VT2 будуть замкнуті обидва емітерні переходи. При зчитуванні, коли на адресну шину подається позитивна напруга «+ Ек», емітер  $E_{11}$  закривається і струм

транзистора VT1 протікає в шину PШ0 через емітер  $E_{21}$ , який залишився під низьким потенціалом. Шина PШ1 залишається знеструмленою. Під час запису одночасно з адресним імпульсом подається напруга на ту розрядну шину, яка пов'язана з транзистором, що підлягає замиканню. Якщо подати «+ Ек» на розрядну шину PШ1, то транзистор VT2 залишиться замкнутим і стан ЗЯ не зміниться. Якщо ж подати «+ Ек» на шину PШ0, то виявляється, що обидва емітера транзистора VT1 будуть замкненими. Тоді струм потече через базу транзистора VT2 в емітер  $E_{22}$ , який знаходиться під низьким потенціалом шини PШ1. При цьому транзистор VT2 відкриється і стан ЗК зміниться на протилежний.

Розглянемо призначення і взаємодію складових частин ОЗП на 64 біта з адресною організацією вибірки 16 чотирьохрозрядних слів (16 слів  $\times$  4 розряди = 64 біт). Умовне зображення і функціональна схема такої мікросхеми приведені на рисунку 17.5. Масив пам'яті утворений 16 чотирьохрозрядними колами тригерів. При сигналі  $V = 0$  одне з кіл, що відповідає виставленій адресі  $A_1 \dots A_4$ , переходить в робочий стан і його сигнали поступають на входи елементів I (DD8 ... DD11). При сигналі  $V = 1$  на всіх виходах дешифратора низькі рівні і всі тригери відключені від вихідних шин накопичувача. При  $V = 0$  і  $W = 0$  на вибране коло поступають інформаційні сигнали (входи D1... D4) і елементом DD1 виконується сигнал запису. У цьому режимі при зміні інформації на вході ОЗП відбувається перезапис інформації в даному слові масиву. При сигналах  $V = 1$  і  $W = 0$  вхідна інформація проходить безпосередньо на вихід мікросхеми, минувши масив тригерів (дешифратор не вибирає жодного з кіл). При  $V = 1$  і  $W = 1$  заборонена робота дешифратора, вузла, що генерує сигнал «Запис» і вхідних елементів I.

Таким чином, блок управління (десять елементів I) забезпечує роботу ОЗП в режимах: запис, зчитування, наскрізне перенесення, зберігання інформації. Вихідні логічні елементи I (DD8 ... DD11) виконані за відкритим колектором, що дозволяє сполучати разом виходи Q декількох мікросхем ОЗП. При цьому відбувається нарощування ємності ОЗП (дві мікросхеми - 32 сло-

ва, три - 48 і т. д.). Адресне управління A1 ... A4, інформаційні входи D1... D4 і виходи Q1 ... Q4 всіх мікросхем об'єднують в загальні шини, а вибір робочого масиву здійснюють додатковим дешифратором по входах V і W. Так виглядає структура мікросхеми K155PY2 (рис. 17.5 б).

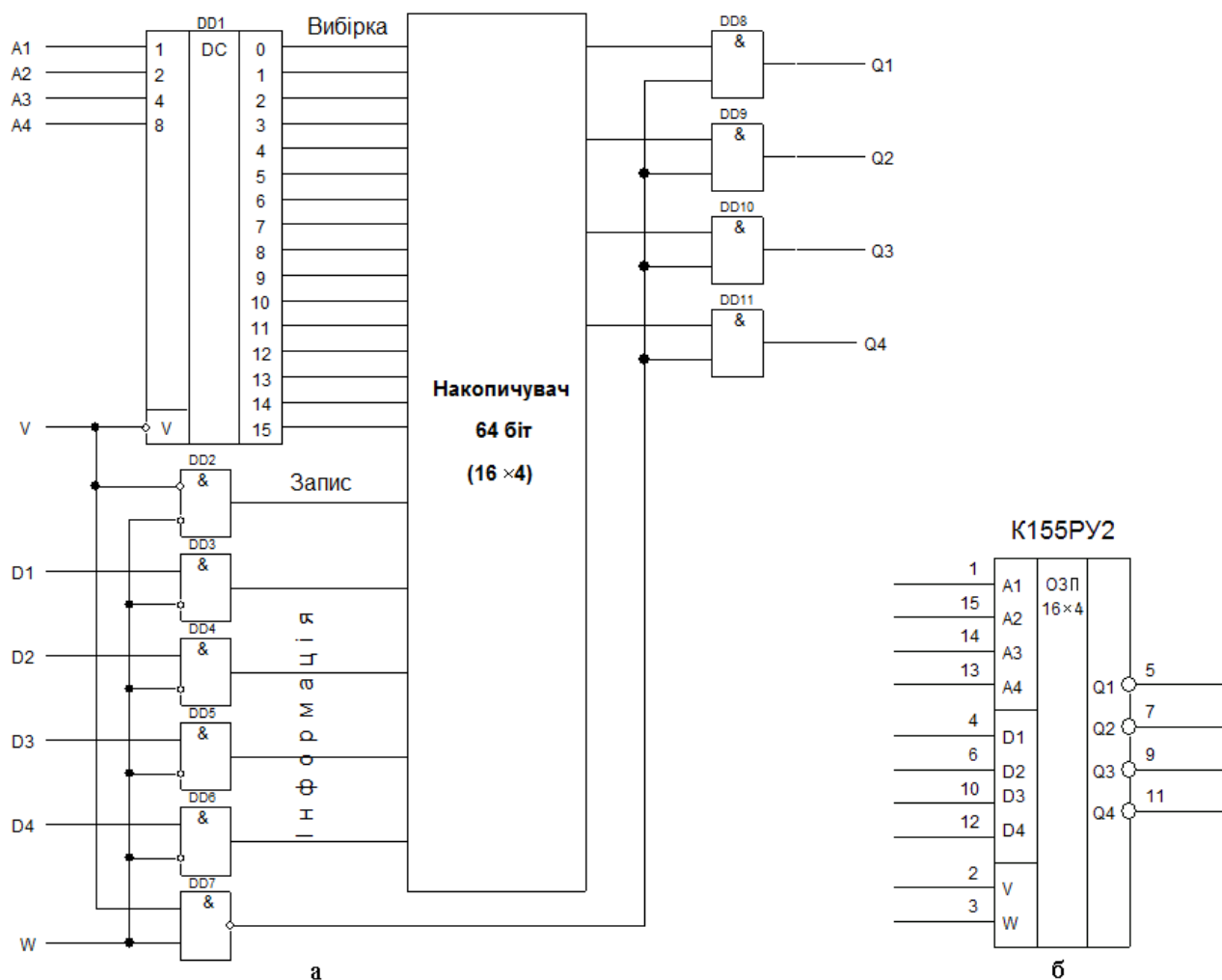


Рисунок 17.5 – Функціональна схема і умовне позначення ОЗП на 64 біт

ОЗП потребують для своєї побудови великої площі кристала, тому їх ємність відносно невелика. Статичні ОЗУ застосовуються для побудови мікроконтролерних схем із-за простоти побудови принципової схеми і можливості працювати на скільки завгодно низьких частотах, аж до постійного струму. Крім того, статичні ОЗП застосовуються для побудови КЕШ-пам'яті в універсальних комп'ютерах із-за високої швидкодії статичного ОЗП.

## 17.2 Постійні Запам'ятовувальні пристрої

Запис інформації в ПЗП виконується або один раз і назавжди, або є спеціальною, рідко використовуваною операцією. Тому ПЗП допускають лише зчитування занесеної до них інформації. У постійному запам'ятовуючому пристрої, за кожною  $n$ -розрядною адресою записано одне заздалегідь встановлене  $m$ -розрядне слово. Таким чином, ПЗП є комбінаційною схемою, що перетворює код адреси в код слова.

Запам'ятовуюча матриця ПЗП представляє собою систему взаємно перпендикулярних шин, в пересіченнях яких або стоїть (логічна «1»), або відсутній (логічний «0») елемент, що зв'язує між собою відповідні горизонтальну і вертикальну шини. Вибірка слів виконується так само, як і в ОЗП, за допомогою дешифратора.

Спочатку елементи поєднання розташовані у всіх вузлах матриці і в такому однорідному вигляді матрицю поставляють замовникові (рис. 17.6). Кожен замовник сам записує в ПЗП потрібні йому коди. Для цього він (за допомогою спеціальних пристроїв) перепалює виводи-перемички тих діодів, які знаходяться в місцях розташування логічних «0» (рис. 17.7 а). Для того, щоб перегорали саме виводи діодів, а не прилеглі до них ділянки адресної і розрядної шин, виводи робляться більш високоомними і більш легкоплавкими, ніж шини. Недоліком діодних ПЗП є те, що необхідний струм в розрядних шинах повинен забезпечуватися дешифратором, який передає цей струм через адресну шину. Для того, щоб полегшити роботу дешифратора, замінюють діоди транзисторами (17.7 б).

При використанні МДН-транзисторів (5.7 в) запис інформації здійснюється металізацією затворів на етапі останньої фотолітографії. Металізація затворів виконується лише в тих транзисторах, які повинні передавати «1» на розрядну шину. В останніх транзисторах затвори не будуть приєднані до адресних шин і ці транзистори не діятимуть.



Вихідні транзистори підсилювачів можуть бути з відкритим колектором або з третім станом. Тоді при опорному сигналі  $V = 1$  мікросхема відключається від вихідної шини, що дозволяє нарощувати пам'ять простим об'єднанням виходів мікросхем ПЗП.

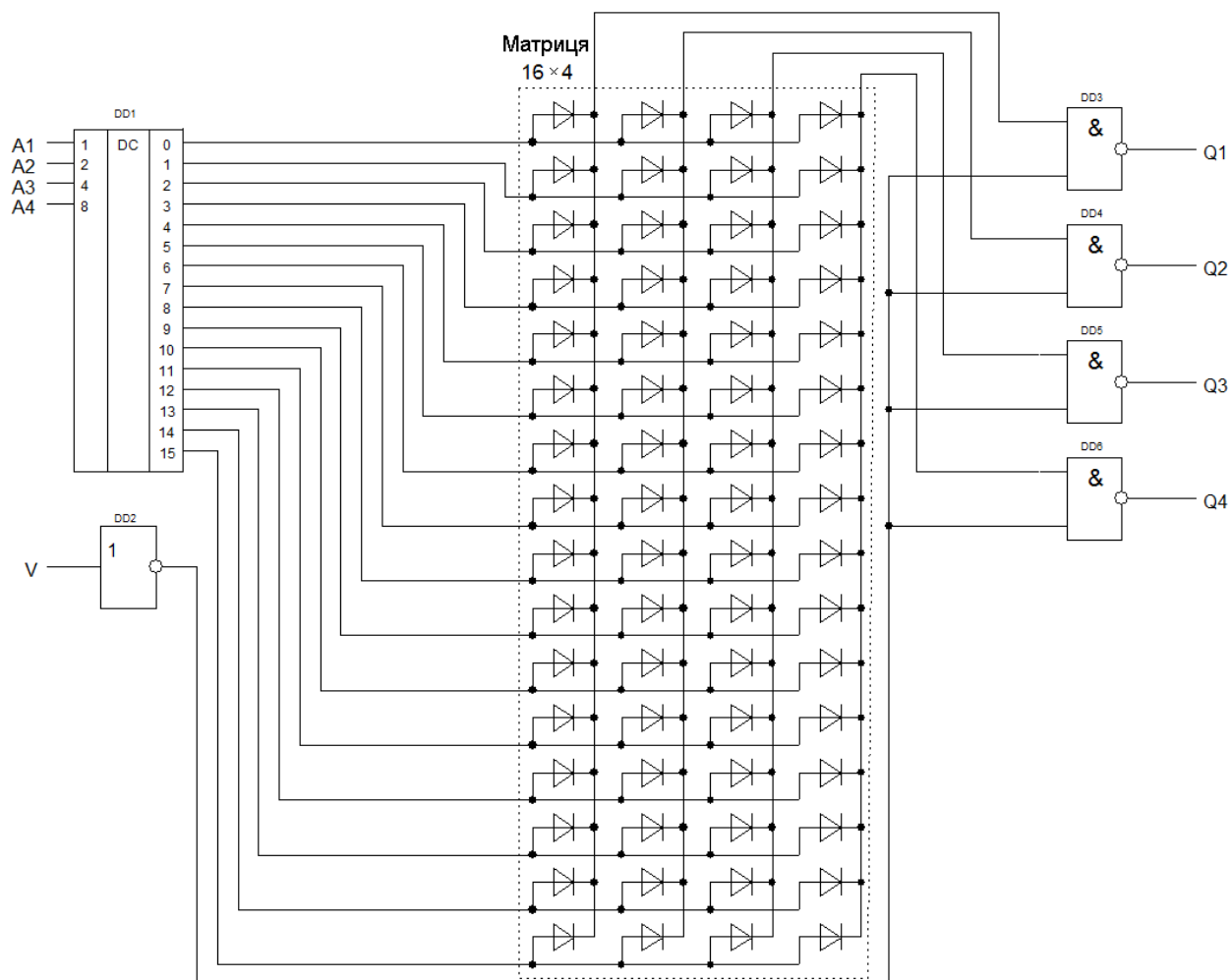


Рисунок 17.6 – Функціональна схема ПЗП

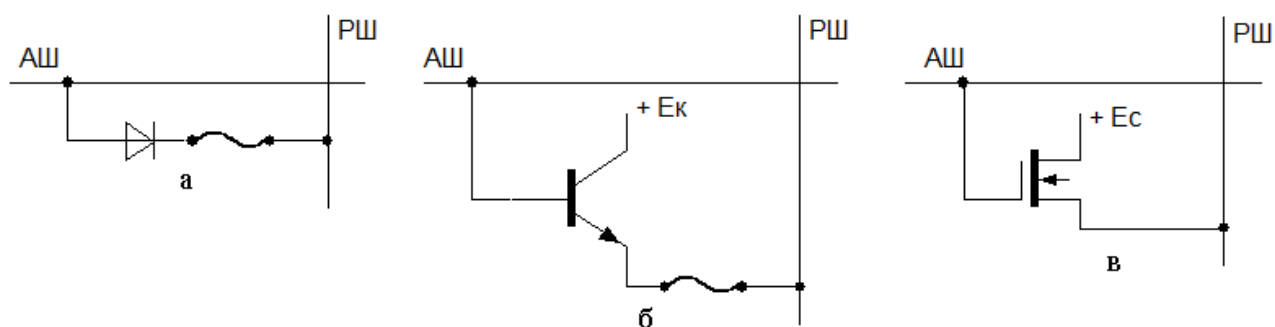


Рисунок 17.7 – Елементи пам'яті на діоді (а), біполярному транзисторі (б) і МДН-транзисторі (в)

### 17.3 Репрограмуємі постійні Запам'ятовувальні пристрої

Репрограмуємі постійні Запам'ятовувальні пристрої (РПЗП) дозволяють час від часу міняти записану інформацію і зберігати її невизначено довго при відключеному живленні.

Принцип функціонування РПЗП полягає в тому, аби зворотно міняти порогову напругу МОН-транзистора  $U_0$ . Якщо зробити порогову напругу  $|U_0| > U_{\text{АШ}}$ , то транзистор не відкриватиметься адресними імпульсами (рис. 17.7 в). Останні транзистори, в яких  $|U_0| < U_{\text{АШ}}$ , функціонуватимуть нормально.

Способи управління пороговою напругою базуються на введенні додаткових зарядів в діелектрик.

Структури РПЗП-УФ використовують звичайні МОН-транзистори з одношаровим діелектриком в якому розташований плаваючий затвор (рис. 17.8 а). Прикладаючи до керуючого затвора чималу напругу викликають лавинний пробій в діелектрику, внаслідок чого у ньому накопичуються електрони. Відповідно змінюється порогова напруга. Заряд електронів зберігається протягом досить довгого часу. Стирання інформації здійснюється ультрафіолетовим опроміненням кристала, через спеціально виготовлені вікна. При цьому, електрони витісняються з плаваючого затвору у підкладку внаслідок посилення теплового руху за рахунок фотонного бомбардування від джерела ультрафіолетового випромінювання.

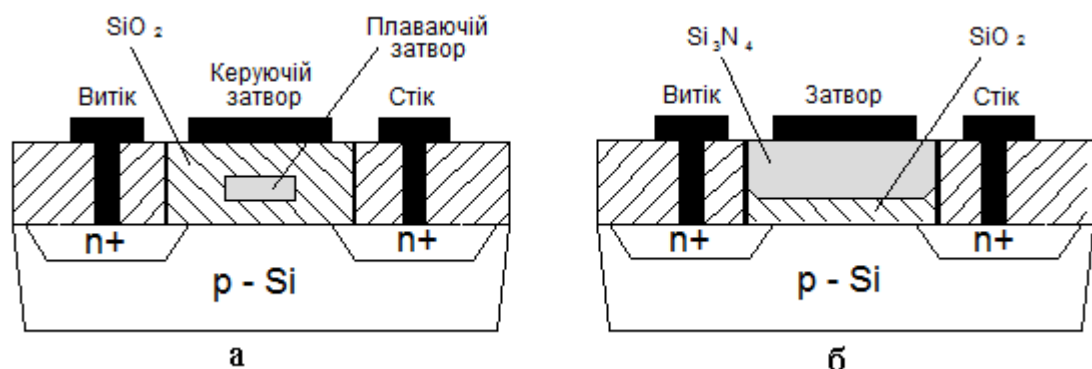


Рисунок 17.8 – Елементи пам'яті РПЗП: а – з плаваючим затвором і ультрафіолетовим затиранням; б – структури МОН з електричним затиранням

У структурі РПЗП-ЕС використовують транзистори структури метал – нітрид – оксид – напівпровідник (МНОН) (рис. 17.8 б). В цих транзисторах введення і виведення зарядів здійснюється за допомогою коротких високовольтних імпульсів, що подаються на затвор. При записі інформації під дією сильного електричного поля між затвором і підкладкою електрони набувають достатньої енергії щоб пройти тонкий діелектричний шар на межі поділу двох діелектриків. Верхній шар  $\text{Si}_3\text{N}_4$  має значну товщину, тому електрони подолати його не можуть. Накопичений на межі поділу двох діелектричних шарів заряд електронів знижує порогову напругу. При прикладенні імпульсу напруги протилежної полярності електрони витісняються в підкладку, що відповідає режиму стирання.

Flash-пам'ять (флеш- пам'ять) є представником класу репрограмуємих постійних ЗП з електричним затиранням. Проте затирання в ній здійснюється відразу у цілій області комірок: блоку або всієї мікросхеми. Це забезпечує швидший запис інформації (програмування ЗП). Для спрощення цієї операції в мікросхему включаються спеціальні пристрої керування, що роблять запис інформації подібним до запису в звичайне ЗП, виконані на апаратному і програмному принципі управління.

Флеш- пам'ять будується на одностранзисторних елементах пам'яті, що забезпечує щільність зберігання інформації навіть декілька вище, ніж в динамічній оперативній пам'яті. Найбільш часто використовують два типи флеш- пам'яті, в яких Запам'ятовувальні транзистори підключені до розрядних шин паралельно або послідовно.