

## Підсумкова контрольна робота №1

27 жовтня 2020 року

Номер варіанту обирається згідно з порядковим номером студента в академічному журналі.

Робота оформлюється у паперовому вигляді з стандартним титульним листом.

Відповідь на запитання 1 контрольної роботи має розгорнутий вигляд і відповідає тематиці, яка розглянута у лекційному курсі.

Відповідь на запитання 2 контрольної роботи:

- провести математичні розрахунки та спрощення згідно з поставленим завданням;

- виконати аналіз функціональної схеми, яка побудована згідно з розрахунками;

- побудувати схему у програмному забезпеченні EWB з відповідними засобами контролю функціонування, привести діаграму функціонування.

- побудувати розраховану схему на реальних інтегральних мікросхемах у програмному забезпеченні Splan50.

Для позитивної оцінки розрахунки та схеми повинні бути виконані у повному обсязі.

### Варіант 1

1. Сполучення мікроконтролерів з індикаторами.
2. Розробити логічну схему пристрою мажоритарного контролю шести-розрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів. Реалізацію схеми виконати на елементах базису Пірса.

### Варіант 2

1. Робота мікроконтролера із зовнішньою пам'яттю даних.

2. Розробити порогову логічну схему з п'ятью вхідними змінними. На виході має бути 1 лише тоді, коли щонайменше на 4 входах присутня 1. Реалізацію схеми виконати на елементах базису Пірса.

### Варіант 3

1. Мікроконтролери сімейства x51.
2. Розробити логічну схему пристрою мажоритарного контролю шести-розрядних слів, які поступають на мажоруючий елемент з трьох ідентичних вузлів. Реалізацію схеми виконати на елементах базису Шеффера.

### Варіант 4

1. Класифікаційні ознаки МП і МПК.
2. Розробити логічну схему зведення в квадрат двійкових чисел від 0 до 9, з представленням інформації в додатковому коді, з виведенням інформації на семисегментні індикатори. Реалізацію схеми виконати на елементах базису Шеффера.

### Варіант 5

1. Однокристальні AVR мікроконтролери.
2. Розробити логічну схему мажоритарного елемента що працює за законом «3 з 5» у базисі Шеффера.

### Варіант 6

1. Модуль центрального процесора.
2. Розробити логічну схему перетворювача десяткового коду чисел від 0 до 9 в двійково-десятковий, з виведенням інформації на семи сегментні індикатори.

### Варіант 7

1. Пристрої введення-виведення.

2. Розробити логічну схему порівняння двох двійкових двохранрядних чисел, з виведенням інформації про більше число на семисегментний індикатор. Реалізацію схеми виконати на елементах базису Пірса.

#### Варіант 8

1. Інтерфейси введення-виведення.
2. Розробити логічну схему зведення в квадрат десяткових чисел від 0 до 9, з представленням інформації в кодi Грея та виведенням інформації на семисегментні індикатори. Реалізацію схеми виконати на елементах базису Шеффера.

#### Варіант 9

1. Система переривань.
2. Розробити логічну схему порівняння двох двійкових двохранрядних чисел, з виведенням інформації про рівність чисел на семисегментний індикатор. Реалізацію схеми виконати на елементах базису Шеффера.

#### Варіант 10

1. Пристрій управління.
2. Розробити логічну схему порівняння двох двійкових двохранрядних чисел, з виведенням інформації про рівність чисел на семисегментний індикатор. Реалізацію схеми виконати на елементах базису Пірса.

#### Варіант 11

1. Арифметично логічний пристрій.
2. Розробити логічну схему пірамідального дешифратора 3 в 8 з прямими входами А, В, С, інверсним входом  $\overline{OE}$ , та інверсними виходами. Представити діаграму функціонування.

## Варіант 12

1. Однокристальний 8-розрядний мікроконтролер.
2. Розробити логічну схему мультиплексора 8 в 1 з прямими інформаційними входами, інверсним входом  $\overline{OE}$ , та інверсним виходом Q. Представити діаграму функціонування.

## Варіант 13

1. Програмна модель МП.
2. Розробити логічну схему шифратора десяткового коду клавішної клавіатури від 0 до 9 в двійковий еквівалент коду натиснутої клавіши та виведенням інформації на світлодіодний індикатор. Реалізацію схеми виконати на елементах базису Шеффера.

## Варіант 14

1. Принципи магістральності, модульності та мікропрограмного управління.
2. Розробити логічну схему зведення в квадрат двійкових чисел від 0 до 9, з представленням інформації в додатковому коді, з виведенням інформації на семисегментні індикатори. Реалізацію схеми виконати на елементах базису Пірса.

## Варіант 15

1. Однокристальні мікроконтролери з RISC архітектурою.
2. Розробити логічну схему контролю парності, для виявлення одиночних помилок при передачі чотирьохрозрядного коду і біта парності по паралельній лінії зв'язку.

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут*

*Кафедра: Мікроелектронних та електронних інформаційних систем*

**Підсумкова контрольна робота №1**

з дисципліни Мікропроцесорна техніка

Завдання варіанту № \_\_\_\_\_

\_\_\_\_\_

Студента (ки) \_\_\_\_\_ курсу, групи \_\_\_\_\_

\_\_\_\_\_ (прізвище та ініціали)

Викладач \_\_\_\_\_

\_\_\_\_\_ (посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала \_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка: ECTS \_\_\_\_\_

м. Запоріжжя – 20\_\_ рік