

УДК 621.38 (075)

Міністерство освіти і науки України
Інженерний навчально-науковий інститут ім. Ю. М. Потебні
Запорізького національного університету

Л.Л. Верьовкін

ЕЛЕКТРОННІ ПРИСТРОЇ ПОБУТОВОЇ ЕЛЕКТРОНІКИ

Методичні рекомендації до лабораторних робіт
для здобувачів вищої освіти першого бакалаврського рівня
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної
програми «Мікро- та наносистемна техніка»

Міністерство освіти і науки України
Інженерний навчально-науковий інститут ім. Ю. М. Потебні
Запорізького національного університету

Л. Л. Верьовкін

ЕЛЕКТРОННІ ПРИСТРОЇ ПОБУТОВОЇ ЕЛЕКТРОНІКИ

Методичні рекомендації до лабораторних робіт
для здобувачів вищої освіти першого бакалаврського рівня
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної
програми «Мікро- та наносистемна техніка»

Затверджено
вченою радою ЗНУ
Протокол №
від

Запоріжжя
2023

Верьовкін Л.Л. Електронні пристрої побутової електроніки. Методичні вказівки до виконання лабораторних робіт для здобувачів вищої освіти магістра спеціальності «Мікро- та наносистемна техніка» освітньо-професійної програми «Мікро- та наносистемна техніка». - Запоріжжя: ЗНУ, 2023. – 50 с.

Методичні рекомендації до лабораторних робіт з дисципліни «Електронні пристрої побутової електроніки» розроблено для студентів денної та заочної форм навчання спеціальності «Мікро- та наносистемна техніка». Запропоновані практичні завдання призначені для освоєння теоретичного матеріалу, опанування навичок вирішення задач цифрових пристроїв обробки інформації.

Рецензент

В. Л. Коваленко, доктор технічних наук, професор, завідувач кафедри електротехніки та енергоефективності

Відповідальний за випуск

Т. В. Критська, доктор технічних наук, професор, завідувач кафедри мікроелектронних та електронних інформаційних систем.

Лабораторна робота № 1

«Логічний синтез цифрових інтегральних схем для пристроїв комп'ютерної електроніки»

Мета роботи: закріплення теоретичних знань і придбання студентами практичних навиків логічного синтезу цифрових ІС, включаючи побудову схем за результатами логічного синтезу і аналізу їх характеристик.

1. Теоретичні основи логічного синтезу цифрових ІС

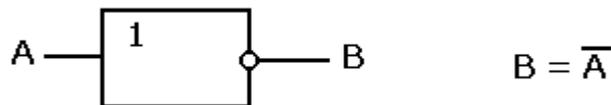
Теоретичною основою проектування цифрових ІС є алгебра логіки.

1.1 Основи алгебри логіки

У основі алгебри логіки (булевої алгебри) лежать логічні величини, які позначаються A , B , Z і так далі. Логічні величини характеризують два взаємовиключні поняття: є – ні, включено – вимкнено і так далі. Якщо одне із значень логічної величини позначене через A , то друге значення (протилежне) позначається \bar{A} .

Основними логічними функціями є заперечення, логічне складання і логічне множення.

Заперечення (інверсія, функція НЕ) це проста логічна функція $Y = \bar{A}$. Схему, що забезпечує виконання такої функції, називають інвертором або схемою НЕ, позначення схеми:



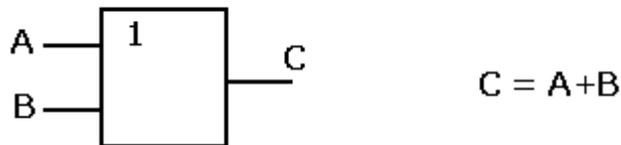
Логічне складання, диз'юнкція (\vee) або функція АБО

$$C = A + B$$

визначається таким чином:

функція $Z = 1$, якщо $A = 1$ або $B = 1$, або і $A = 1$ і $B = 1$;

Позначення схеми:



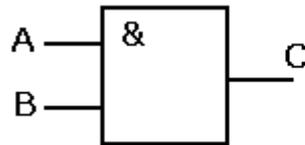
Логічне множення, кон'юнкція (\wedge) або функція І

$$C = A \cdot B$$

визначається таким чином:

функція $Z = 1$ лише якщо одночасно і $A = 1$ і $B = 1$;

Позначення схеми:

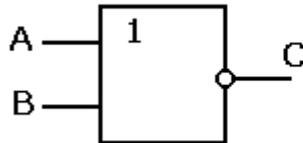


$$C = A \cdot B$$

Поєднання функції АБО з інверсією наводить до комбінованої функції АБО – НЕ:

$$C = \overline{A + B}$$

що позначається таким чином

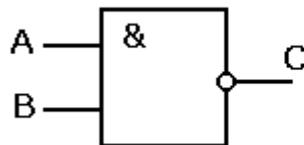


$$C = \overline{A + B}$$

Поєднання функції І з інверсією наводить до комбінованої функції І – НЕ:

$$C = \overline{A \cdot B}$$

що позначається таким чином:



$$C = \overline{A \cdot B}$$

Функції АБО – НЕ і І – НЕ найпоширеніші, оскільки на їх основі можна реалізувати будь-яку іншу логічну функцію. Зрозуміло, кількість аргументів функції і, отже, входів у відповідних схем може бути рівне трьом, чотирьом і більш.

У визначенні основних логічних функцій використані операції:

складання – диз'юнкція, “+”;

множення – кон'юнкція, “*”;

заперечення – інверсія “-”;

а так само відношення еквівалентності “=” (не рівність, а лише еквівалентність!)

У алгебрі логіки постулюються (приймаються як початкові) наступні стосунки еквівалентності:

а) $0 + 0 = 0$

би) $0 * 0 = 0$

в) $0 = 1$

$1 + 0 = 1$

$1 * 0 = 0$

$1 = 0$

$0 + 1 = 1$

$0 * 1 = 0$

$1 + 1 = 1$

$1 * 1 = 1$

На підставі приведених стосунків еквівалентності може бути записана наступна тотожність алгебри логіки:

$$1 + A = A$$

$$0 * A = 0$$

$$0 + A = A$$

$$1 * A = A$$

$$A + \bar{A} = 1$$

$$A * \bar{A} = 0$$

$$A + \bar{A} = 1$$

$$A * \bar{A} = 0$$

$$\overline{\overline{A}} = A$$

Для двійкових змінних справедливими є наступні закони:

- переместительный: $A + Y = Y + A$
 $A * Y = Y * A$
- сполучний: $(A + Y) + Z = A + (Y + Z)$
 $(A * Y) * Z = A * (Y * Z)$
- розподільний: $(A + Y) * Z = (AZ) + (BY)$
 $AB + Z = (A + Z) * (Y + Z)$
- Закон дуальності:
(теорема Де – Моргана) $A + Y = \overline{A * Y}$
 $\overline{A * Y} = \overline{A} + \overline{Y}$

У правильності затвердження того або іншого закону легко переконатися за допомогою ілюстрації у вигляді ключової схеми, приймаючи, що якщо розімкнений ключ має позначення А, то А позначатиме замкнутий ключ, а також, що розімкнений ланцюг означає логічний 0, тоді як замкнутий ланцюг – логічну 1.

Вживання тотожності і законів дозволяє виробляти спрощення логічних функцій.

1.2 Функції перемикачів двох аргументів

Функцією перемикача називається двійкова змінна (Р). При цьому виходить $2^2 = 4$ логічних функцій, що позначають операції над двома аргументами. Визначення цих функцій через операції кон'юнкції, диз'юнкції і інверсії, а також найменування функції представлено в таблиці 1.1.

На підставі таблиці можна скласти набір двійкових функцій, який забезпечує представлення будь-якій іншій функції за допомогою суперпозиції (заміни аргументів функції іншими функціями) функції цього набору. Такий набір простих функцій, за допомогою якого можна виразити будь-які інші скільки завгодно складні логічні функції, називається функціонально повним (ФПН). Набір функцій АБО, І, НЕ є основний функціонально повний набір (ОФПН). На цих операціях будуються основні логічні елементи, використовувані для проектування логічних пристроїв. Широко використовуються також елементи, що не входять в ОФПН: елемент Шеффера І-НЕ і стрільця Пірсу ІІІ- НЕ.

1.3 Нормальні (канонічні) форми двійкових функцій

Нормальною формою двійкової функції є її вистава за допомогою суперпозиції допоміжних функцій, що спеціально вводяться:

- конститuent одиниць (мінтермов).
- конститuent нулів (макстермов).

Мінтермом називають функцію, яка набуває одиничного значення при одному зі всіх можливих наборів аргументів (нульове) при всіх інших.

Макстермом називають функцію, яка, навпаки, набуває нульового значення при одному з можливих наборів і одиничне при всіх інших.

Таблиця 1.1 - Повний набір функцій двох аргументів

	Вираження через операції «І», «АБО», «НЕ»	Найменування Функції
W0 0 0 0 0	W0=0	константа 0
W1 0 0 0 1	W1=AB	кон'юнкція
W2 0 0 1 0	W2=AB	заборона
W3 0 0 1 1	W3=A	тотожність
W4 0 1 0 0	W4=AB	заборона
W5 0 1 0 1	W5=B	тотожність
W6 0 1 1 0	W6=AB+AB	що виключає АБО
W7 0 1 1 1	W7=A+B	диз'юнкція
W8 1 0 0 0	W8=A+B	ІЛІ–НЕ, стрілка Пірсу
W9 1 0 0 1	W9=AB+AB	еквівалентність
W10 1 0 1 0	W10=B	інверсія
W11 1 0 1 1	W11=A+B	імплікація від А до В
W12 1 1 0 0	W12=A	інверсія
W13 1 1 0 1	W13=A+B	імплікація від В до А
W14 1 1 1 0	W14=AB	І-НЕ, штрих Шеффера
W15 1 1 1 1	W15=1	константа 1

Для розглянутих вище за набори двох аргументів А і В мінтермами є функції W1, W2, W4, W8, а макстермами – W7, W11, W13, W14. У таблиці 1.2 окремо представлені всі мінтерми і макстерми для двох змінних і набори аргументів, при яких вони виходять.

З таблиці видно, що для одного і того ж набору аргументів мінтерм є інверсней макстерма і навпаки.

Мінтерм алгебри, відповідний якому, - або набору аргументів, представляється у вигляді кон'юнкції прямих і інверсних значень аргументів.

Таблиця 1.2 - Мінтерми і макстерми для двох змінних і набори їх аргументів

Аргументи		Мінтерм				Макстерм			
A	B	C ₀ ¹	C ₁ ¹	C ₂ ¹	C ₃ ¹	C ₀ ⁰	C ₁ ⁰	C ₂ ⁰	C ₃ ⁰
0	0	1	0	0	0	0	1	1	1

0	1	0	1	0	0	1	0	1	1
1	0	0	0	1	0	1	1	0	1
1	1	0	0	0	1	1	1	1	0

Наприклад, мінтерми двох аргументів виражаються формулами:

$$C_0^1 = \bar{A}\bar{B}, \quad C_1^1 = \bar{A}B, \quad C_2^1 = A\bar{B}, \quad C_3^1 = AB$$

Макстерми можуть бути представлені диз'юнкцією прямих і інверсних значень аргументів:

$$C_0^0 = A+B, \quad C_1^0 = A+\bar{B}, \quad C_2^0 = \bar{A}+B, \quad C_3^0 = \bar{A}+\bar{B}$$

1.4 Методи мінімізації булевих функцій

1.4.1 Завдання логічного проектування

При побудові апаратура прагне до реалізації структурних схем, що забезпечують мінімальну витрату устаткування, що еквівалентно мінімізації витрат за умови забезпечення заданого рівня ефективності функціонування пристрою (Э):

$$\min C \quad \text{при} \quad Э ? EZAD \quad (P ? PZAD)$$

Повне рішення такої задачі залежить від безлічі трудноучитываемых технічних, виробничих і економічних чинників. Тому в теоретичній мікросхемотехніці оптимізаційне завдання ставиться у вузькому сенсі.

Цифрові ІС, незалежно від складності операторів, що реалізуються, виконуються на основі простих логічних елементів. Завданням логічного проектування (синтезу) цифрових ІС є визначення оптимальної структури схеми при заданому переліку логічних елементів.

Оптимізація структури при логічному проектуванні зводиться до мінімізації числа елементів, що входять в логічний пристрій. Відповідно, в теоретичній мікросхемотехніці йдеться про мінімізації булевих функцій, що описують те або інший пристрій.

1.4.2 Мінімізація булевих функцій.

Під мінімізацією булевої функції найчастіше приймають знаходження найбільш простої її вистави у вигляді суперпозиції операції, складових яку - або фіксовану, функціонально - повну систему.

При рішенні канонічної задачі мінімізації шуканим є представлення заданої булевої функції в диз'юнктивній нормальній формі (у формі суперпозиції мінтермов), що містить мінімальне число букв.

Використання булевої алгебри в прямому вигляді дозволяє істотно скоротити число використовуваних в схемах елементів.

Приклад: Потрібно реалізувати систему, робота якої описується таблицею істинності:

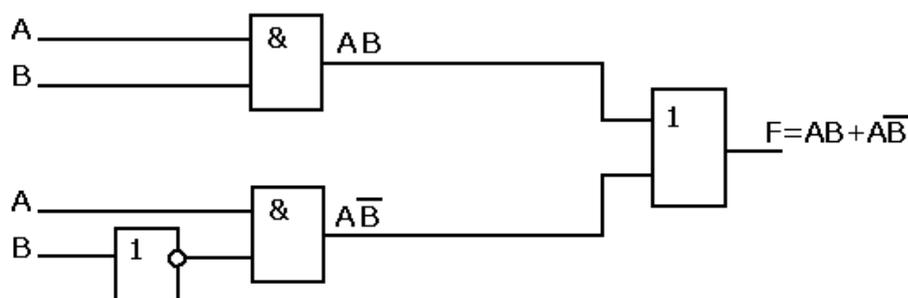
A	У	F
0	0	0
0	1	0
1	0	1
1	1	1

З таблиці видно, що функція двох аргументів $F = 1$ в двох випадках: коли і А і В рівні 1, або коли $A = 1$, а $B = 0$.

Вираження алгебри для функції матиме вигляд

$$F = AB + A\bar{B}$$

Переходячи до схемної реалізації функцію F можна представити у вигляді двох елементів І, одного НЕ і одного АБО



В той же час отримане вираження для функції F може бути перетворене за допомогою булевої алгебри

$$F = AB + A\bar{B} = A(B + \bar{B}) = A$$

Таким чином, для того, щоб виконати функцію F, потрібно лише мати змінну А без яких – або додаткових схем, а вся схема, показана на малюнку, є надлишковою.

Проте безпосереднє використання булевої алгебри для мінімізації часто скрутно, особливо для складних функцій. Тому розроблені спеціальні методи мінімізації, засновані на рішенні канонічної задачі мінімізації і функції, що використовують виставу, в нормальних формах: у вигляді суперпозиції мінтермов і макстермов.

1.4.3 Метод Вейча- Карно

Метод заснований на використанні карт мінтермов.

КАРТА ВЕЙЧА є прямокутною таблицею, розділеною горизонтальними і вертикальними лініями на вічка (клітки), загальне число яких збігається з числом мінтермов даного числа аргументів.

Карта мінтермов два змінних має вигляд:

AB	$\bar{A}B$
$A\bar{B}$	$\bar{A}\bar{B}$

Тут мінтерми:

У кожне вічко таблиці заносяться значення одного мінтерма. Їх розміщення здійснюється так, щоб два суміжні мінтерми знаходилися в сусідніх вічках (суміжні – розрізняються формою входження не більш, ніж одного аргументу).

Карта Вейча для чотирьох змінних А, В, С, Д (число мінтермов рівне 2^4):

A				
B	$AB\bar{C}\bar{D}$	$ABC\bar{D}$	$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$
	$AB\bar{C}D$	$ABCD$	$\bar{A}BCD$	$\bar{A}B\bar{C}D$
	$A\bar{B}\bar{C}\bar{D}$	$A\bar{B}C\bar{D}$	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$
	$A\bar{B}\bar{C}D$	$A\bar{B}CD$	$\bar{A}\bar{B}CD$	$\bar{A}\bar{B}\bar{C}D$
C				

Інші варіанти представлення цієї ж карти:

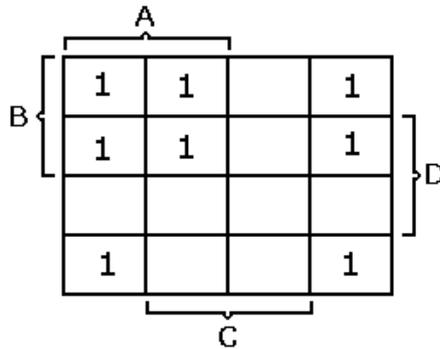
A				
B	m_{12}	m_{14}	m_6	m_4
	m_{13}	m_{15}	m_7	m_5
	m_9	m_{11}	m_3	m_1
	m_8	m_{10}	m_2	m_0
C				

A				
B	12	14	6	4
	13	15	7	5
	9	11	3	1
	8	10	2	0
C				

Тут в клітках позначені мінтерми з їх номерами або лише номери мінтермов. Хай задана функція:

$$F = AB\bar{C}\bar{D} + ABC\bar{D} + \bar{A}B\bar{C}\bar{D} + AB\bar{C}D + ABCD + \bar{A}B\bar{C}D + A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D}$$

На карті ця булева функція буде представлена таким чином (що не представляє труднощів для перевірки):



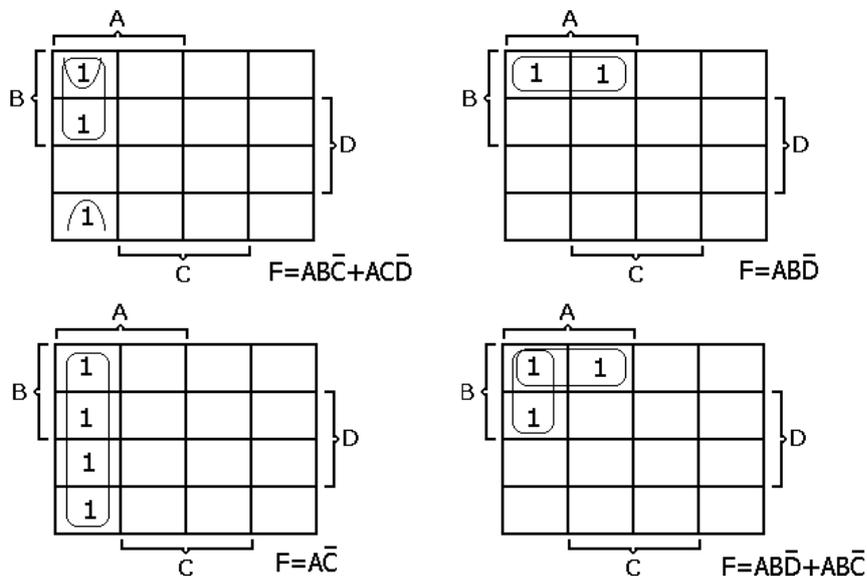
Кожна одиниця, поміщена в клітку карти Вейча, відповідає своєму мінтерму. Ці ж мінтерми можуть бути записані у формі двох аргументів, і тоді дана функція (6 букв). Другими словами, записане на карту Вейча вираження може бути прочитане по-разному. Отже, скорочені комбінації тут визначені по їх вигляду на карті, тобто спрощення функції здійснене безпосередньо по карті.

Формальне ж спрощення досягається так званим «склеюванням» (групуванням) одиниць на карті Вейча. При цьому кожна пара групованих мінтермов може бути представлена одним мінтермом з виключенням однієї змінної тобто скороченим мінтермом.

Правила групування мінтермов

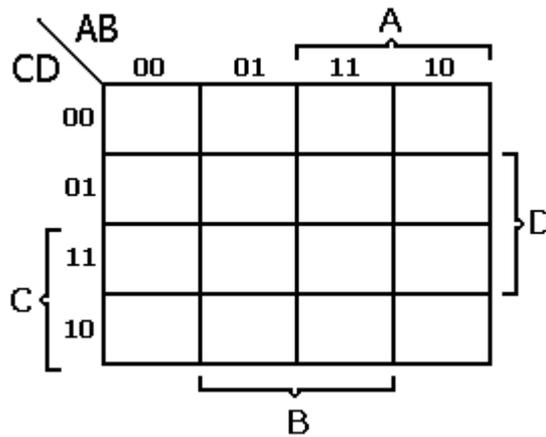
- 1) Кожен з групованих квадратів відрізняється від будь-якого сусіднього лише по одній змінній, яка при цьому і виключається;
- 2) груповані квадрати мають бути сусідніми;
- 3) число групованих квадратів має бути парним;
- 4) можна групувати крайні елементи між собою, оскільки карта – по суті ТОР;
- 5) допускаються групи квадратів, що перекриваються;
- 6) для виключення n змінних необхідно згрупувати 2^n квадратів.

Приклади групування:



Карты Карно є різновидом карт мінтермов: відрізняються від карт Вейча порядком розташування символів.

На карті Карно змінні АВ перераховуються по горизонталі, а CD - по вертикалі.



1.4.4 Метод Квайна

Коли число змінних перевищує шість представлення мінтермов за допомогою карт Вейча - Карно стає скрутним. В цьому випадку застосовується табличний спосіб мінімізації. Модифікацією цього способу, що дозволяє використовувати строгі машинні методи, є метод Квайна.

Відшукування мінімальної диз'юнктивної нормальної форми (у вигляді суми мінтермов, як і в методі Вейча - Карно) виробляється в два етапи.

1 етап. Здобуття скороченої ДНФ.

Основна операція цього етапу – операція «склеювання» (те ж, що групування на картах Вейча- Карно).

Два суміжні мінтерми склеюються по аргументу, що розрізняється, що наводить до заміни їх кон'юнкцій з числом аргументів на одиницю менше.

Наприклад:

$$AB\bar{C}\bar{D} + \bar{A}B\bar{C}D = B\bar{C}\bar{D}$$

$$AB\bar{C}\bar{D} + AB\bar{C}D = AB\bar{C}$$

Кон'юнкції, отримувані в результаті склеювання, називаються імплікантами. Ці імпліканти, у свою чергу, можуть виявлятися суміжними і також піддаються операції склеювання, а результуюча імпліканта буде еквівалентна вихідним мінтермам. Результуюча імпліканта покриває все мінтермы, в результаті склеювання яких вона отримана.

Приклад покриття мінтермов і імпліканта:

$$\left. \begin{array}{l} AB\bar{C}\bar{D} \\ AB\bar{C}D \end{array} \right\} AB\bar{C} \quad \left. \begin{array}{l} \bar{A}B\bar{C}\bar{D} \\ \bar{A}B\bar{C}D \end{array} \right\} \bar{A}B\bar{C} \quad \left. \begin{array}{l} AB\bar{C} \\ \bar{A}B\bar{C} \end{array} \right\} B\bar{C}$$

Багатоступінчасте склеювання наводить до здобуття, імплікант, які не склеюються з іншими і називаються простими.

В результаті разом з вихідними мінтермами, які не мали суміжних їм для склеювання, прості імпліканти увійдуть до результуючої диз'юнктивної форми функції, яка називається скороченою диз'юнктивною нормальною формою (СДНФ).

2 етап. Усунення із скороченої ДНФ надлишкових імплікант.

Проведемо операцію «склеювання» мінтермов функції:

$$F = ABC + \bar{A}BC + A\bar{B}C + A\bar{B}\bar{C}$$

В результаті склеювання отримаємо:

$$F = BC + AC + A\bar{B}$$

Кожна з отриманих імплікант не склеюється з іншими (є простий).

В той же час, для покриття всіх вихідних мінтермов не обов'язково використовувати всі отримані імпліканти. Так, мипліканта BC покриває перший і другий мінтермы, імпліканта AB - третій і четвертий. Отже, імпліканта AC є надлишковим і може бути усунена із скороченої ДНФ. Отримана скорочена ДНФ називається тупиковою ДНФ.

$$F = BC + A\bar{B}$$

!4.5 Порядок логічного проектування

Вихідні вимоги до пристрою, що розробляється, мають бути задані у вигляді словесного опису. Визначення структури логічного пристрою, яка задовольняє заданому опису, виконується шляхом абстрактного і структурного синтезу.

Абстрактний синтез полягає в переході від словесного опису пристрою до завдання його оператора у вигляді грифів, таблиць або матриць. Незалежно від форми оператора він повинен визначати перелік вхідних і вихідних змінних і встановлювати зв'язок між ними.

Структурний синтез полягає у визначенні структурної схеми логічного пристрою за допомогою алгебри логіки, яка дозволяє перейти до завдання оператора у вигляді формул і спростити їх.

Типовий порядок логічного проектування:

- 1) кодування вхідних і вихідних змінних і перехід від словесного завдання оператора до табличного;

- 2) перехід від табличної форми оператора до алгебри у вигляді диз'юнктивної нормальної форми (ДНФ);
- 3) спрощення ДНФ функції (оператора) і здобуття мінімальної ДНФ;
- 4) перехід від мінімальної ДНФ до мінімальної форми в базисі вибраного функціонального повного набору, що реалізується логічними елементами;
- 5) складання структурної схеми логічного пристрою відповідно до результуючої мінімальною формою алгебри.

Приклад логічного синтезу

Потрібно синтезувати пристрій з трьох датчиків з двійковими вихідними сигналами. Використовуючи логічні елементи вибраного ФПН забезпечити індикацію станів, коли одиничні значення приймають щонайменше два з трьох сигналів.

Рішення:

1. Кодування вихідних і вхідних змінних:

$$ПВХ = 3$$

$$ПВИХ = 1$$

A, B, C – вхідні змінні

F – вихідна змінна.

Значення $F = 1$ відповідають наборам A, B, C, в яких дві або три вхідні змінні дорівнюють 1; при останніх наборах $F = 0$.

Складаємо таблицю істинності:

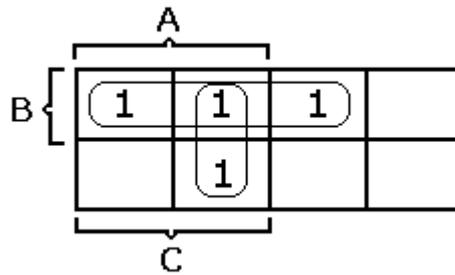
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. По таблиці здійснюємо перехід до форми алгебри функції

$$F = ABC + AB\bar{C} + A\bar{B}C + \bar{A}BC$$

3. Спрощення ДНФ.

Складаємо таблицю Вейча



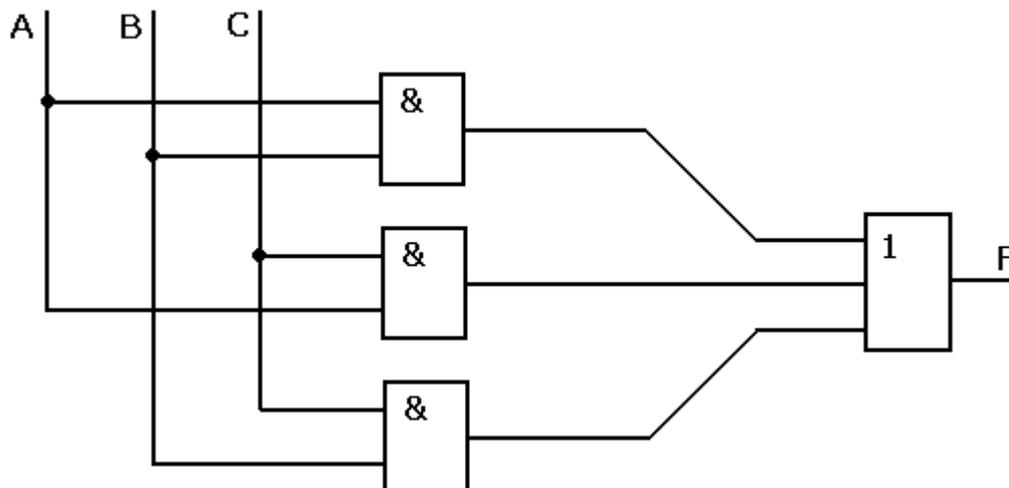
Виробимо попарно групування і отримуємо скорочену ДНФ

$$F = AB + AC + BC$$

4. Використовуючи як функціональний набір основний функціонально повний набір (ОПФН) вибираємо необхідні логічні елементи:

- три двухвходовых елементи І;
- один трехвходовый елемент АБО.

5. Складання структурної схеми логічного пристрою, що включає вибрані елементи.



2. Проведення експериментальних досліджень

Лабораторний стенд для придбання практичних навиків логічного синтезу цифрових інтегральних схем збирається студентами в програмному застосуванні Electronics Workbench.

База даних включає комплект ІС, що містить логічні елементи основного ФПН (І,ИЛИ, НЕ), а також елементи І – НЕ і АБО-НЕ. Програмне застосування оснащено віртуальними приладами задаючими входні дії, подаючими живлячу напругу, контролюючими функціонування електронних схем.

Програмне застосування Electronics Workbench дозволяє реалізувати будь-яку із заданих для лабораторного дослідження логічних функцій. Реалізація логічних

функцій здійснюється подачею вхідних сигналів (аргументів) А, В, З, Д на входи вибраних логічних елементів і подальшим з'єднанням виходів цих ЛО з іншими елементами відповідно до схеми, отриманої в результаті структурного синтезу.

Тип логіки використовуваних логічних елементів позитивний: логічній одиниці відповідає високий позитивний рівень сигналу.

Живлення всіх ІС використовуваних як логічні елементи здійснюється від загальних джерел живлення

На екрані осцилографа контролюється рівень вхідних і вихідних сигналів даного ЛЕ або сигналів синтезованої схеми в цілому. За допомогою осцилографа вимірюється також значення вихідних сигналів для рівнів логічного нуля і логічної одиниці.

Завдання експериментального дослідження і порядок виконання роботи.

1. Відповідно до номера підгрупи вибрати з таблиці 1.3 задану функцію F_i

Таблиця 1.3 – Варіанти лабораторної роботи

№ підгруп	Логічна функція
1	$F_1 = ABC\bar{C} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + ABC + \bar{A}\bar{B}\bar{C}\bar{D}$
2	$F_2 = \bar{A}B\bar{C}D + A\bar{B}C + \bar{A}B\bar{C}D + \bar{A}\bar{B}C + \bar{A}B\bar{C}\bar{D}$
3	$F_3 = \bar{A}B\bar{C}\bar{D} + ACD + A\bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}CD$
4	$F_4 = A\bar{B}D + \bar{A}\bar{B}CD + ABC\bar{D} + ABD + \bar{A}B\bar{C}\bar{D}$

2. Нанести функцію на карту Вейча (Карно) і спростити її, використовуючи відомі методи.

3. Привести структурну схему, що реалізовує отриману в результаті мінімізації функцію.

4. Зібрати отриману схему в програмному застосуванні Electronics Workbench.

5. Включити живлення макету і перевірити функціонування схеми на макеті. Встановити залежність функції від аргументів (змінних А, В, З, Д) і умови руйнування функції.

6. Виміряти рівні вихідних сигналів одиниці і нуля і зробити висновок про використовуваного типу логіки для ЛЕ, задіяних в схемі.

7. Намалювати спрощену електричну схему, що реалізовує отриману функцію.

8. Намалювати електричну схему одного логічного елемента транзисторний – транзисторної логіки.

Контрольні питання

1. Назвіть основні логічні функції.
2. Приведіть тотожність булевої алгебри
3. Розкрийте ество основних законів булевої алгебри.
4. Що таке функція перемикача?
5. Що таке нормальна форма представлення двійковій функції ?
Мінтерми і макстермы.
6. Назвіть методи мінімізації булевих функцій.
7. Назвіть правила групування на картах Вейча-Карно.
8. Приведіть типовий порядок логічного проектування.
9. Складіть структурну схему, що реалізовує задану логічну функцію.
10. Назвіть значення логічних рівнянь сигналів (0 і 1) для різних типів логіки.

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.
3. Задерейко О.В., Логінова Н.І., Трофименко О.Г., Троянський О.В., Толокнов А.А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с. URL: <https://hdl.handle.net/11300/14473>

Лабораторна робота № 2

«Функціональний контроль чотирирозрядного паралельного суматора і півсуматора»

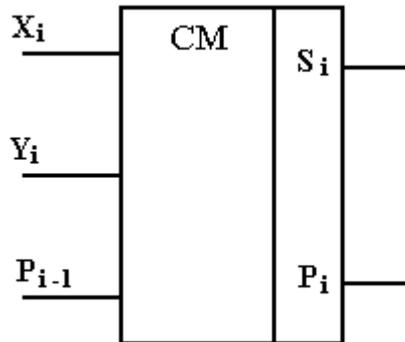
Мета роботи: ознайомити студентів з принципом функціонального контролю суматорів на прикладі чотирирозрядного суматора, побудованого на логічному елементі що «виключає або».

1. Теоретичні основи логічного функціонування і побудови суматорів

Основною арифметичною операцією, яку можна реалізувати на будь-якій ЕОМ, є операція складання два n – розрядних код ($X_n. X_1, Y_n. Y_1$). Підсумовування у всіх розрядах, починаючи з молодшого, виробляється по єдиних правилах. У кожному i – розряді виконується складання $X_i + Y_i + P_{i-1}$, де P_{i-1} – перенесення з молодшого ($i - 1$) – го в старший розряд. Результат представляється кодами суми S_i і перенесенням P_i .

Схема, що виконує підсумовування в одному розряді, має назву однорозрядного суматора. Логіка роботи такого суматора визначається за допомогою таблиці істинності (табл.1.1).

Умовне графічне зображення суматора приведене на малюнку 1.1.



Малюнок 1.1 - Умовне графічне зображення суматора

Таблиця 1.1 – Логіка роботи однорозрядного суматора

X_i	Y_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Схеми однорозрядних суматорів характеризуються:

- 1) часом затримки поширення перенесення $t_{ЗАД. P.}$;
- 2) об'ємом устаткування, яке оцінюється числом входів логічних схем, використуваних для побудови.

На основі однорозрядних суматорів будуються n – розрядні (паралельні) суматори (малюнок 3). Тимчасова діаграма роботи таких суматорів, побудована для випадку складання код, представлена на малюнку 1.2.

0	1	0	1	...	0	1	0	1
1	0	1	0	...	1	0	1	0
0	0	0	0	...	0	0	0	0
								→ 1
0	0	0	0	...	0	0	0	1

Малюнок 1.2 – Тимчасова діаграма для випадку складання код

Після подачі вказаних код на всі суматори $СМ_i$ через t ЗАД. Р., на виходах S_i встановлюється код 11.10 і з'являється сигнал перенесення $P_i = 1$. Цей сигнал починає поширюється по всій розрядній сітці. Якщо сигнал $P_i = 1$ поступає на вхід суматора $СМ_2$, на входах якого присутні сигнали $X_2 = 1$ або $Y_2 = 1$, то на його виході виробляється сигнал $P_2 = 1$ із затримкою t ЗАД. Р. відносно моменту появи сигналу P_1 . Аналогічно, через час t ЗАД. Р. відносно моменту появи сигналу P_2 , з'являється сигнал P_3 і так далі, до появи сигналу P_n через деякий час $n \cdot t$ ЗАД. Р. з моменту одночасної подачі код X_i і Y_i на вхід $СМ_i$.

Поширення перенесення супроводитиметься встановленням правильних сигналів на виходах S_i однорозрядних суматорів. Найостаннішим сформується сигнал на виході S_1 після прибуття на вхід суматора $СМ_1$ сигналу $P_n = 1$.

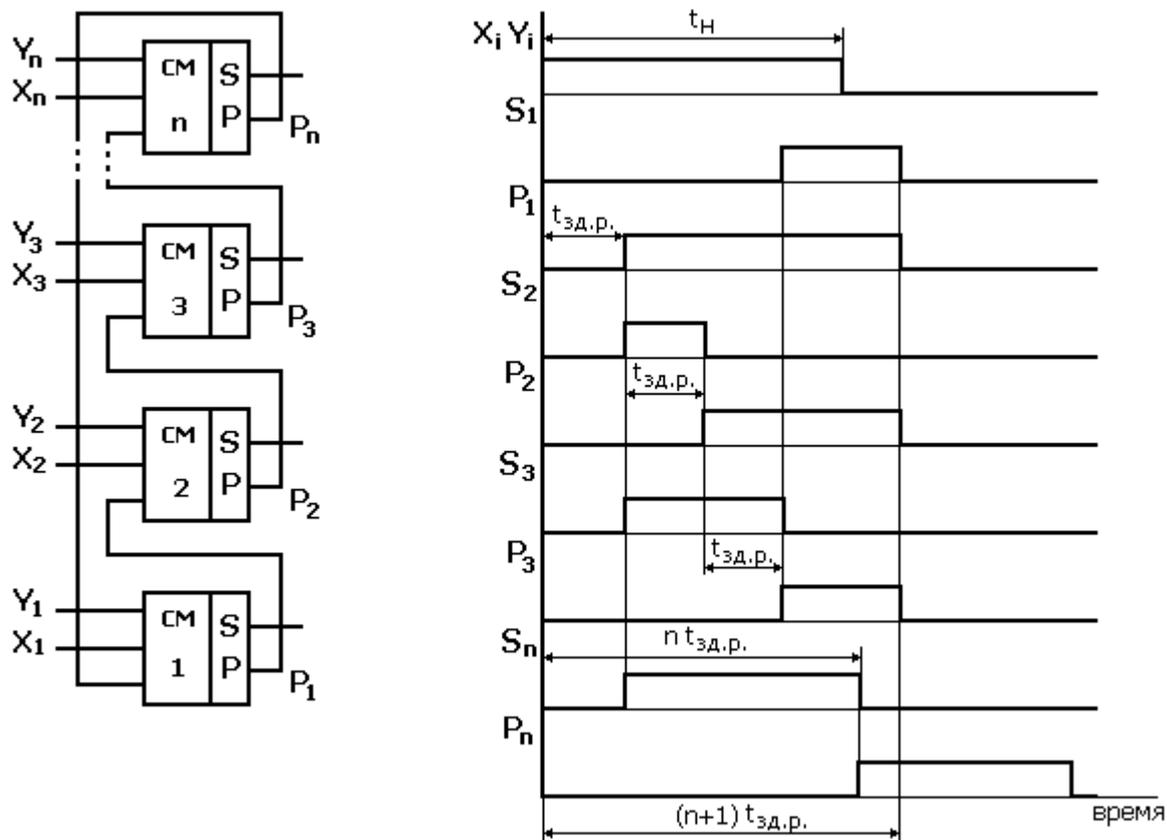
Протягом всього часу поширення перенесення і формування сигналів на виході S_i , на входи суматора $СМ_i$ повинні постійно подаватися сигнали, відповідні кодам, що підсумовують.

Основним параметром паралельного суматора є його швидкодія t – максимальний час формування коди суми $S_n.S_1$ з моменту одночасної подачі підсумовуваних код. За максимальний час береться час поширення перенесення крізь всі розряди підсумовуваних код.

Тимчасова діаграма, яка приведена на малюнку 1.3, побудована для випадку складання в зворотному коді, де перенесення P_1 виникає в молодшому розряді, поширюється крізь все n – розрядів. З цієї тимчасової діаграми виходить, що

$$t_P = (n + 1)(t_{\text{ЗАД. Р.}} = t_{\text{ЗАД. Р.}} (n$$

Логічний елемент що «виключає або» застосовується як суматор по модулю 2, або використовується для затримки цифрового імпульсу. Найбільш частіше використовують двухвходовые елементи що «виключає або» і що «виключає або».



Малюнок 1.3 – Схема паралельного n – розрядного суматора і тимчасова діаграма його роботи

На малюнку 1.4 показаний символ елемента без інверсії і його таблиця істинності. Вхідний сигнал елемента відповідає логічному рівнянню:

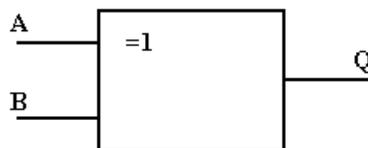
$$F = A (B =$$

Тут “(” – символ складання по модулю 2. Нижній і верхній рядок таблиці (малюнок 1.4) відображують еквівалентність вхідних рівнів, отже $A = Y = 0$ (у верхньому рядку) і $A = Y = 1$ (у нижній). У випадку $A = Y = 0$, вхідний сигнал $Q = 0$ (це природний) тривіальний нуль. Коли $A = Y = 1$, вхідний сигнал Q також дорівнює нулю, хоча на двох входах A і B присутні одиниці.

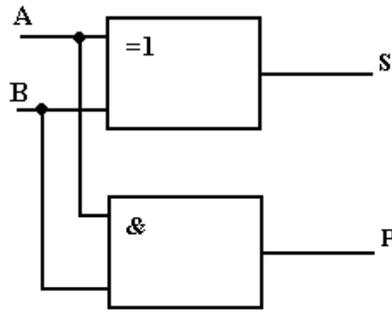
Якщо до елемента «иключающее або» додати елемент «I», який слугитиме формувачем одиниці старшого розряду (по іншому, генератор перенесення), то отримаємо схему дворозрядного півсуматора (малюнок 1.5).

Схема дає при $A = Y = 1$ результат $S = 0$ (це молодший розряд суми) і $P = 1$ (старший розряд, тут він називається одиницею перенесення).

Вхід		Вихід	Вихід
A	B	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1



Малюнок 1.4 – Елемент що «виключає або» і його таблиця функціонування



Малюнок 1.5 – Схема півсуматора

В цьому випадку на обох виходах півсуматора отримуємо дворозрядне двійкове вихідне слово:

$$A + B = 1 + 1 = 10.$$

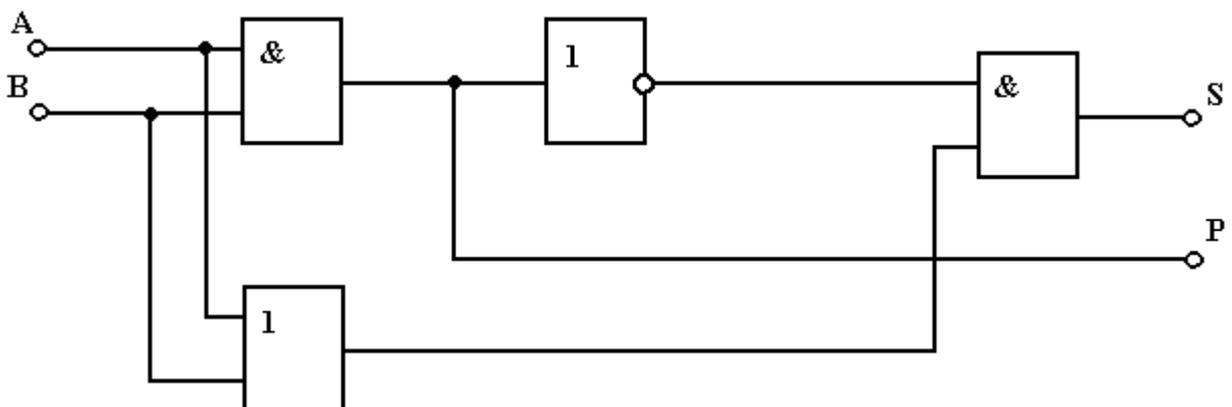
Його десятковий еквівалент: $1 + 1 = 2$.

1.1 Опис установки для дослідження принципу роботи суматора і півсуматора

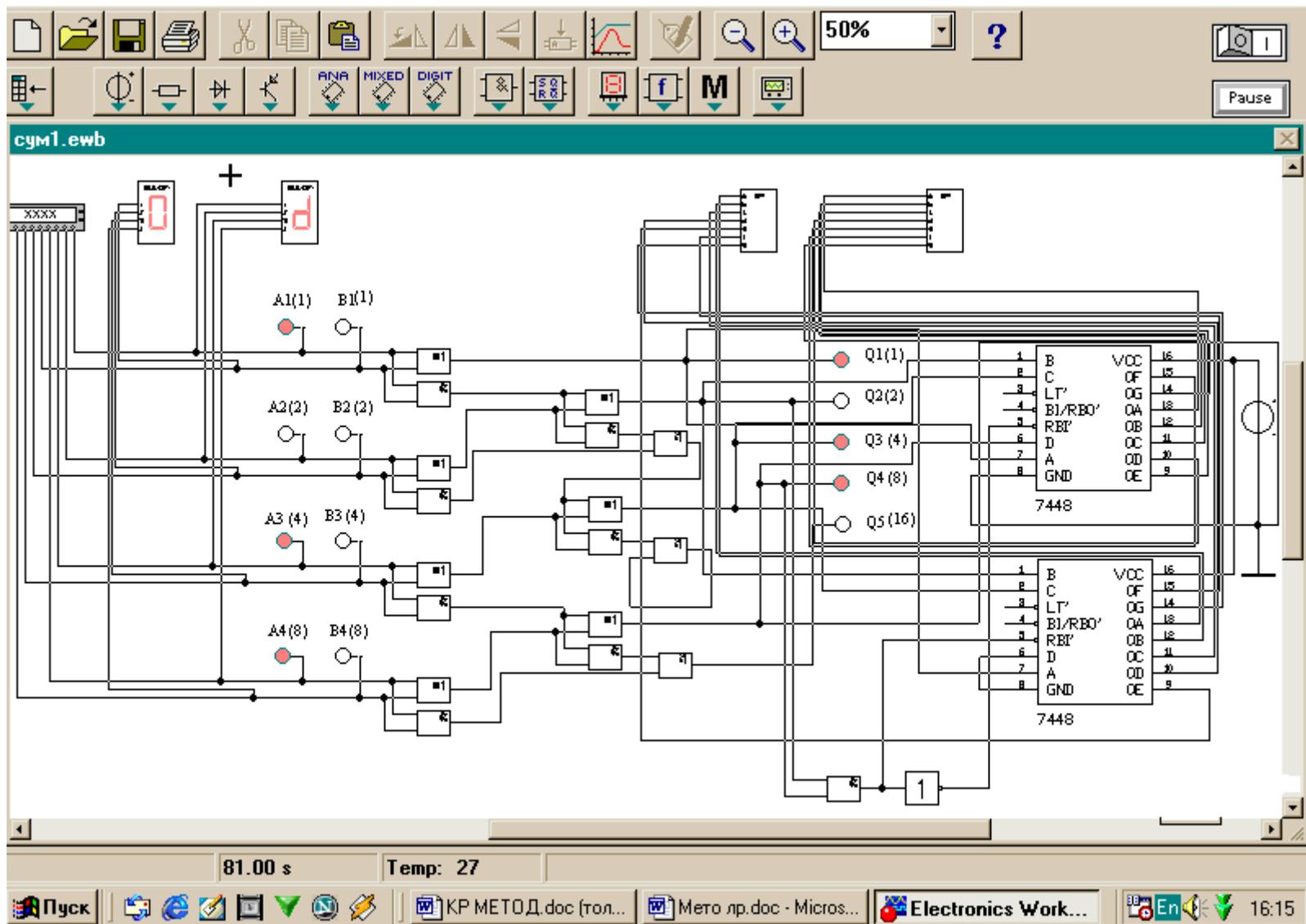
Робота виконується на ПЕВМ з програмним забезпеченням «Electronic WorkBench 5.12». На терміналі програми формується схема електрична чотирирозрядного паралельного суматора. Для забезпечення перевірки функціонування необхідні:

- 1) джерело живлення постійного струму;
- 2) півсуматор на елементах елементарної логіки (малюнок 1.6);
- 3) чотирирозрядний паралельний суматор;
- 4) панель відображення інформації;
- 5) прилади контролю функціонування.

Суматор має 8 тумблерів, для складання двох чотирирозрядних (у двійковому код) чисел. Включене положення тумблера відповідає сигналу «логічної одиниці», Вимкнене – «логічному нулю».



Малюнок 1.6 – Структурна схема півсуматора, складений на елементах елементарної логіки



Малюнок 2.1 Синтезована схема чотирирозрядного паралельного сумматора

Лабораторна робота №3

«Дослідження перехідних процесів в лічильниках і регістрах, виконаних на інтегральних мікросхемах серії 155»

Мета роботи: вивчення перехідних процесів в лічильниках і регістрах, виконаних на ІС серії 155.

До послідовних схем відносяться різні типи логічних елементів з двома або стійкішими станами і пристрої на їх основі, функції виходів яких визначаються не лише комбінацією що діє на входах зовнішніх сигналів, але і на відміну від комбінаційних схем деякими внутрішніми сигналами (станами) що враховують попередні входні дії регістри пам'яті, лічильники імпульсів і так далі. Найчастіше як базові елементи послідовних схем використовуються логічні елементи з двома стійкими станами, які у поєднанні з двійковими комбінаційними схемами утворюють елементний базис двійкових цифрових пристроїв. У різноманітні бістабільних логічних елементів широке вживання знайшли тригери.

Тригерами називають спускові або регенеративні пристрої з двома можливими стійкими станами, в які вони можуть встановлюватися входними сигналами, що управляють.

По вигляду входних сигналів розрізняють тригери з імпульсним і потенційним управлінням. у цифрових обчислювальних пристроях в основному застосовуються тригери з потенційним управлінням.

За способом запису інформації тригери підрозділяють на асинхронних і синхронних (тактовані).

По вигляду входних сигналів розрізняють статичні і динамічні тригери. У статичних тригерах стійкі стани ідентифікуються по рівнях постійної напруги на їх входах. Стани динамічних тригерів визначається по наявності або відсутності на виходах безперервної серії імпульсів. Найбільшого поширення в цифровій схемотехніці набули статичні тригери.

По реакції тригера на входні дії, що управляють, розрізняють наступні види входів:

R – вхід для скидання (Reset – скидання, повернення) тригера в стан “0” ($Q=0$).

D – вхід для установки тригера в стан “1” при $D=1$ або “0” із затримкою (Delay – затримка) перемикання виходів Q, по відношенню до входу D.

T – вхід перемикання (Теді – релаксатор) тригери в протилежний стан аналогічно рахунку по модулю 2, тому вхід T називають рахунковим.

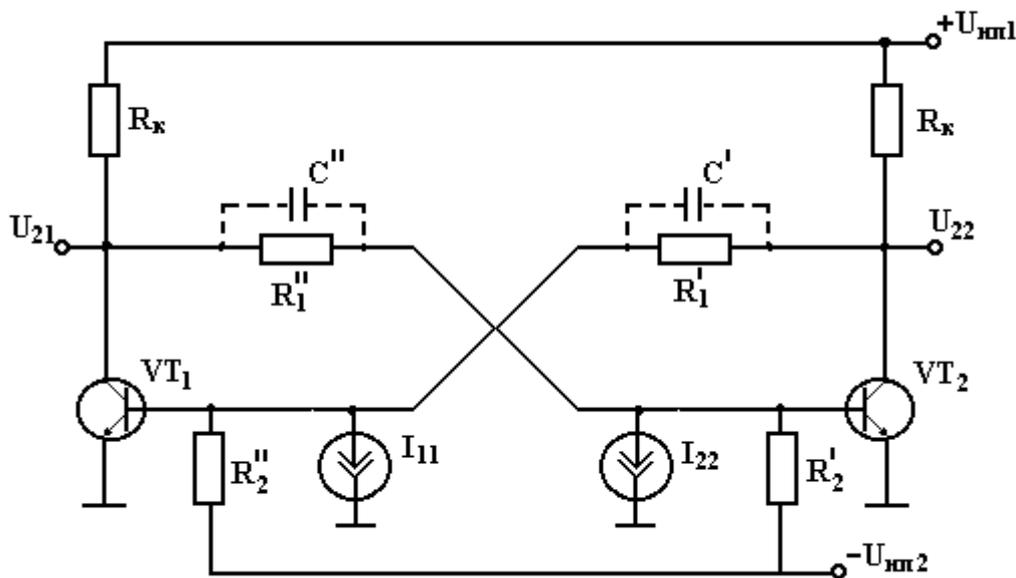
З – вхід синхронізації (Clock - годинник) для точного завдання моментів перемикання стану тригера.

V – вхід для дозволу або заборони реагування тригера на складові входи, що управляють.

Тригери описуються сукупністю статичних і динамічних параметрів.

Простий тригер на транзисторах можна отримати, з'єднавши послідовно в кільце два інвертуючі транзисторні ключі. В результаті отримуємо симетричний

тригер з колекторно-базовими зв'язками (рис.1.1) (точніше, це доки вічко тригера, що тільки запам'ятовує, без ланцюгів управління).



Малюнок 1.1 симетричний тригер з колекторно-базовими зв'язками

Регістри – це послідовні пристрої, призначені для прийому, зберігання простих перетворень і передачі двійкових чисел. Під простими перетвореннями розуміють зрушення чисел на задану кількість розрядів, а також перетворення послідовностного двійкової коди в паралельний і паралельний в паследовательностный. Базовими елементами регістрів є тригери, які доповнюються комбінаційними логічними елементами для реалізації різних зв'язків між розрядами регістра і для управління прийомом і передачею операндів. Основне функціональне призначення регістрів – оперативна пам'ять для багато розрядних двійкових чисел.

Залежно від способу прийому і передачі двійкової інформації розрізняють паралельні, послідовні, послідовно-паралельні, паралельно-послідовні і універсальні регістри.

Технічні параметри регістрів визначаються параметрами їх основного функціонального вузла – тригера, і розрядністю операнда.

Лічильниками називають послідовностные цифрові пристрої, призначені для підрахунку і запам'ятовування числа імпульсів, поданих в певному тимчасовому інтервалі на його рахунковий вхід. Окрім рахункового лічильники можуть ще мати входи асинхронний або синхронної установки початкових станів. По характеру зміни станів лічильника рахунковими імпульсами розрізняють лічильники, що підсумовують, віднімають і реверсивні. За способом організації перенесень між розрядами їх можна розділити на лічильники з послідовним, крізним, паралельним і комбінованим перенесенням. Лічильники з послідовним і крізним перенесенням називають асинхронними, а з паралельним перенесенням – асинхронними. Зазвичай лічильник містить один або декілька ідентичних розрядів, побудованих на основі двійкових тригерів. Кількість різних станів розряду лічильника є його

класифікаційною ознакою, згідно якій лічильники називають двійково-десятковими і так далі

1.1 Опис стенду

Установка РОЗУМ-12 призначена для дослідження елементів цифрової схемотехніки

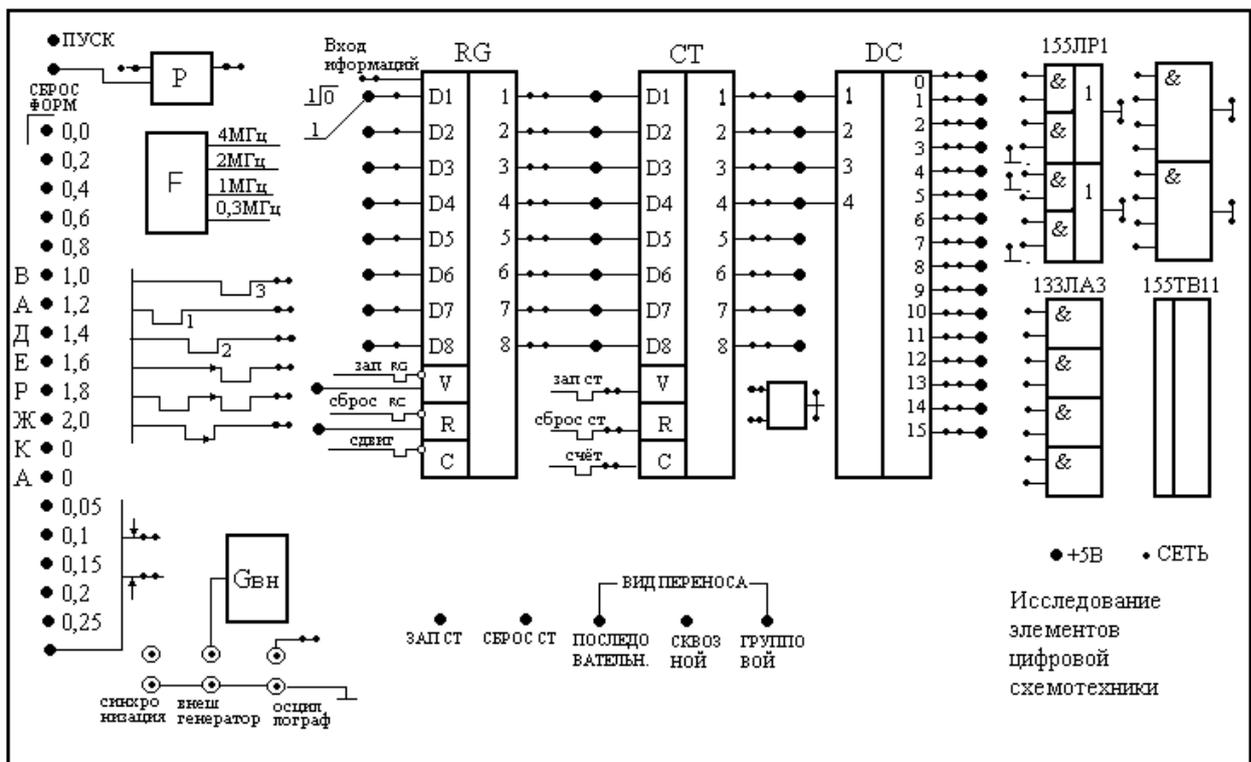
На задній стінці корпусу є вікно для доступу до запобіжника і для укладання мережевого шнура.

На лицьовій панелі розташовані:

- кнопки перемикання часу затримки;
- кнопки управління формувачем;
- вихідні гнізда формувача і генератора;
- гнізда для підключення зовнішніх пристроїв;
- кнопки набору коди для запису в регістр і кнопки управління регістром.

Установка має досліджувані пристрої – лічильник, регістр, дешифратор, допоміжні логічні схеми типа І-НЕ, И-ИЛИ-НЕ, що розширюють логічні можливості досліджуваних пристроїв і задаючу частину.

Входи і виходи досліджуваних пристроїв і допоміжних логічних елементів виведені на комутаційні і контрольні гнізда лицьової панелі.



Малюнок 1.2 – Лицьова панель установки РОЗУМ – 12

Задаюча частина, в яку входять генератори і формувачі імпульсів, що забезпечують установку “РОЗУМ-12” імпульсами різної частоти, тривалості і тимчасового зрушення. Всі сигнали задаючої частоти виведені на гнізда лицьової панелі. Запуск досліджуваних пристроїв сигналами різної частоти, тривалості і

тимчасового зрушення виробляються за допомогою зовнішніх комутацій сполучними дротами, що входять в комплект постачання.

Без зовнішньої комутації на приладі можна виробляти наступні операції:

- набирати кнопками довільний восьмирозрядний двійковий код;
- записувати цей код в зрушуючий регістр;
- переписувати код з регістра в лічильник;
- встановлювати регістр і лічильник по окремість в нульовий стан.

Установка дозволяє вимірювати час встановлення коди в лічильнику, регістрі, дешифраторі, дає можливість порівняти затримку перемикавання лічильника при різних видах перенесення (послідовному, суцільному, груповому), а також дозволяє зібрати різні схеми для виміру циклу рахунку лічильника.

Виміри тимчасових параметрів і спостереження процесів, що відбуваються в пристроях установки, виробляються за допомогою осцилографа.

Комутація пристроїв установки здійснюється спеціальними сполучними дротами, що входять в комплект постачання.

2. Порядок виконання роботи

1. Для дослідження роботи лічильника і регістра необхідно включити стенд ВУС-12. Включення здійснюється натисненням кнопки на задній панелі стенду.

Без зовнішньої комутації набираємо довільний восьмирозрядний двійковий код; для цього натискаємо кнопки 1,2 на лицьовій панелі стенду; після цього переписуємо його в лічильник. Для перекладу інформації в лічильник необхідно натискувати кнопку 3. Потім встановлюємо регістр і лічильник в нульове положення натисненням кнопки “Скидання форм”.

2. Для зняття тимчасових характеристик при роботі використовуються генератори Г3-118 і Г5-54.

Г3-18 – низькочастотний, генерує синусоїдальні імпульси; Г5-54 – перетворює їх в прямокутні імпульси.

Генератор Г3-118 підключаємо до генератора Г5-54. Г5-54 підключити до гнізд “зовнішній генератор”. На генераторі Г5-54 кнопкою “запуском” включити прямокутний імпульс і встановити негативну півхвилю, ручку регулювання амплітуди встановити в крайнє праве положення. Під'єднати генератори і “РОЗУМ-12” в мережу. Сполучними дротами сполучаємо гнізда зовнішнього генератора (G_вн.) з гніздом “рахівниць” на передній панелі стенду.

Записуємо довільний восьмирозрядний код в зрушуючий регістр, враховуючи що частота задає роботу регістра, швидкість рахунку інформації. Потім переводимо цей код в лічильник. Для визначення тимчасових характеристик під'єднуємо осцилограф до відповідного гнізда на панелі стенду.

Для паралельного перенесення натискувати кнопку “Зап. RG”. Для послідовного перенесення сполучаємо гнізда “зрушення” і “вхід інформації” (при вимкнених кодових кнопках).

Для здійснення паралельно-послідовного перенесення сполучаємо гніздо генератора і гніздо “зрушення”, набираємо код, натискаємо кнопку “Зап.RG” або кнопку “Послідовне перенесення”.

Для стабілізації вхідних імпульсів з'єднати гнізда "F" і гніздо генератора (при рахунку).

На осцилографі отримати прямокутні імпульси і побудувати залежність $t_{уст}$ від частоти для всіх видів перенесення.

$t_{уст.мас}$ – означає час переходу лічильника із стану 11111111 в стан 00000000.

Контрольні питання

1. Визначення тригера, його види і класифікація його входів.
2. Статичні і динамічні параметри тригерів.
3. Регістри: види регістрів і призначення.
4. Лічильники: його технічні параметри.
5. Технічні дані установки "РОЗУМ-12".

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенський В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Задерейко О.В., Логінова Н.І., Трофименко О.Г., Троянський О.В., Толокнов А.А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с. URL: <https://hdl.handle.net/11300/14473>

Лабораторна робота № 4

«Дослідження послідовностей функціональних вузлів»

Мета роботи: ознайомитися з можливістю побудови різних послідовностей функціональних вузлів на ІС ТТЛ і вивчити принципи їх роботи.

1. Послідовності цифрові мікросхеми

Основними типами послідовностей функціональних вузлів, що випускаються у вигляді окремих інтегральних мікросхем або входять в склад БІС або СБІС, є регістри, лічильники і генератори чисел.

Регістром називається функціональний вузол, що виконує зберігання операндів і їх зрушення на певне число розрядів.

Лічильником називається вузол, на входах якого утворюється число, відповідне кількості імпульсів, що поступили на вхід.

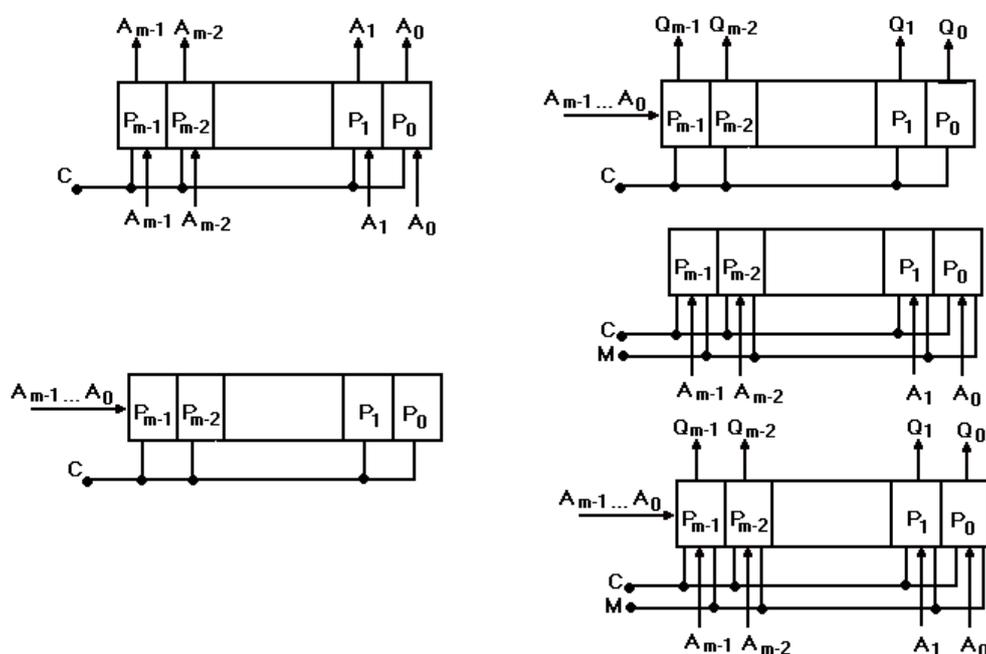
Генератором чисел (числових послідовностей) називається вузол, що дають на входах задану послідовність чисел.

1.1 Регістри

Регістри є найбільш поширеним типом послідовностных вузлів в сучасних цифрових системах.

За способом прийому і видачі інформації регістри підрозділяються на групи (рис.1.1).

За принципом зберігання інформації регістри діляться на статичних і динамічних. Статичні регістри будують на потенційних елементах пам'яті (тригерах), які за наявності живлячої напруги можуть зберігати інформацію скільки завгодно довго. Динамічні регістри будують на елементах пам'яті такого типу, як конденсатор. Практично в таких регістрах використовується вхідна ємність МДП - транзисторів. Подібний елемент пам'яті може зберігати інформацію лише протягом деякого проміжку часу. Тому в динамічних регістрах записана інформація знаходиться в постійному русі.

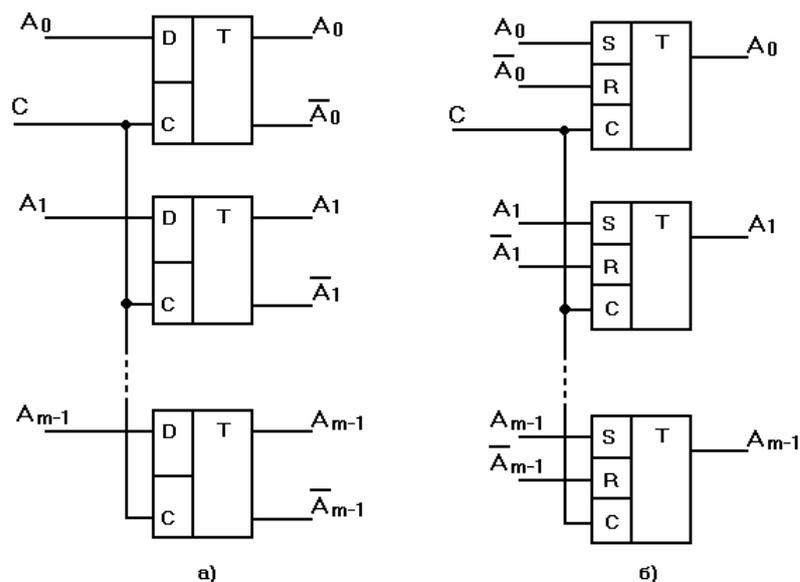


Малюнок 1.1 - Основні типи регістрів

За способом прийому і видачі інформації регістри діляться на наступні групи: з паралельним прийомом і видачею; з послідовним прийомом і видачею; з послідовним прийомом і паралельною видачею; з паралельним прийомом і послідовною видачею; комбіновані з різними способами прийому і видачі.

Регістри з паралельним прийомом і видачею інформації (рис.1.2 а) служать для зберігання інформації і називаються регістрами пам'яті. Як розряди регістра пам'яті використовуються ті, що синхронізуються рівнем і фронтом тригери: D-триггери, якщо інформація поступає у вигляді однофазних сигналів, або RS-триггери (рис.1.2 б), якщо інформація поступає у вигляді парафазних сигналів.

Останні групи регістрів і способи їх реалізації описані в [1,2].



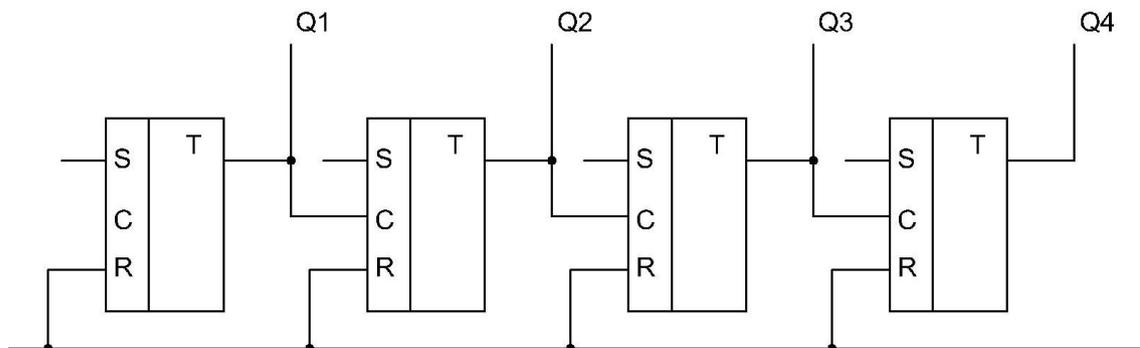
Малюнок 1.2 - Регістри зберігання, що синхронізуються рівнем (а) і фронтом (б).

1.2 Лічильники

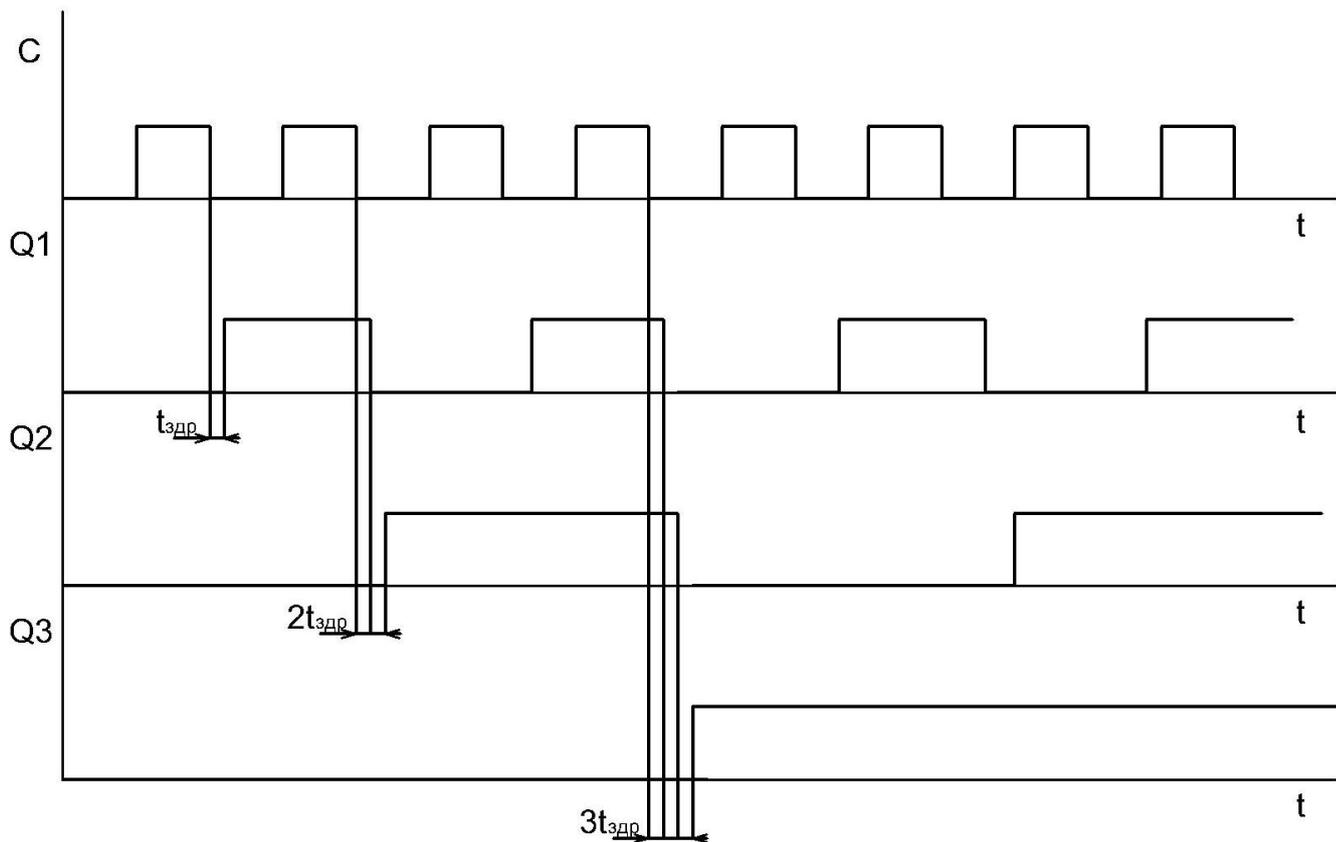
Основним параметром лічильника є модуль рахунку: K_c – максимальне число імпульсів, яке може бути злічене лічильником. Після вступу K_c імпульсів лічильник повинен повертатися у вихідний стан. Величина K_c дорівнює числу стійких станів лічильника. Лічильник, що містить m розрядів (тригерів) може мати 2^m стійких станів, тому його модуль рахунку $K_c = 2^m$. Кількість імпульсів, що поступили на рахунковий вхід, представляється на виході лічильника у вигляді двійкового числа в тому або іншому коді: прямому, додатковому, циклічному. Зазвичай лічильники мають додаткові входи установки S або виходу скидання R .

Лічильники розділяються за типом функціонування і по структурній організації [1].

Лічильник зазвичай реалізується на тригерах, що мають рахунковий вхід. Проста схема лічильника з послідовним перенесенням, побудована на Т-тригерах представлена на рис. 1.3, тимчасова діаграма лічильника представлена на рис. 1.4.



Малюнок 1.3 - Схема двійкового лічильника

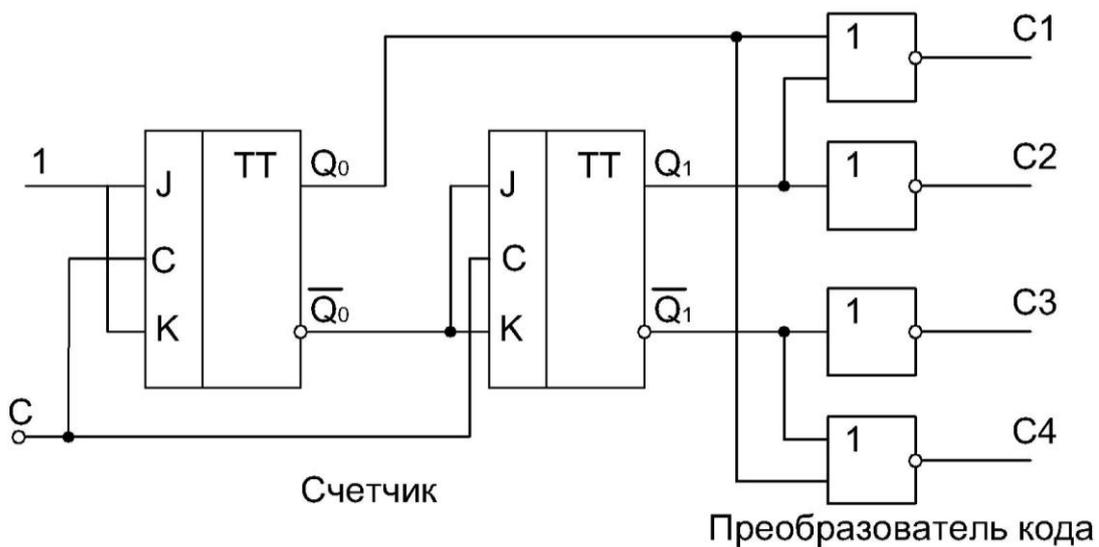


Малюнок 1.4 - Тимчасова діаграма до рис.1.3

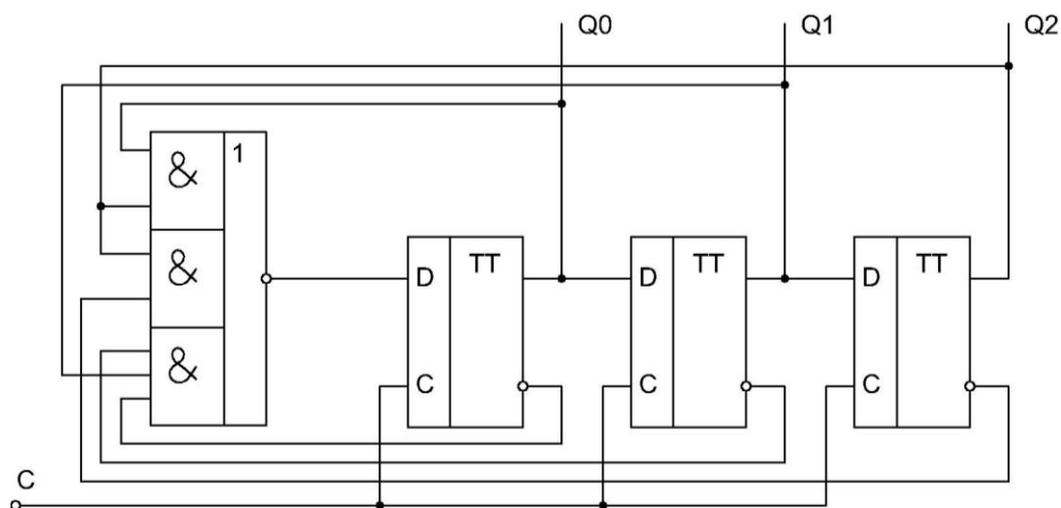
Останні типи лічильників, принцип їх побудови, діаграми функціонування описані в [1.2]. Слід звернути увагу на основні характеристики лічильника (максимальний час затримки поширення сигналу від входу лічильника до його виходів $t_{зд}$, $sч$ і його ємність $N_{сч}$).

1.3 Генератори чисел

Последовательностные узлы цього типа називають також розподільниками сигналів, оскільки утворювана на їх виходах послідовність двійкових чисел часто використовується в цифрових системах як послідовність сигналів, керівників роботою інших вузлів. По своїй структурі генератори чисел близькі або до лічильників, або до регістрів [1].



Малюнок 1.5 - Структура генератора чисел 3-2-12-8

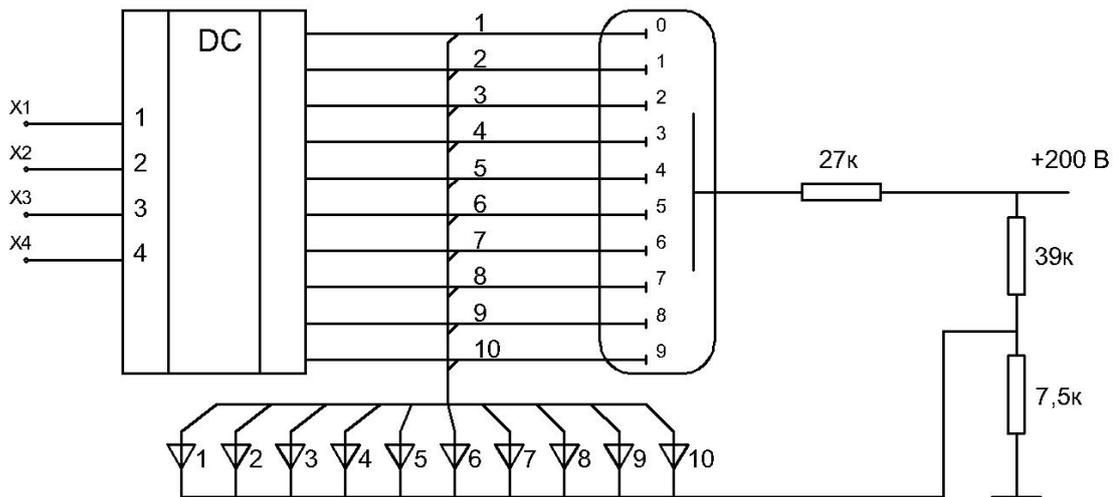


Малюнок 1.6 - Генератор чисел на основі сдвигового регістра

2. Електрична схема і опис експериментальної установки

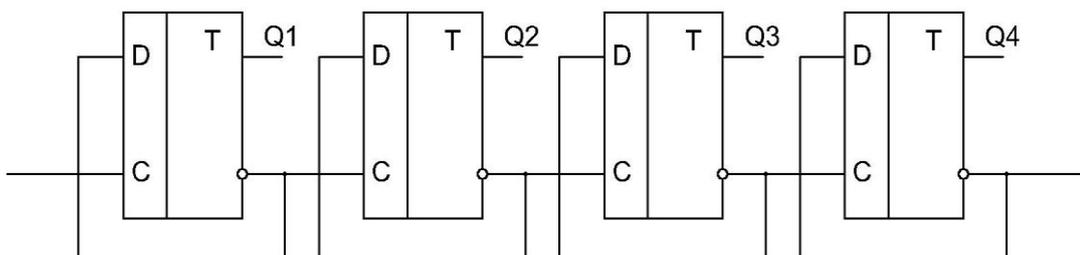
Експериментальна установка є набором функціональних вузлів електронних схем. Отримавши допуск до лабораторної роботи і завдання від викладача, студенти збирають схему, користуючись рекомендаціями в підключенні функціональних вузлів, приведених нижче.

Дешифратор може бути сполучений з схемою індикації результатів експерименту за схемою, приведеною на рис.2.1.

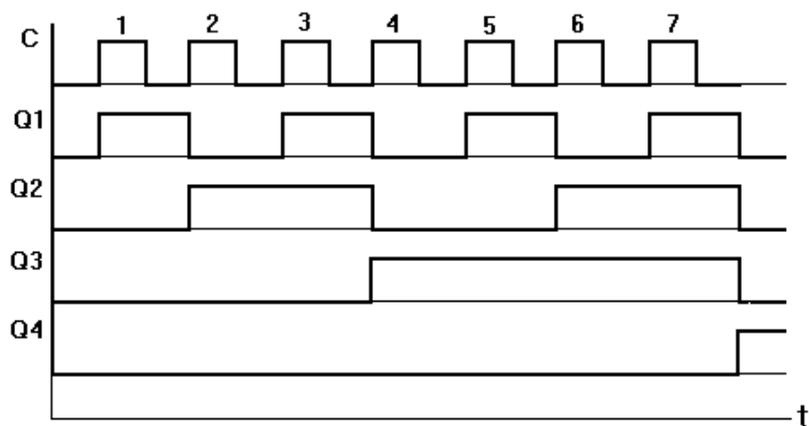


Малюнок 2.1- Спільна робота на К155ІЛ1 з газорозрядним індикатором

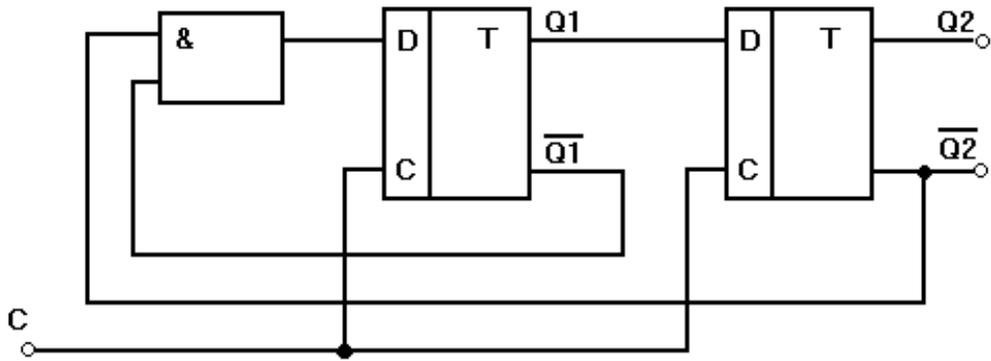
2. Лічильник може бути зібраний по одній з схем приведених на рис.2.2-рис.2.7.



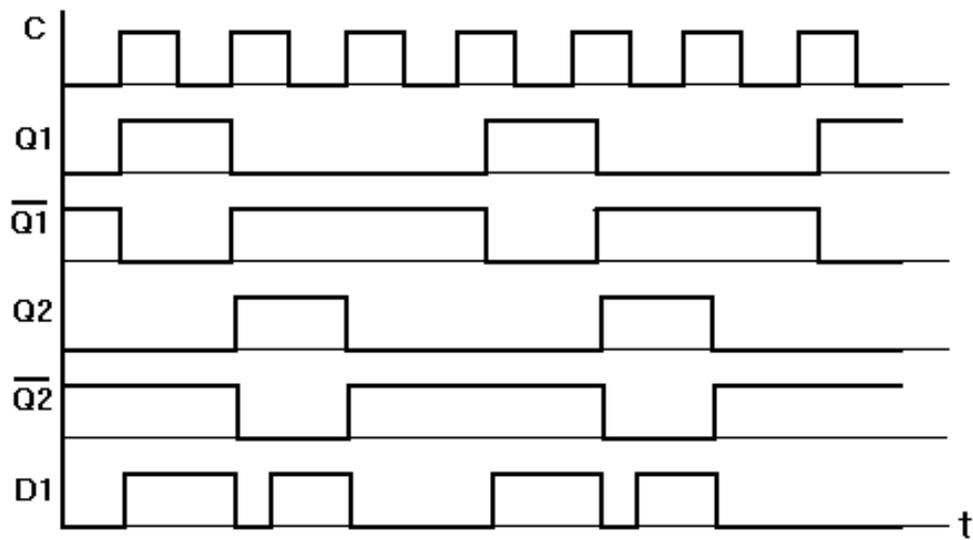
Малюнок 2.2 - Асинхронний двійковий лічильник на тригерах Д



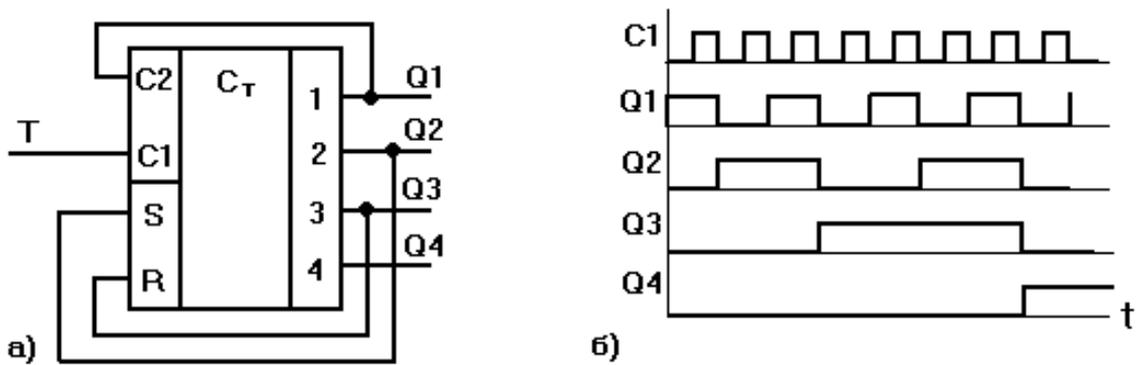
Малюнок 2.3 - Тимчасова діаграма до малюнка 2.2



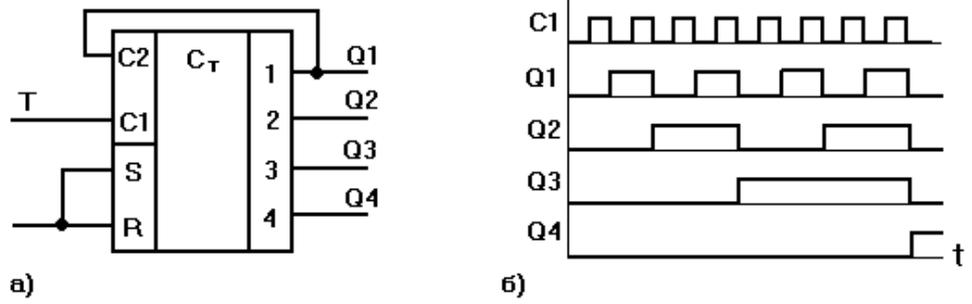
Малюнок 2.4 - Лічильник по модулю 3 на D-триггерах



Малюнок 2.5 - Тимчасова діаграма до малюнка 2.4

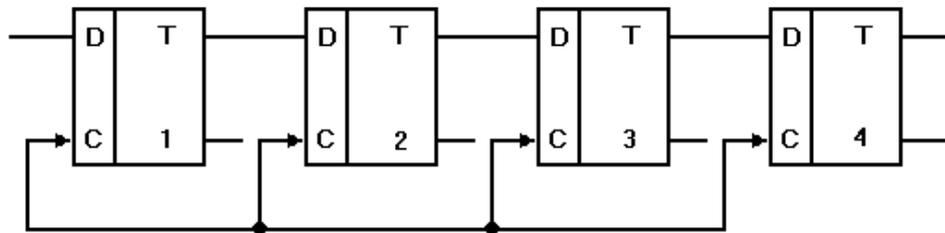


Малюнок 2.6 - а) лічильник з коефіцієнтом рахунку 16;
б) тимчасова діаграма його роботи

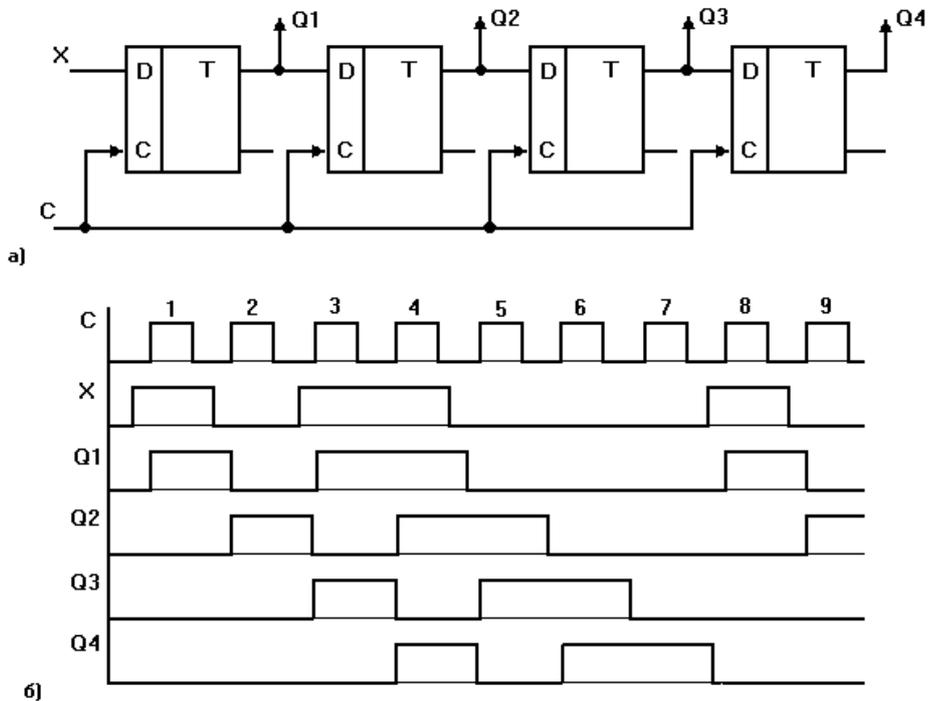


Малюнок 2.7 - а) двійково-десятковий лічильник;
б) тимчасова діаграма його роботи

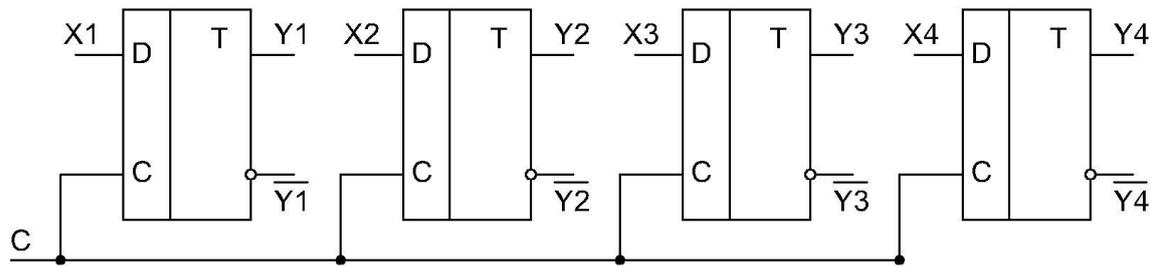
3. Регістри можна будувати, використовуючи функціональні вузли експериментального устаткування і схеми, змальовані на мал. 2.8 - 2.9.



Малюнок 2.8 - Регістр зрушення на D-триггерах



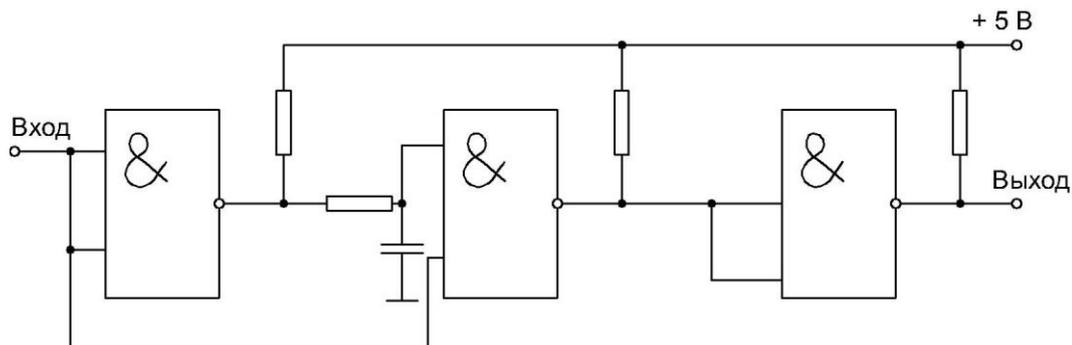
Малюнок 2.9 - а) послідовний регістр; б) часова діаграма його функціонування



Малюнок 2.10 - Паралельний регістр на тактованих D-триггерах

Окрім приведених функціональних вузлів, в схему експериментальної установки входить формувач одиночних імпульсів (мал. 2.11).

Базовим елементом регістрів є тригер, що доповнюється комбінаційними логічними елементами для реалізації різних зв'язків між розрядами регістра і для управління прийомом і передачею даних (операндів). Основне функціональне призначення регістрів – оперативна пам'ять для багаторозрядних двійкових чисел.



Малюнок 2.11 - Формувач одиночних імпульсів

Залежно від способу прийому і передачі двійкової інформації розрізняють паралельні, послідовні, послідовно-паралельні, паралельно-послідовні і універсальні регістри.

Технічні параметри регістрів визначаються параметрами їх основного функціонального вузла – тригера і розрядністю операнда.

Лічильниками називають последовательностные цифрові прилади, призначені для підрахунку і запам'ятовування числа імпульсів, поданих в певному інтервалі часу на його рахунковий вхід. Лічильники можуть мати ще входи асинхронного або синхронного встановлення початкових станів.

По характеру зміни стану лічильника рахунковими імпульсами розрізняють: лічильники, що складають, віднімаючі і реверсивні. За способом організації перенесень між розрядами їх можна розрізнити на лічильники з послідовним, протяжним і комбінованим перенесенням.

Лічильники з послідовним і протяжним перенесенням називають асинхронними, а з паралельним перенесенням – синхронними. Лічильник має один або декілька ідентичних розрядів, які побудовані на основі двійкових тригерів. Кількість різних станів розряду лічильника є його кваліфікованою ознакою, відповідно лічильники називають двійковими, двійково-десятковими також.

2.1 Опис приладу

Установка “Дослідження елементів цифрової схемотехніки (РОЗУМ-12)” – настільного типу.

На задній стінці корпусу є вікно для доступу до запобіжника і для укладання мережевого шнура.

На лицьовій панелі розташовані:

- кнопки перемикання часу затримки;
- кнопки управління формувачем;
- вихідні гнізда формувача і генератора;
- гнізда для підключення зовнішніх пристроїв;
- кнопки набору коду для запису в регістр і кнопки управління регістром.

Установка має досліджувані пристрої – лічильник, регістр, дешифратор, допоміжні логічні схеми типу І-НЕ, І-ІЛИ-НЕ, що розширюють логічні можливості досліджуваних пристроїв і задають частину.

Входи і виходи досліджуваних пристроїв і допоміжних логічних елементів виведені на комутаційні і контрольні гнізда лицьової панелі.

Задаюча частина, в яку входять генератори і формувачі імпульсів, що забезпечують установку “РОЗУМ-12” імпульсами різної частоти, тривалості і тимчасового зрушення. Всі сигнали задаючої частоти виведені на гнізда лицьової панелі. Запуск досліджуваних пристроїв сигналами різної частоти, тривалості і тимчасового зрушення виробляються за допомогою зовнішніх комутацій сполучними дротами, що входять в комплект постачання.

Без зовнішньої комутації на приладі можна виробляти наступні операції:

- набирати кнопками довільний восьмирозрядний двійковий код;
- записувати цей код в зрушуючий регістр;
- переписувати код з регістра в лічильник;
- встановлювати регістр і лічильник по окремість в нульовий стан.

Установка дозволяє вимірювати час встановлення коду в лічильнику, регістрі, дешифраторі, дає можливість порівняти затримку перемикання лічильника при різних видах перенесення (послідовному, суцільному, груповому), а також дозволяє зібрати різні схеми для виміру циклу рахунку лічильника.

Виміри тимчасових параметрів і спостереження процесів, що відбуваються в пристроях установки, виробляються за допомогою осцилографа.

Комутація пристроїв установки здійснюється спеціальними сполучними дротами, що входять в комплект постачання.

Студентам рекомендується комбінувати схеми лічильників з регістрами для побудови електричних схем, що виконують певні функції і вирішальних завдання, поставлене викладачем. При підготовці до лабораторної роботи необхідно

ознайомитися з роботою інтегральних схем лічильників, реєстрів, суматорів, дешифраторів, на основі 155, 134, 176 серій і знати способи їх вживання. Крім того, необхідно опанувати структурний і логічний синтез.

3. Порядок виконання роботи

1. Для дослідження роботи лічильника і реєстра необхідно включити стенд ВУС-12. Включення здійснюється натисненням кнопки на задній панелі стенду.

Без зовнішньої комутації набираємо довільний восьмирозрядний двійковий код; для цього натискаємо кнопки 1,2 на лицьовій панелі стенду; після цього переписуємо його в лічильник. Для перекладу інформації в лічильник необхідно натискувати кнопку 3. Потім встановлюємо реєстр і лічильник в нульове положення натисненням кнопки “Скидання форм”.

2. Для зняття тимчасових характеристик при роботі використовуються генератори Г3-118 і Г5-54.

Г3-18 – низькочастотний, генерує синусоїдальні імпульси; Г5-54 – перетворює їх в прямокутні імпульси.

Генератор Г3-118 підключається до генератора Г5-54. Г5-54 підключити до гнізд “зовнішній генератор”. На генераторі Г5-54 кнопкою “запуском” включити прямокутний імпульс і встановити негативну півхвилю, ручку регулювання амплітуди встановити в крайнє праве положення. Під'єднати генератори і “РОЗУМ-12” в мережу. Сполучними дротами сполучаємо гнізда зовнішнього генератора (Гвн.) з гніздом “рахівниць” на передній панелі стенду.

Записуємо довільний восьмирозрядний код в зрушуючий реєстр, враховуючи що частота задає роботу реєстра, швидкість рахунку інформації. Потім переводимо цей код в лічильник. Для визначення тимчасових характеристик під'єднуємо осцилограф до відповідного гнізда на панелі стенду.

Для паралельного перенесення натискувати кнопку “Зап. RG”. Для послідовного перенесення сполучаємо гнізда “зрушення” і “вхід інформації” (при вимкнених кодових кнопках).

Для здійснення паралельно-послідовного перенесення сполучаємо гніздо генератора і гніздо “зрушення”, набираємо код, натискаємо кнопку “Зап.RG” або кнопку “Послідовне перенесення”.

Для стабілізації вхідних імпульсів з'єднати гнізда “F” і гніздо генератора (при рахунку).

На осцилографі отримати прямокутні імпульси і побудувати залежність $t_{уст}$ від частоти для всіх видів перенесення.

$t_{уст.мас}$ – означає час переходу лічильника із стану 11111111 в стан 00000000.

Контрольні питання

1. Принципи побудови і функціонування інтегральних реєстрів.
2. Принципи побудови і функціонування інтегральних лічильників.
3. Інтегральні генератори чисел.

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.
3. Задерейко О.В., Логінова Н.І., Трофименко О.Г., Троянський О.В., Толокнов А.А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с. URL: <https://hdl.handle.net/11300/14473>