

## Лекція 5. Синтез комбінаційних автоматів для організації, комутації та перетворення передачі сигналів

При структурній реалізації логічної функції, яка виконується на етапі структурного синтезу цифрового автомата, логічний елемент розглядався як абстрактний елемент логічної схеми. При технічній реалізації цифрового автомата і побудові його принципової схеми, необхідні знання як технічних можливостей вибраних мікросхем цифрового елемента, так і особливостей їх роботи разом з іншими елементами. Питання схемотехніки цифрових елементів тісно пов'язане з фізичним носієм двійкової інформації - цифровим сигналом. Тому насамперед розглянемо різні форми зображення та способи передачі цифрового сигналу по каналах зв'язку між окремими цифровими елементами.

### 5.1 Синтез комбінаційних автоматів на дешифраторах

Дешифратор (ДШ) – пристрій комбінаційного типу, який дозволяє визначити код вхідного числа по одиничному сигналу на одному з виходів.

Дешифратори широко застосовуються в пристроях управління, в системах цифрової індикації, для побудови розподільників імпульсів по різних колах і т. д. Дешифратор, в якого число виходів  $2^n$ , де  $n$  - число входів, називається повним. Дешифратором перетворюється  $n$ -розрядний двійковий код в однопозиційний (одномісний) код або в сукупність однопозиційних кодів. Прикладами однопозиційного коду можуть бути: коло установки в нульовий стан регістра або лічильника, адреса конкретного елемента пам'яті, сигнали типа “Включити живлення”, “Тривога” і тому подібне. Прикладом сукупності однопозиційних кодів є семисегментний алфавітно-цифровий індикатор і індикатори інших типів.

Дешифратори зручно використовувати в тих випадках, коли потрібно сформувати деяку кількість взаємно синхронізованих сигналів, або реалізувати деяку систему логічних функцій. При цьому дешифратор

використовується у вигляді постійного запам'ятовувального пристрою (ПЗП), в якому містяться задані логічні функції.

У більшості випадків ІС дешифраторів виконуються з активним нулем виходу, що обґрунтовується наступними міркуваннями: швидкодією (час переходу 10, як правило, менше часу переходу 01); споживаною потужністю (велика потужність споживається при низькому рівні сигналу на виході, наприклад ТТЛ-елементів, і тому доцільно, аби всі елементи, які формують неактивний високий рівень, споживали б меншу потужність) і перешкодозахищеністю (навести перешкоду в низькоомне коло, яке формує низький рівень, у край важко).

#### 4.1 Реалізація довільних комбінаційних схем з використанням дешифратора

1) Розробити цифровий комбінаційний автомат на дешифраторі. На вхід автомата надходить циклічна двійкова послідовність АВС: (000,001,010,011,100,101,000,001,010,011,100,101,... і т.д.). Розроблений пристрій повинен генерувати три синхронні послідовності, які в часовій формі виглядатимуть як представлено на рисунку 5.1.

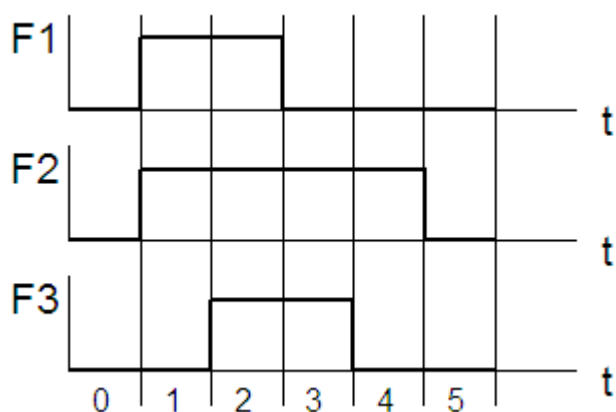


Рисунок 5.1 – Сигнали генеровані цифровим комбінаційним автоматом

1. Складемо таблицю функціонування цифрового автомата (табл 5.1).

Таблиця 5.1 – Алгоритм функціонування цифрового автомата

Такти	Входи			Виходи дешифратора							Виходи автомата			
T	A	B	C	X0	X1	X2	X3	X4	X5	X6	X7	F3	F2	F1
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0	0	1	1
2	0	1	0	0	0	1	0	0	0	0	0	1	1	1
3	0	1	1	0	0	0	1	0	0	0	0	1	1	0
4	1	0	0	0	0	0	0	1	0	0	0	0	1	0
5	1	0	1	0	0	0	0	0	1	0	0	0	0	0

2. Визначимо рівняння функціонування цифрового комбінаційного автомата:

$$F1 = X1 + X2 = \overline{A}BC + A\overline{B}C$$

$$F2 = X1 + X2 + X3 + X4 = \overline{A}BC + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C$$

$$F3 = X2 + X3 = \overline{A}B\overline{C} + \overline{A}BC$$

Структурна схема цифрового комбінаційного автомата представлена на рисунку 5.2.

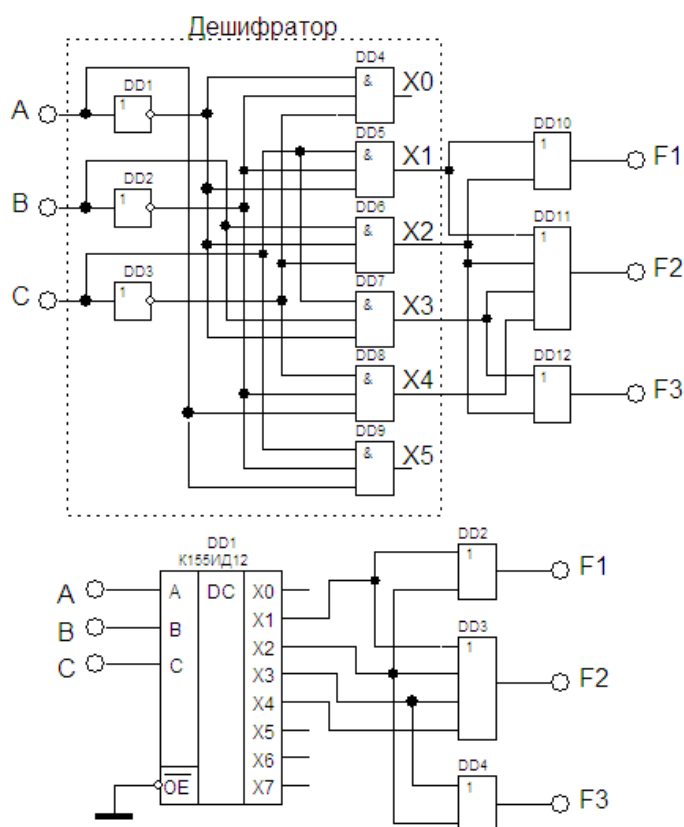


Рисунок 5.2 - Структурна схема цифрового комбінаційного автомата

3. Проведемо аналіз функціонування цифрового комбінаційного автомата на дешифраторі у програмному забезпеченні EWB (рис. 4.3). Функціонування цифрового комбінаційного автомата на дешифраторі виконується згідно з поставленим завданням (рис. 5.4).

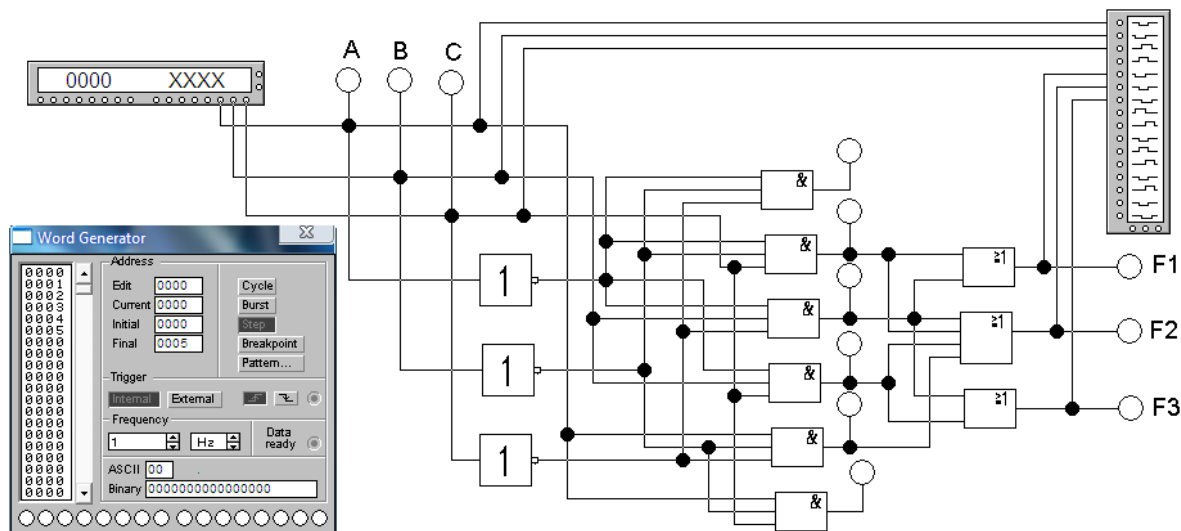


Рисунок 5.3 - Аналіз функціонування цифрового комбінаційного автомата на дешифраторі

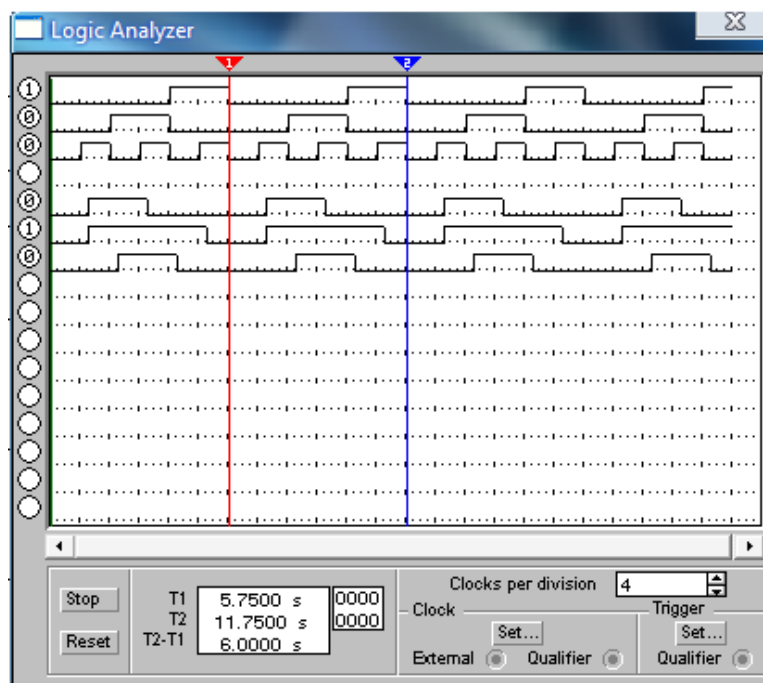


Рисунок 5.4 - Діаграма функціонування цифрового комбінаційного автомата

4. Проведемо оптимізацію схеми комбінаційного автомата. У результаті розрахунків маємо три вихідних рівняння:

$$F1 = X1 + X2;$$

$$F2 = X1 + X2 + X3 + X4;$$

$$F3 = X2 + X3.$$

Схемні рішення для виходів F1 і F3 можна виконати використовуючи тільки один елемент 2АБО. Для виходу F2 необхідно використати елемент 4АБО. Для оптимізації схеми для рівняння F2 застосуємо закон асоціативності:

$$F2 = X1 + X2 + X3 + X4 = (X1 + X2) + (X3 + X4)$$

Схемне рішення для виходу F2 можна виконати на трьох елементах 2АБО. Оптимізована функціональна схема комбінаційного автомата представлена на рисунку 5.5.

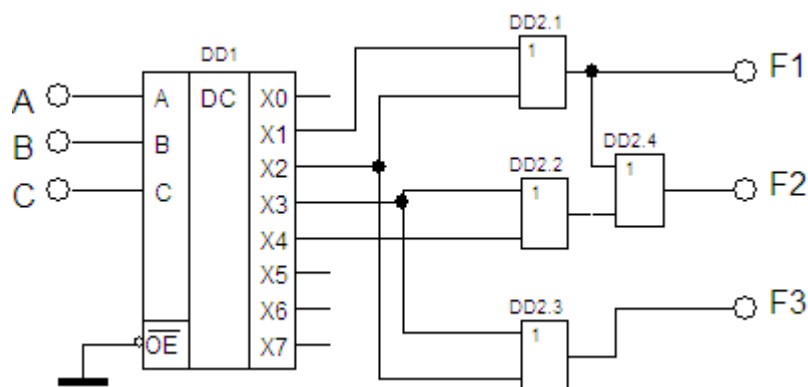


Рисунок 5.5 - Оптимізована функціональна схема комбінаційного автомата

5. Оберемо інтегральну мікросхему дешифратора 155 серії (рис. 5.6).

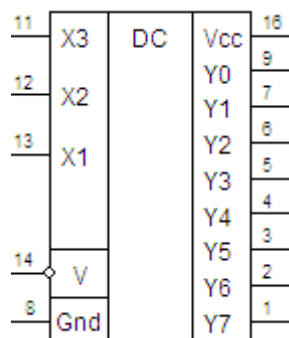


Рисунок 5.6 – Дешифратор К155ИД12

Для комутації виходів дешифратора з виходами цифрового комбінаційного автомата застосуємо мікросхему К155ЛЛ1 (чотири логічних елемента 2АБО) (рис. 5.7).

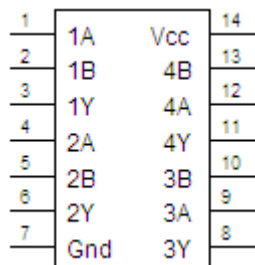


Рисунок 5.7 – Мікросхема К155ЛЛ1

Схема електрична принципова цифрового комбінаційного автомата на дешифраторі містить дві мікросхеми (рис. 5.8).

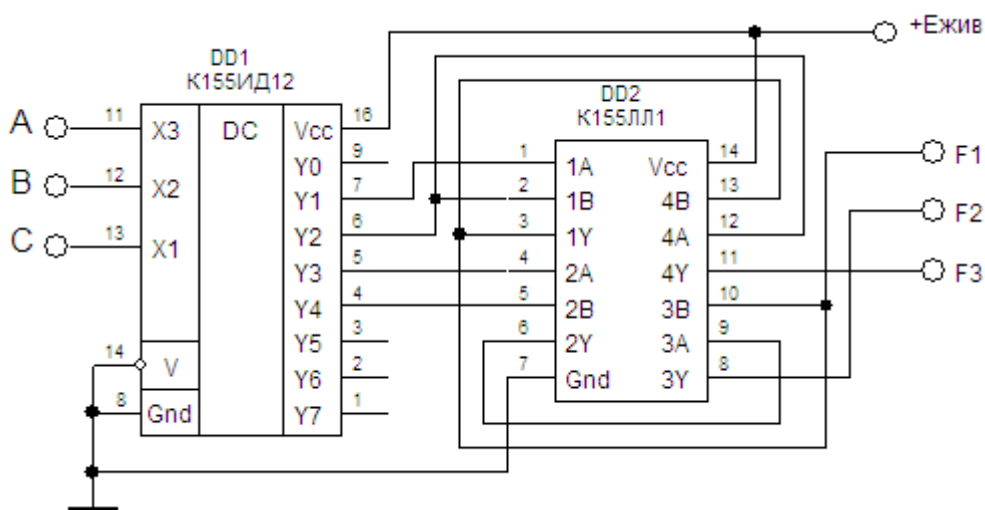


Рисунок 5.8 - Схема електрична принципова цифрового комбінаційного автомата на дешифраторі

2) Потрібно реалізувати комбінаційну схему, залежну від трьох змінних і представлена картою Карно (рис. 5.9).

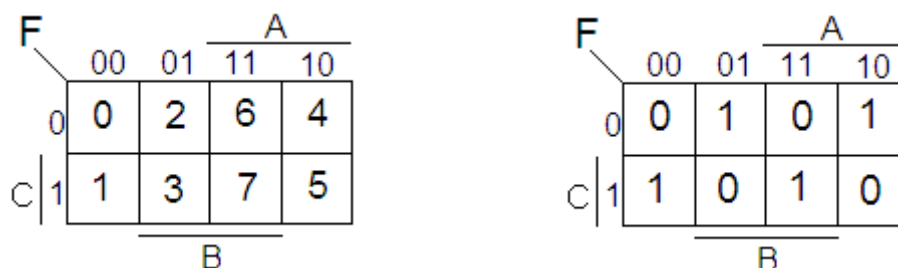


Рисунок 5.9 – Карта Карно функції комбінаційної схеми

Цю функцію можна представити в ДДНФ, в базисі І-НІ, і в ДКНФ, в базисі АБО-НІ:

$$\text{ДДНФ: } F = 1 + 2 + 4 + 7 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} \quad (5.1)$$

базис І-НІ:

$$F = 1 + 2 + 4 + 7 = \overline{\overline{A}\overline{B}C} + \overline{\overline{A}B\overline{C}} + \overline{A\overline{B}C} + \overline{A\overline{B}\overline{C}} = \overline{\overline{A}\overline{B}C} \cdot \overline{\overline{A}B\overline{C}} \cdot \overline{A\overline{B}C} \cdot \overline{A\overline{B}\overline{C}} \quad (5.2)$$

$$\text{СКНФ: } F = 0 + 3 + 5 + 6 = (A + B + C) \cdot (A + \overline{B} + \overline{C}) \cdot (\overline{A} + \overline{B} + C) \cdot (\overline{A} + B + \overline{C}) \quad (5.3)$$

базис АБО-НІ:

$$F = 0 + 3 + 5 + 6 = \overline{(A + B + C)} \cdot \overline{(A + \overline{B} + \overline{C})} \cdot \overline{(\overline{A} + \overline{B} + C)} \cdot \overline{(\overline{A} + B + \overline{C})} = \overline{(A + B + C)} + \overline{(A + \overline{B} + \overline{C})} + \overline{(\overline{A} + \overline{B} + C)} + \overline{(\overline{A} + B + \overline{C})} \quad (5.4)$$

Оскільки в дешифраторі n-розрядний двійковий код має  $2^n$  наборів на вході, то відповідне число на виході може бути однопозиційним кодом. Якщо дешифратор виконується у вигляді інтегральної схеми (ІС) і має число виходів  $N = 2^n$ , то він називається повним дешифратором, якщо  $N < 2^n$ , то - неповним. Прикладом останнього є ІС дешифратора двійково-десятькового коду ( $n = 4$ ,  $N = 10$ ). Для випадку  $N = 1$  дешифратор прийнято називати детектором стану.

Активний сигнал в колі однопозиційного коду може бути або статичним потенціалом, який кодує логічні 0 і 1, або переходами 01 і 10, тому розрізняють дешифратори з активним нулем і активною одиницею виходу.

Оскільки в повному дешифраторі реалізуються всі набори змінних, то для здобуття логічної функції досить додати до нього один логічний елемент. Отже, для реалізації логічної функції по рівнянню (5.1) потрібний дешифратор з активною одиницею виходу і чотириохвходовий елемент АБО (рис. 5.9, а); по рівнянню (5.2) - дешифратор з активним нулем виходу і чотириохвходовий елемент І-НІ (рис. 5.9, б); по рівнянню (5.3) - дешифратор з активним нулем виходу і чотириохвходовий елемент І (рис. 5.9, в) і по рівнянню (5.4) - дешифратор з активною одиницею виходу і чотириохвходовий елемент АБО-НІ (рис. 5.9, г).

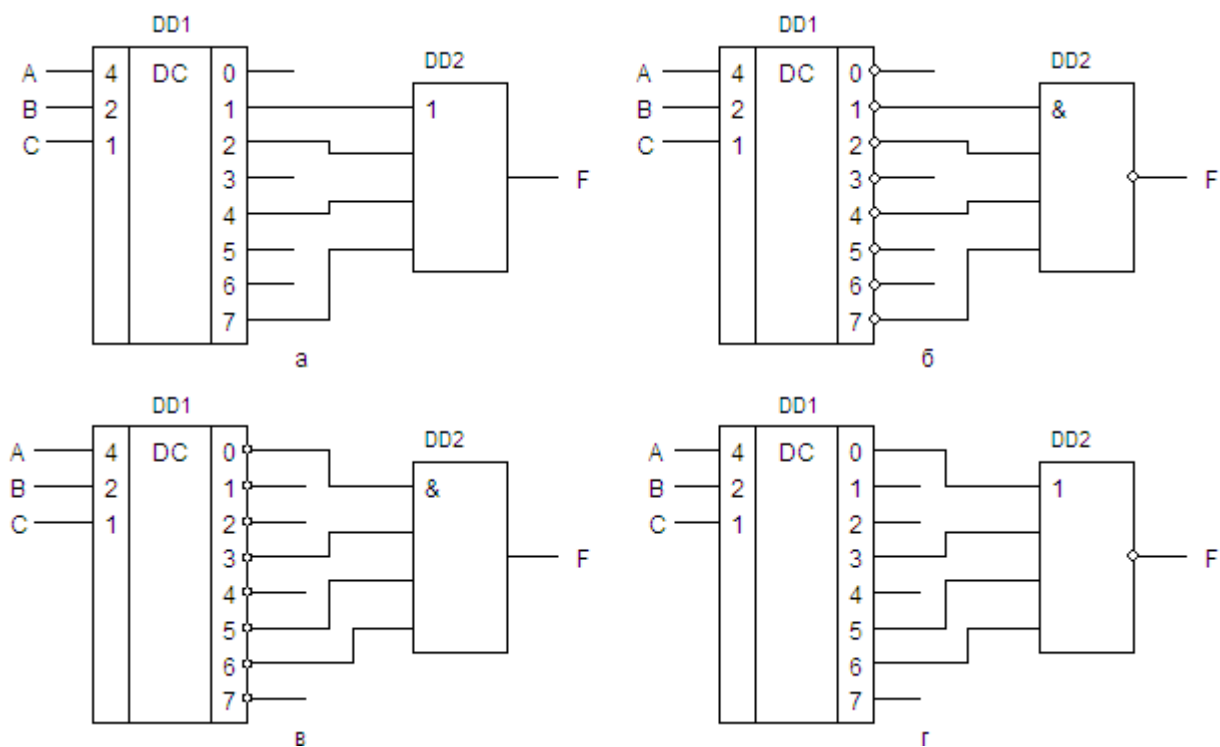


Рисунок 5.9 – Варіанти комбінаційних схем з використанням дешифратора

## 5.2 Використання дешифратора для реалізації постійного запам'ятовуючого пристрою малого об'єму

Потрібно реалізувати постійний запам'ятовуючий пристрій (ПЗП), який зберігає чотири восьмирозрядних слова. Використання стандартних ІС ПЗП в даному випадку недоцільно із-за їх значно більшого інформаційного об'єму і відповідно більшій вартості, а також із-за необхідності використання апаратно-програмних засобів для програмування даних в ПЗП. Простіше реалізувати систему з восьми логічних схем, у якості яких розглядаються окремо взяті розряди слів, що зберігаються. Оскільки в нашому випадку зберігаються чотири слова, то адреса ПЗП буде двохрозрядною (табл. 5.2).

Таблиця 5.2 – Алгоритм функціонування ПЗП

A	B	F7	F6	F5	F4	F3	F2	F1	F0
0	0	0	0	0	0	1	0	1	1
0	1	0	0	1	1	1	1	0	1
1	0	1	0	0	0	1	0	1	0
1	1	1	0	1	0	1	1	1	0



Оберемо дешифратор 1 з 4-х з активним нулем виходу і на його основі реалізуємо необхідну систему логічних рівнянь (рис. 5.10).

$$F7 = \overline{Y2Y3}; F6 = 0; F5 = \overline{Y1Y3}; F4 = Y1; F3 = 1; F2 = F5; F1 = \overline{F4}; F0 = \overline{F7}.$$

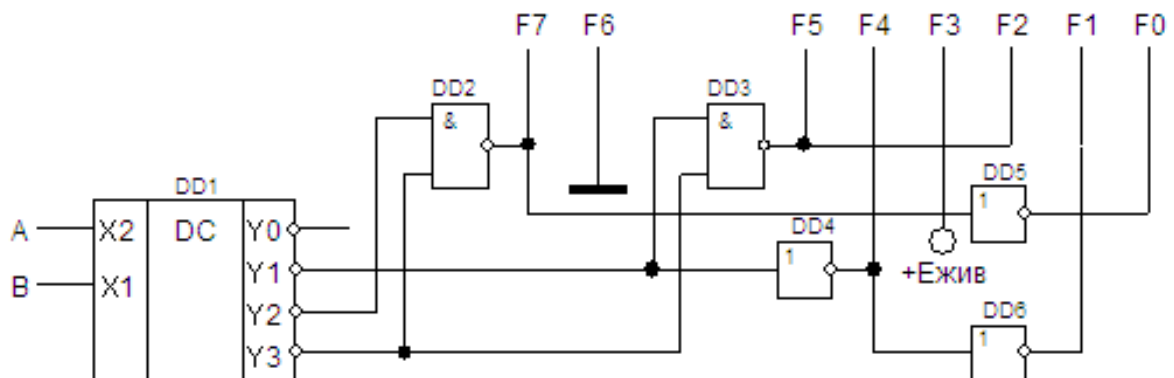


Рисунок 5.10 - Постійний запам'ятовуючий пристрій на дешифраторі

**Пояснення:** розряд F7 реалізований за допомогою двохвходового елемента І-НІ, хоча можна було б використати і двохвходовий елемент І з підключенням його входів до виходів Y0 і Y1 дешифратора, або як  $F7 = A$ ; розряд F6 є константою “0”; розряди F5 і F2 є співпадаючими функціями, реалізованими за допомогою двохвходового елемента І-НІ, хоча можна було б використати і двохвходовий елемент І з підключенням його входів до виходів Y0 і Y2 дешифратора, або як  $F5 = B$ ; розряд F4 є інверсією виходу Y1 дешифратора; розряд F3 - константа “1”; розряд F1 є інверсією розряду F4; розряд F0 є інверсією розряду F7.

### 5.3 Дешифратор в режимі селектора

Однобітовим селектором (демультиплексором) в цифровій техніці називають комбінаційний вузол з адресною передачею даних з одного входу в один з багатьох виходів.

Для селектора, який виконується як логічний вузол, адреса задається двійковим кодом. Якщо використовувати стробований дешифратор 1 з 4-х з активним нулем виходу, логічним аналогом механічного селектора, буде схема, приведена на рисунку 5.11, де  $X_{вх}$  подається на стробуючий вхід, двохранова адреса АВ одного з чотирьох вихідних напрямів подається на

інформаційні входи дешифратора, а виходи дешифратора є виходами селектора, причому індекс активного або вибраного виходу збігається з номером набору адреси. На невибраних виходах формуватимуться рівні 1 (у дешифраторах з активною одиницею виходу - відповідно рівні 0).

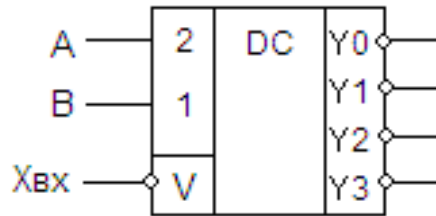


Рисунок 5.11 – Однобітовий селектор 1 в 4

Необхідно передати дані  $X_{vx}$  на вихід  $Y_2$ , тобто за адресою  $AB = 10$ . Рівняння для виходу  $Y_2$  в для дешифратора має вигляд:

$$Y_2 = \overline{\overline{X_{vx}AB}}$$

Після підстановки змінних для селектора маємо:

$$Y_2 = \overline{\overline{X_{vx}} \cdot A \cdot \overline{B}} = \overline{\overline{X_{vx}} \cdot 1 \cdot 0} = X_{vx}$$

Якщо при розробці комбінаційного автомата немає стробованого дешифратора, то можна використовувати як стробуючий вхід будь-який з його інформаційних входів, але переважно вхід з максимальною вагою. Оберемо нестробований дешифратор 1 з 8 з активною одиницею виходу (рис. 5.12). Подамо вхідні дані  $X_{vx}$  на вхід А дешифратора з вагою 4, а на входи В і С відповідно адреса АС вихідного напрямку.

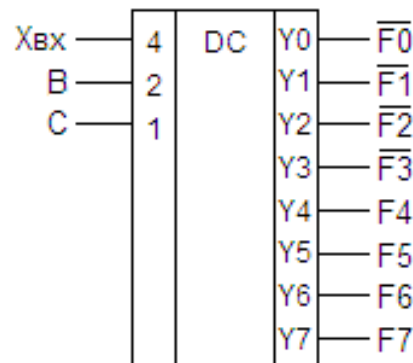


Рисунок 5.12 – Селектор 1 в 8 на нестробованому дешифраторі 1 з 8

Двохрозрядна адреса тут адресує лише чотири вихідних напрями, а в дешифратора вісім виходів, тому в даному випадку реалізується селектор 1 в 4-х з парафазними виходами.

Розглянемо рівняння для дешифратора:

$$Y_0 = \overline{X_{VX}} \cdot \overline{B} \cdot \overline{C}; Y_1 = \overline{X_{VX}} \cdot \overline{B} \cdot C; Y_2 = \overline{X_{VX}} \cdot B \cdot \overline{C}; Y_3 = \overline{X_{VX}} \cdot B \cdot C;$$

$$Y_4 = X_{VX} \cdot \overline{B} \cdot \overline{C}; Y_5 = X_{VX} \cdot \overline{B} \cdot C; Y_6 = X_{VX} \cdot B \cdot \overline{C}; Y_7 = X_{VX} \cdot B \cdot C.$$

Для селектора отримуємо:

$$F_0 = \overline{X_{VX}} \cdot \overline{B} \cdot \overline{C} = \overline{X_{VX}} \cdot \overline{0} \cdot \overline{0} = \overline{X_{VX}}; Y_1 = \overline{X_{VX}} \cdot \overline{B} \cdot C = \overline{X_{VX}} \cdot \overline{0} \cdot 1 = \overline{X_{VX}};$$

$$Y_2 = \overline{X_{VX}} \cdot B \cdot \overline{C} = \overline{X_{VX}} \cdot 1 \cdot \overline{0} = \overline{X_{VX}}; Y_3 = \overline{X_{VX}} \cdot B \cdot C = \overline{X_{VX}} \cdot 1 \cdot 1 = \overline{X_{VX}};$$

$$Y_4 = X_{VX} \cdot \overline{B} \cdot \overline{C} = X_{VX} \cdot \overline{0} \cdot \overline{0} = X_{VX}; Y_5 = X_{VX} \cdot \overline{B} \cdot C = X_{VX} \cdot \overline{0} \cdot 1 = X_{VX};$$

$$Y_6 = X_{VX} \cdot B \cdot \overline{C} = X_{VX} \cdot 1 \cdot \overline{0} = X_{VX}; Y_7 = X_{VX} \cdot B \cdot C = X_{VX} \cdot 1 \cdot 1 = X_{VX}.$$

Отримали здвоєний однобітовий селектор із загальними адресною частиною і інформаційним входом, один з яких передає дані на вихід у зворотному коді (F0...F3), а інший - в прямому (F4...F7), що у ряді випадків істотно спрощує різні рішення схемотехніки цифрових автоматів.

#### 5.4 Цифрові логічні комбінаційні автомати перетворення кодів сигналів

По своїй структурі перетворювачі коду є дешифраторами, але вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах. Вважатимемо, що перетворювачі кодів мають  $n$  входів і  $k$  виходів. Співвідношення між  $n$  і  $k$  можуть бути будь-якими:  $n = k$ ,  $n < k$  і  $n > k$ . При перетворенні кодів чисел з ними можуть виконуватися різні додаткові операції, наприклад, множення на вагові коефіцієнти.

Перетворювачі кодів можуть бути ваговими і неваговими. Вагові ПК перетворюють інформацію з однієї системи числення в іншу. Основне призначення невагових - перетворення інформації для її подальшого відображення.

Прикладом вагового перетворювання може бути перетворювач чотирьохрозрядного двійкового коду чисел в додатковий код (табл. 5.3).

Таблиця 5.3 – Алгоритм перетворення чотирьохрозрядного двійкового коду чисел в додатковий код

№	A	B	C	D	$\bar{A}$	$\bar{B}$	$\bar{C}$	$\bar{D}$	F4	F3	F2	F1
0	0	0	0	0	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	0
3	0	0	1	1	1	1	0	0	1	1	0	1
4	0	1	0	0	1	0	1	1	1	1	0	0
5	0	1	0	1	1	0	1	0	1	0	1	1
6	0	1	1	0	1	0	0	1	1	0	1	0
7	0	1	1	1	1	0	0	0	1	0	0	1
8	1	0	0	0	0	1	1	1	1	0	0	0
9	1	0	0	1	0	1	1	0	0	1	1	1
10	1	0	1	0	0	1	0	1	0	1	1	0
11	1	0	1	1	0	1	0	0	0	1	0	1
12	1	1	0	0	0	0	1	1	0	1	0	0
13	1	1	0	1	0	0	1	0	0	0	1	1
14	1	1	1	0	0	0	0	1	0	0	1	0
15	1	1	1	1	0	0	0	0	0	0	0	1

Складемо рівняння функціонування перетворювача коду:

$$F1 = 1+3+5+7+9+11+13+15 = D;$$

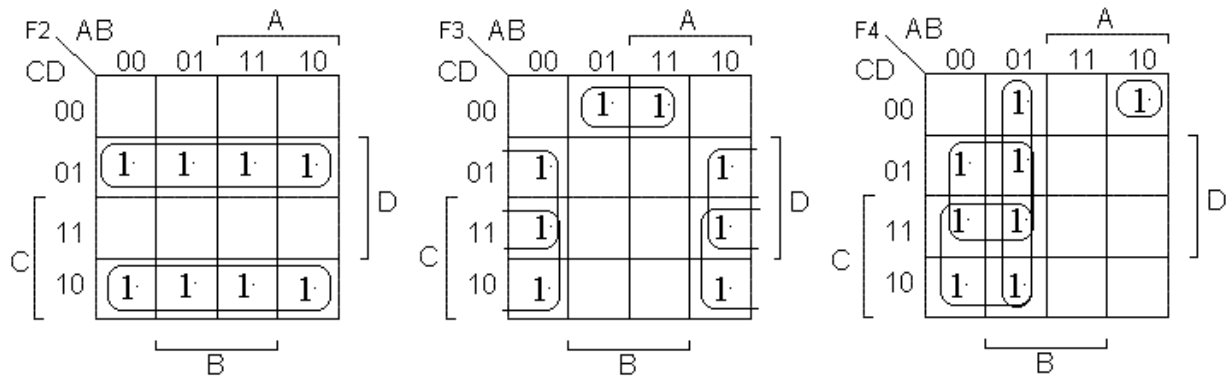
$$F2 = 1+2+5+6+9+10+13+14;$$

$$F3 = 1+2+3+4+9+10+11+12;$$

$$F4 = 1+2+3+4+5+6+7+8.$$

Спростимо рівняння методом карт Карно.

		AB		A	
		00	01	11	10
C	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10
				D	
		B			



$$F1 = D; F2 = \overline{CD} + CD; F3 = \overline{BC} + \overline{BD} + BCD; F4 = \overline{AC} + \overline{AD} + \overline{AB} + ABCD.$$

1) Приведемо рівняння до єдиного логічного базисах 2-І-НІ.

$$F1 = D;$$

$$F2 = \overline{CD} + CD = \overline{\overline{\overline{CD}}} + \overline{\overline{\overline{CD}}} = \overline{\overline{CD}} \cdot \overline{\overline{CD}};$$

$$\begin{aligned} F3 &= \overline{BC} + \overline{BD} + BCD = \overline{\overline{\overline{BC}}} + \overline{\overline{\overline{BD}}} + \overline{\overline{\overline{BCD}}} = \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{BCD}} = \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{(B + C + D)}} = \\ &= \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{[B + (C + D)]}} = \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{[B + (C + D)]}} = \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{[B \cdot (C + D)]}} = \\ &= \overline{\overline{BC}} \cdot \overline{\overline{BD}} \cdot \overline{\overline{[B \cdot (\overline{CD})]}} = \overline{\overline{BC}} + \overline{\overline{BD}} + [B \cdot (\overline{CD})] = (\overline{\overline{BC}} + \overline{\overline{BD}}) + [B \cdot (\overline{CD})] = \\ &= (\overline{\overline{BC}} + \overline{\overline{BD}}) \cdot [B \cdot (\overline{CD})] = (\overline{\overline{BC}} \cdot \overline{\overline{BD}}) \cdot [B \cdot (\overline{CD})] = (\overline{\overline{BC}} \cdot \overline{\overline{BD}}) \cdot [B \cdot (\overline{CD})]; \end{aligned}$$

$$\begin{aligned} F4 &= \overline{AC} + \overline{AD} + \overline{AB} + ABCD = \overline{\overline{\overline{AC}}} + \overline{\overline{\overline{AD}}} + \overline{\overline{\overline{AB}}} + \overline{\overline{\overline{ABCD}}} = \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{ABCD}} = \\ &= \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(A + B + C + D)}} = \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(A + C) + (B + D)}} = \\ &= \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(A + C) + (B + D)}} = \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(A + C) + (B + D)}} = \\ &= \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(AC) \cdot (BD)}} = \overline{\overline{AC}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{AB}} \cdot \overline{\overline{(AC) \cdot (BD)}} = \\ &= \overline{\overline{AC}} + \overline{\overline{AD}} + \overline{\overline{AB}} + (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}}) = \overline{\overline{AC}} + \overline{\overline{AD}} + \overline{\overline{AB}} + (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}}) = \\ &= (\overline{\overline{AC}} + \overline{\overline{AD}}) + [\overline{\overline{AB}} + (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}})] = (\overline{\overline{AC}} + \overline{\overline{AD}}) + [\overline{\overline{AB}} + (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}})] = \\ &= (\overline{\overline{AC}} + \overline{\overline{AD}}) \cdot [\overline{\overline{AB}} + (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}})] = (\overline{\overline{AC}} \cdot \overline{\overline{AD}}) \cdot [\overline{\overline{AB}} \cdot (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}})] = \\ &= (\overline{\overline{AC}} \cdot \overline{\overline{AD}}) \cdot [\overline{\overline{AB}} \cdot (\overline{\overline{AC}}) \cdot (\overline{\overline{BD}})] \end{aligned}$$

Побудуємо функціональну схему цифрового логічного комбінаційного автомата перетворювача чотирьохрозрядного двійкового коду чисел в додатковий код у заданому логічному базисі (рис. 5.13).

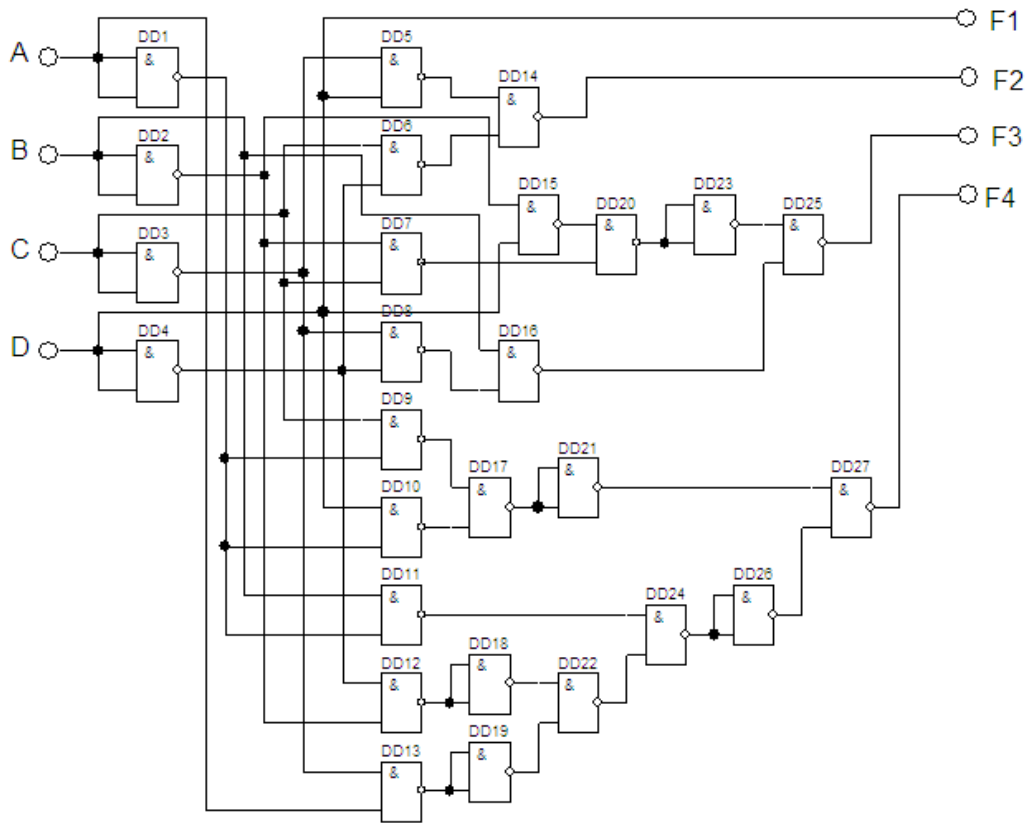


Рисунок 5.13 - Функціональна схема цифрового логічного перетворювача коду

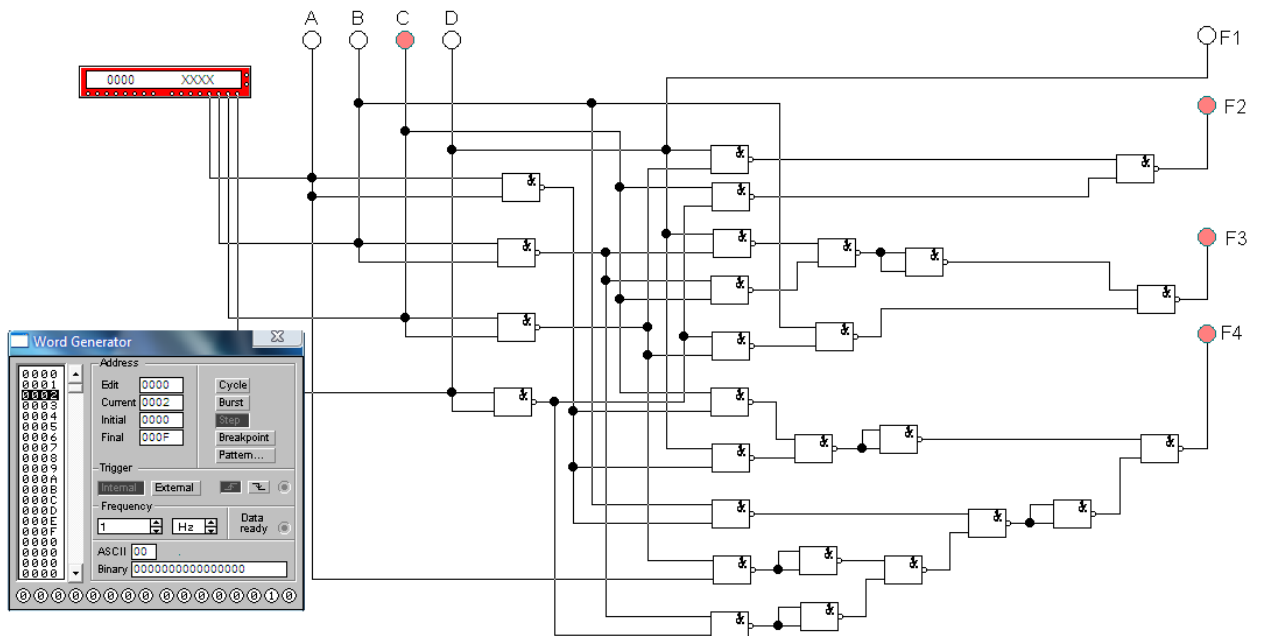


Рисунок 5.14 – Аналіз функціонування перетворювача коду

2) Приведемо рівняння до єдиного логічного базисах 2-І-НІ, 2-«Виключне АБО».

$$F2 = \bar{C}D + C\bar{D} = C \oplus D;$$

$$\begin{aligned}
F3 &= \overline{BC} + \overline{BD} + \overline{BCD} = \overline{BC} + \overline{BD} + \overline{(B \cdot B) \cdot C \cdot D} = (\overline{BC} + \overline{BD}) + \overline{BC \cdot BD} = \\
&= (\overline{BC} + \overline{BD}) + (\overline{BC \cdot BD} + \overline{BC \cdot BD}) = (\overline{BC} + \overline{BC \cdot BD}) + (\overline{BD} + \overline{BC \cdot BD}) = \\
&= (\overline{BC} + \overline{BC}) \cdot (\overline{BC} + \overline{BD}) + (\overline{BD} + \overline{BC}) \cdot (\overline{BD} + \overline{BD}) = \\
&= (\overline{B \oplus C}) \cdot (\overline{BC} + \overline{BD}) + (\overline{BD} + \overline{BC}) \cdot (\overline{B \oplus D}) = \\
&= (\overline{B \oplus C}) \cdot (\overline{BC} + \overline{BD}) + (\overline{BD} + \overline{BC}) \cdot (\overline{B \oplus D}) = \\
&= (\overline{B \oplus C}) \cdot (\overline{BC} + \overline{BD}) \cdot (\overline{BD} + \overline{BC}) \cdot (\overline{B \oplus D}) = \\
&= (\overline{B \oplus C}) \cdot (\overline{BC} + \overline{BD}) \cdot (\overline{BD} + \overline{BC}) \cdot (\overline{B \oplus D}) = \\
&= (\overline{B \oplus C}) \cdot (\overline{BC \cdot BD}) \cdot (\overline{BD \cdot BC}) \cdot (\overline{B \oplus D})
\end{aligned}$$

$$\begin{aligned}
F4 &= \overline{AC} + \overline{AD} + \overline{AB} + \overline{ABCD} = \overline{AC} + \overline{AD} + \overline{AB} + \overline{ABCD} + \overline{ABCD} + \overline{ABCD} = \\
&= (\overline{AC} + \overline{ABCD}) + (\overline{AD} + \overline{ABCD}) + (\overline{AB} + \overline{ABCD}) = \\
&= (\overline{AC} + \overline{AC \cdot BD}) + (\overline{AD} + \overline{AD \cdot BC}) + (\overline{AB} + \overline{AB \cdot CD}) = \\
&= (\overline{AC} + \overline{AC}) \cdot (\overline{AC} + \overline{BD}) + (\overline{AD} + \overline{AD}) \cdot (\overline{AD} + \overline{BC}) + (\overline{AB} + \overline{AB}) \cdot (\overline{AB} + \overline{CD}) = \\
&= (A \oplus C) \cdot (\overline{AC} + \overline{BD}) + (A \oplus D) \cdot (\overline{AD} + \overline{BC}) + (A \oplus B) \cdot (\overline{AB} + \overline{CD}) = \\
&= (A \oplus C) \cdot (\overline{AC} + \overline{BD}) + (A \oplus D) \cdot (\overline{AD} + \overline{BC}) + (A \oplus B) \cdot (\overline{AB} + \overline{CD}) = \\
&= (A \oplus C) \cdot (\overline{AC} + \overline{BD}) \cdot (A \oplus D) \cdot (\overline{AD} + \overline{BC}) \cdot (A \oplus B) \cdot (\overline{AB} + \overline{CD}) = \\
&= (A \oplus C) \cdot (\overline{AC} + \overline{BD}) \cdot (A \oplus D) \cdot (\overline{AD} + \overline{BC}) \cdot (A \oplus B) \cdot (\overline{AB} + \overline{CD}) = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) \cdot (A \oplus D) \cdot (\overline{AD \cdot BC}) \cdot (A \oplus B) \cdot (\overline{AB \cdot CD}) =
\end{aligned}$$

Позбавимось трьохвходового елемента І-ІІІ:

$$\begin{aligned}
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + (A \oplus D) \cdot (\overline{AD \cdot BC}) + (A \oplus B) \cdot (\overline{AB \cdot CD}) = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + (A \oplus D) \cdot (\overline{AD \cdot BC}) + (A \oplus B) \cdot (\overline{AB \cdot CD}) = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + [(A \oplus D) \cdot (\overline{AD \cdot BC}) + (A \oplus B) \cdot (\overline{AB \cdot CD})] = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + [(A \oplus D) \cdot (\overline{AD \cdot BC}) + (A \oplus B) \cdot (\overline{AB \cdot CD})] = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) \cdot [(A \oplus D) \cdot (\overline{AD \cdot BC}) + (A \oplus B) \cdot (\overline{AB \cdot CD})] = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + [(A \oplus D) \cdot (\overline{AD \cdot BC}) \cdot (A \oplus B) \cdot (\overline{AB \cdot CD})] = \\
&= (A \oplus C) \cdot (\overline{AC \cdot BD}) + [(A \oplus D) \cdot (\overline{AD \cdot BC}) \cdot (A \oplus B) \cdot (\overline{AB \cdot CD})]
\end{aligned}$$

Функціональна схема перетворювача коду за заданими умовами представлена на рисунку 5.15.

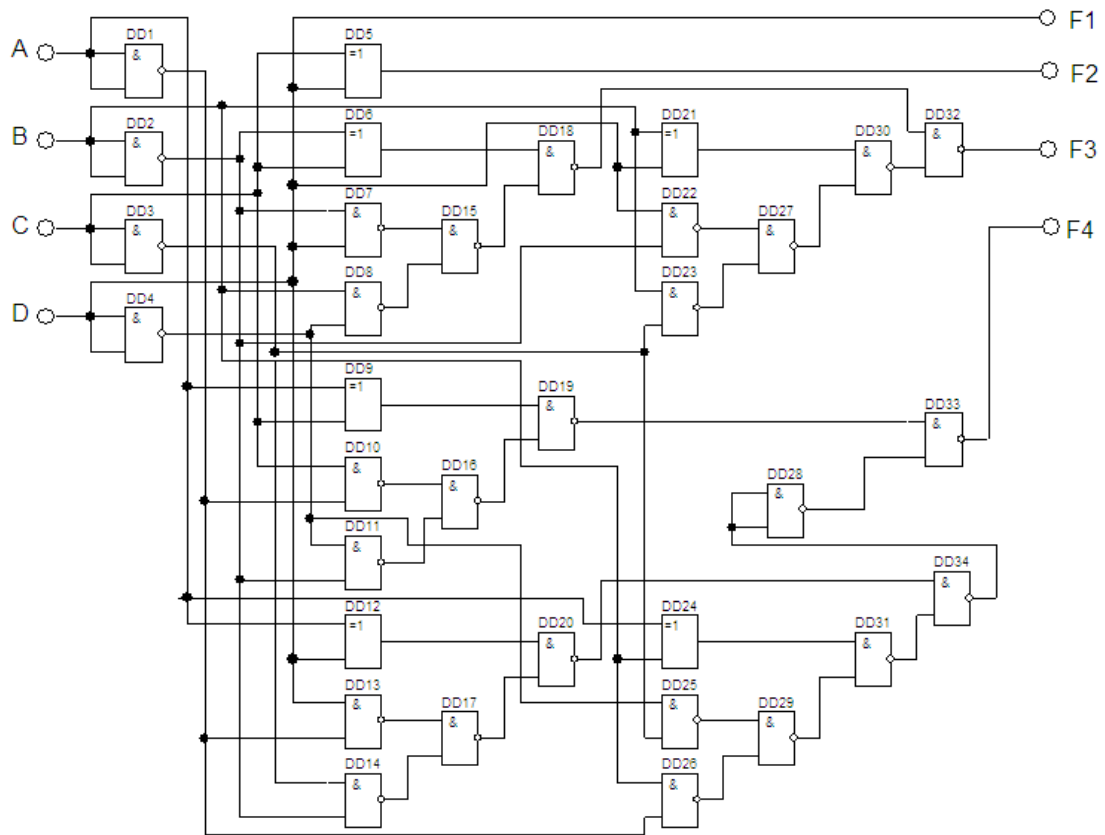


Рисунок 5.15 - Перетворювач чотирьохрозрядного двійкового коду чисел в додатковий код

Приклад невагового перетворення. Розробити логічну схему дешифратора двійкового коду чисел від 0 до 9 в семисегментний код світлодіодного індикатора (рис. 5.16). Реалізацію схеми виконати на елементах базису Шеффера. Алгоритм функціонування дешифратора двійкового коду представлено у таблиці 5.4

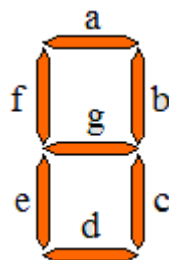


Рисунок 5.16 – Семисегментний світлодіодний індикатор



Таблиця 5.4 - Алгоритм функціонування дешифратора

№	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
×	1	0	1	0	×	×	×	×	×	×	×
×	1	0	1	1	×	×	×	×	×	×	×
×	1	1	0	0	×	×	×	×	×	×	×
×	1	1	0	1	×	×	×	×	×	×	×
×	1	1	1	0	×	×	×	×	×	×	×
×	1	1	1	1	×	×	×	×	×	×	×

Складемо рівняння функціонування дешифратора за номерами термів у наборі:

$$a = 0+2+3+5+6+7+8+9;$$

$$b = 0+1+2+3+4+7+8+9;$$

$$c = 0+1+3+4+5+6+7+8+9;$$

$$d = 0+2+3+5+6+8+9;$$

$$e = 0+2+6+8;$$

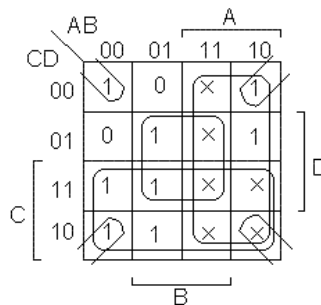
$$f = 0+4+5+6+8+9;$$

$$g = 2+3+4+5+6+8+9.$$

Спростимо рівняння ураховуючи невизначення.

Вихідна функція для сегменту a:

$$F_a = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D$$



Після спрощення отримаємо:  $F_a = A + C + BD + \overline{B}\overline{D}$ .

Вихідна функція для сегменту b:

$$F_b = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$

		AB		A	
		00	01	11	10
CD	00	1	1	×	1
	01	1	0	×	1
	11	1	1	×	×
	10	1	0	×	×

B

Після спрощення отримуємо:  $F_b = \overline{B} + CD + \overline{C}\overline{D}$ .

Аналогічно отримуємо функції для наступних виходів:

$$F_c = \overline{C} + B + D; \quad F_d = A + \overline{C}\overline{D} + \overline{B}C + \overline{B}\overline{D} + B\overline{C}D; \quad F_e = \overline{C}\overline{D} + \overline{B}\overline{D};$$

$$F_f = A + \overline{B}C + \overline{B}\overline{D} + \overline{C}\overline{D}; \quad F_g = A + \overline{B}C + \overline{C}\overline{D} + \overline{B}C.$$

Реалізація схеми на елементах елементарної логіки представлена на рисунку 5.17.

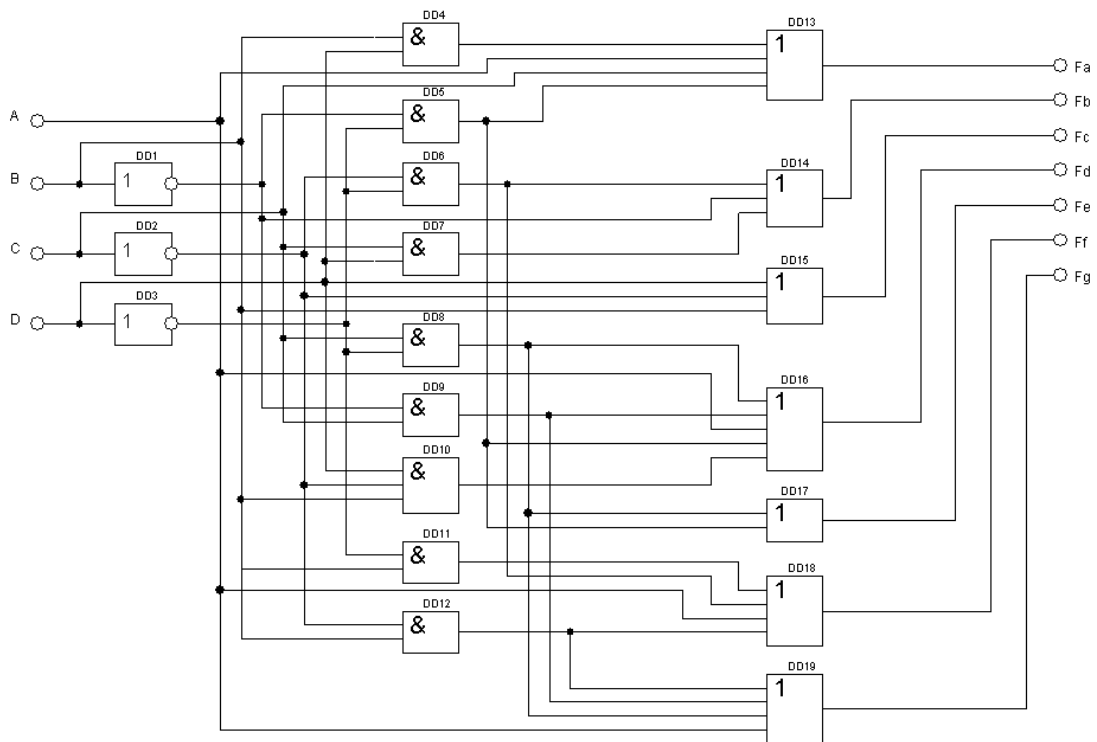


Рисунок 5.17 – Схема перетворювача двійкового коду в код управління семисегментним світлодіодним індикатором