

Лекція 2. Однокристальні мікропроцесори

2.1 Однокристальний 8-розрядний мікропроцесор

Структурну схему узагальненого 8-розрядного однокристального МП зображено на рисунку 2.1. Схема має єдину внутрішню 8-розрядну шину, по якій передаються дані, коди команд та адреси.

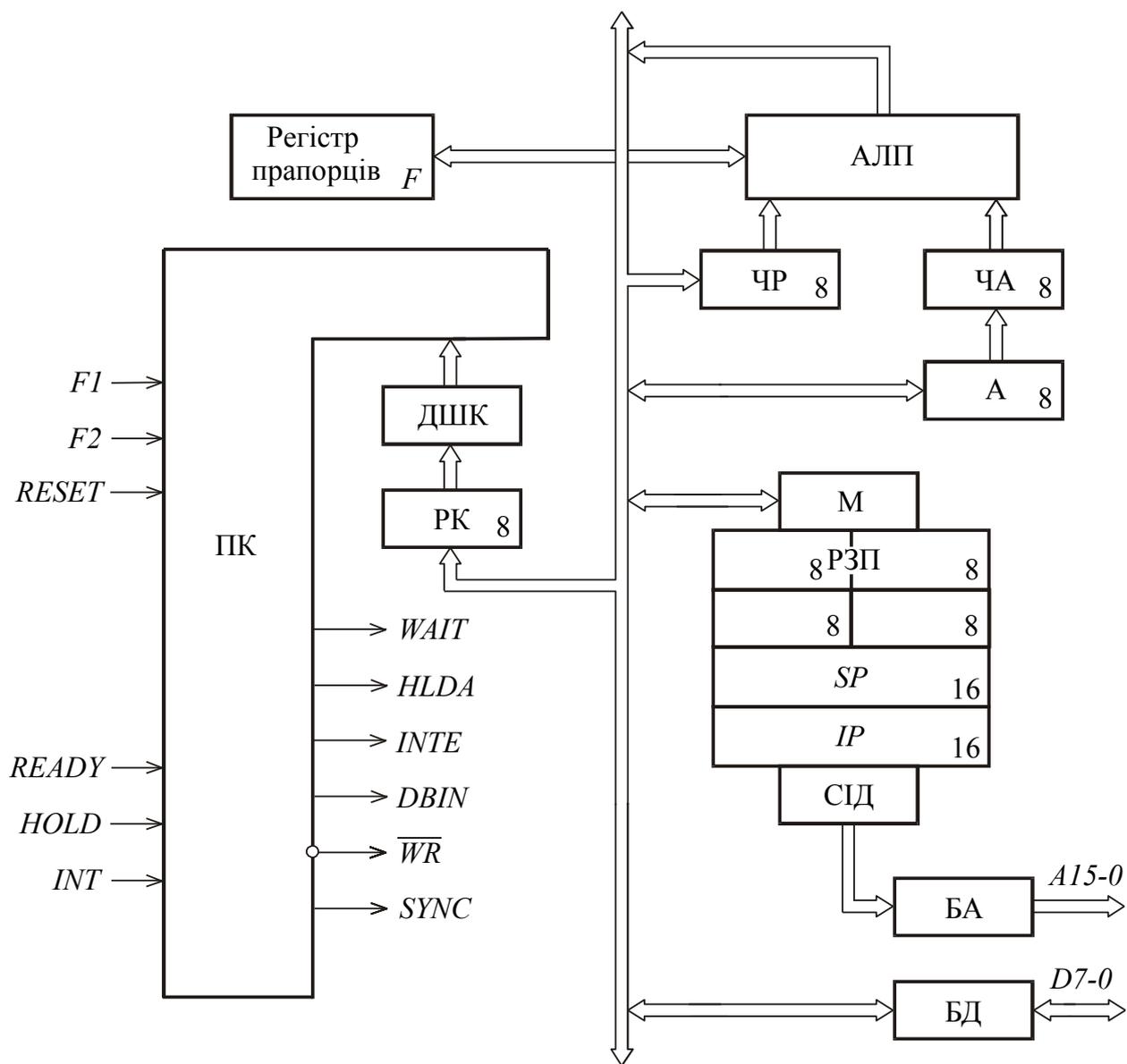


Рисунок 2.1 – Структурная схема 8-разрядного микропроцессора

Структурна схема містить пристрій керування ПК, дешифратор команд ДШК, регістр команд РК, арифметично-логічний пристрій АЛП, акумулятор А, часовий акумулятор ЧА, часовий регістр ЧР, регістр прапорців F, блок 8-розрядних регістрів загального призначення РЗП, мультиплексор, показчик

стеку (Stack Pointer SP), покажчик команд (Instruction Pointer IP), буферний регістр адреси БА, буферний регістр даних БД, схему інкремента-декремента СІД.

Пристрій керування відповідно до дешифрованих кодів команд та зовнішніх керуючих сигналів генерує керуючі сигнали для всіх блоків структурної схеми.

Дешифратор команд формує сигнали для пристрою керування згідно з дешифрованим кодом команди. У 8-розрядному регістрі команд зберігається машинний код команди (один байт).

Арифметико-логічний пристрій – це комбінаційна схема на основі суматора і логічних елементів, який сигналами з виходів пристрою керування налагоджується на ту чи іншу арифметичну або логічну операцію – додавання, віднімання, І, АБО, Виключне АБО, НІ, зсув.

Акумулятор є 8-розрядним регістром, в якому зберігається один з операндів у двооперандних командах, а також результат операції. Наприклад, у команді додавання

$$\text{ADD B; } A + B \rightarrow A$$

вказано лише один операнд – 8-розрядний регістр В. Регістр В – один із регістрів загального призначення (РЗП). У деяких МП РЗП позначаються літерами латинського алфавіту: В, С, D, H, L, в інших R0, R1, R2 Другим операндом є акумулятор. Результат додавання вмісту акумулятора та регістра В переноситься в акумулятор, що символічно записується в коментарі до команди.

Часовий акумулятор та часовий регістр – це 8-розрядні буферні регістри, які дозволять відокремити входи АЛП від його виходу, тобто виключити «гонку» сигналів.

Регістр прапорців F (Flags - прапорці), або ознак – кілька тригерів (п'ять або шість), які встановлюються в одиничний (або скидаються в нульовий) стан залежно від результату операції в АЛП.

Регістри загального призначення – блок 8-розрядних РЗП, в яких зберігаються дані та проміжні результати. Цей блок РЗП можна розглядати як швидкодіючий ОЗП, що має найбільшу швидкодію серед ОЗП різних типів, оскільки він розміщений безпосередньо на кристалі ВІС МП. Деякі типи 8-розрядних процесорів, крім 8-розрядних РЗП, містять 16-розрядні індексні реєстри для організації непрямой адресації, інші – пропускають звернення до пари 8-розрядних реєстрів як до одного 16-розрядного.

Мультиплексор – пристрій, який з'єднує один з реєстрів РЗП із внутрішньою шиною МП.

Показчик стеку SP (Stack Pointer) – 16-розрядний реєстр, в якому зберігається адреса останньої зайнятої комірки стеку.

Показчик команд IP (Instruction Pointer) – 16-розрядний реєстр, в якому зберігається адреса команди, які виконуються. Після вибірки з пам'яті програм кожного байта команди вміст IP збільшується на одиницю. У літературі цей реєстр інколи називають PC (Program Counter) – програмний лічильник.

Буферний реєстр адреси та буферний реєстр даних – реєстри з трьома станами виходу, призначені для формування відповідно сигналів на лініях шин адреси і даних.

Схема інкремента-декремента – пристрій, який дає змогу без участі АЛП збільшити або зменшити на одиницю вміст одного з реєстрів РЗП, IP або SP.

Конструктивно ВІС 8-розрядного процесора виконано в корпусі з 40 виводами, з яких 16 припадає на шину адреси, 8 – на шину даних, 2 (4) – на ввімкнення живлення, а інші – на лінії шини керування. Основні лінії шини керування показано на рисунку 2.1:

FI, F2 – вхід двох послідовностей імпульсів синхронізації, які не перекриваються (рис. 2.2);

RESET – вхід сигналу початкового встановлення (скидання);

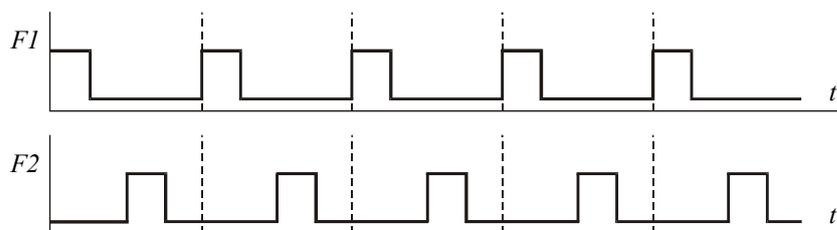


Рисунок 2.2 – Часові діаграми імпульсів синхронізації F1 і F2

READ Y – вхід сигналу готовності зовнішнього пристрою або пам'яті до обміну; використовується для організації обміну з менш швидкодіючими (порівняно з МП) пристроями;

WAIT – вихід сигналу підтвердження очікування; активний рівень сигналу свідчить про те, що процесор перейшов у режим очікування і виконує холості такти;

HOLD – вхід сигналу запиту прямого доступу до пам'яті або запит захоплення шин; використовується для організації обміну з пристроями, швидкодія яких вища, ніж швидкодія процесора;

HLDA (HOLD Acknowledge) – вихід сигналу підтвердження прямого доступу до пам'яті; активний рівень цього сигналу свідчить про те, що процесор перевірив свої шини адреси, даних та керування у високоімпедансний стан;

INT (INTerrupt) – вхід сигналу запиту переривання;

INTE (INTerrupt Enable) – вихід сигналу дозволу переривання;

DBIN (Data Bus IN) – вихід сигналу читання; високий рівень (H-рівень) цього сигналу вказує, що двонапрявлена шина даних знаходиться у режимі прийому інформації;

$\overline{\text{WR}}$ (WRite) – вихід сигналу запису; низький рівень цього сигналу свідчить про те, що двонапрявлена шина даних знаходиться у режимі видавання інформації;

SYNC (SYNChronization) – вихід сигналу синхронізації; високий рівень цього сигналу означає, що на шині даних передається байт стану, який використовується для формування деяких керуючих сигналів.

Схеми конкретних МП відрізняються кількістю та позначенням регістрів, а також деякими керувальними сигналами. Наприклад, у МП i8085 замість двох сигналів F1 і F2 використовується один сигнал синхронізації

CLK (CLOCK); замість сигналу DBIN – сигнал читання RD(Read). Нульовий рівень цього сигналу свідчить про те, що двонапрямлена шина даних знаходиться у режимі прийому інформації.

У МП i8085 є додатковий сигнал M / IO (Memory/Input-Output) – ознака звернення до пам'яті (логічна одиниця) або до пристрою введення-виведення (логічний нуль), але немає сигналу SYNC.

Схема (рис. 3.1) працює таким чином. У разі ввімкнення живлення або формування сигналу початкового встановлення RESET вміст вказівника команд IP набуває нульового значення і починається машинний цикл вибірки команди з пам'яті. Вміст комірки пам'яті за нульовою адресою через буферний регістр даних та внутрішню шину МП надходить у регістр команд, після цього – у дешифратор команд.

Відповідно до дешифрованих кодів команд і зовнішніх сигналів синхронізації та керування пристрій керування формує керувальні імпульси для кожної мікрооперації команди.

Програмною моделлю МП називається сукупність програмно доступних регістрів, тобто тих регістрів, вміст яких можна зчитати або змінити за допомогою команд. Програмну модель МП складають акумулятор, РЗП, регістр прапорців, вказівник стека та вказівник команд.

2.2 Особливості включення МК і призначення виводів

Стандартні мікроконтролери сімейства x51 випускаються в сорокавивідних DIP-корпусах з відстанню між рядами ніжок 15 мм, а між самими ніжками – 2,54 мм. Їх цоколівка і стандартна схема включення приведена на рисунку 2.3.

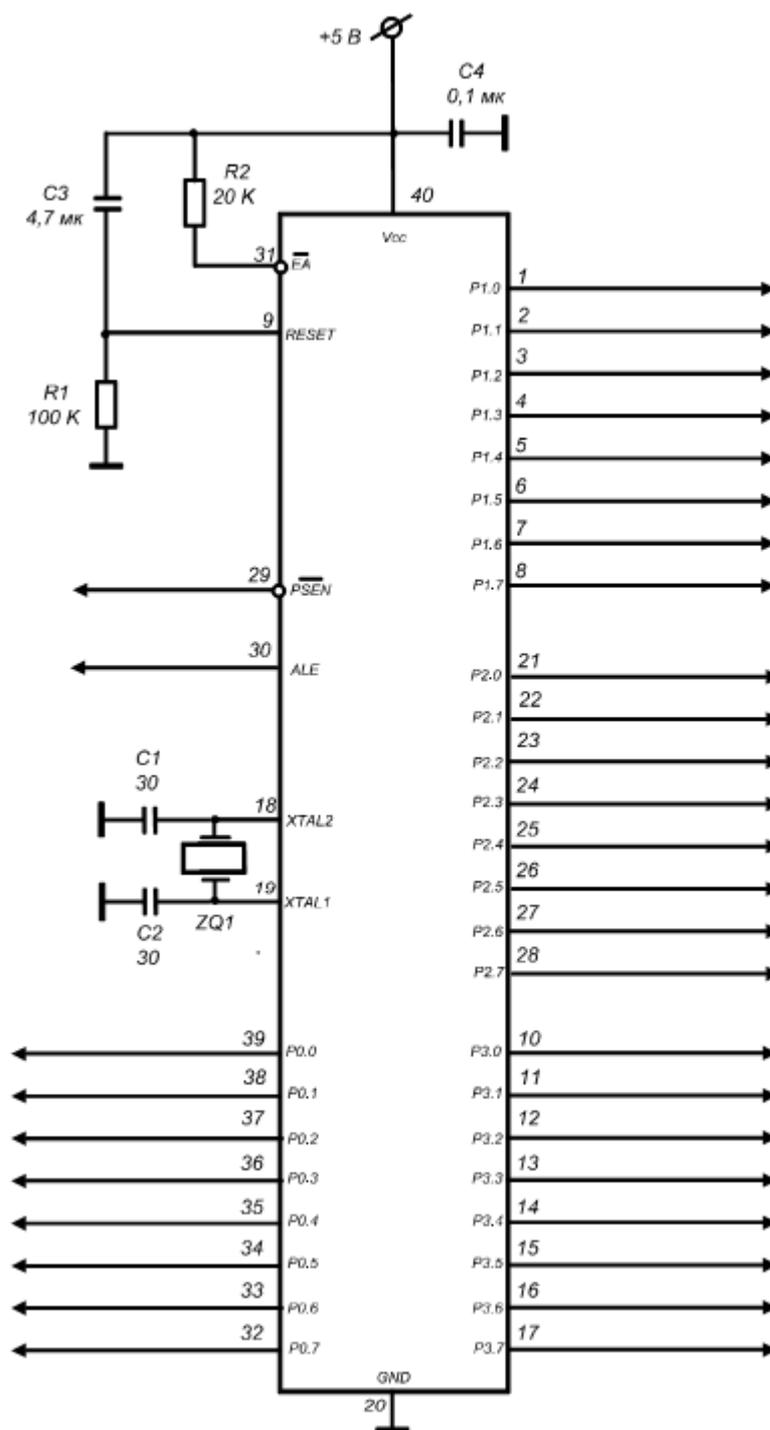


Рисунок 2.3 – Стандартна схема включення МК

Ніжка 20 – GND (земля). Вона з'єднується із загальним дротом. Ніжка 40 (V_{CC}) – з шиною живлення (+3.5 V). До ніжок 18 (XTAL2) і 19 (XTAL1) підключається кварцовий резонатор. Найбільш часто використовувані кварці на 11,0592 МГц і 12 МГц, хоча на практиці МК сімейства x51 працюють з кварцями і з нижчими частотами (наприклад, 1 МГц), і з вищими. Для стабільнішого запуску виводи кварцового резонатора сполучені із загальним дро-

том через конденсатори C1 і C2 ємкістю від 15 до 30 пФ. У англomовній літературі ніжки мікросхем називаються пінами (pin – шпилька, шпилька, цвях, болт, штифт).

Ніжка 9 – це вхід RESET, або СКИДАННЯ. Одиничний рівень на цьому вході протягом декількох десятків періодів тактового генератора наводить до скидання в початковий стан регістрів мікропроцесора і на початок виконання програми з нульової адреси. Скидання обов'язкове при подачі напруги живлення на мікроконтролер. З цією метою вхід RESET сполучають з шиною живлення через конденсатор C3 ємкістю декількома мікрофарадами і із загальним дротом – через резистор R1 опором порядку сотня кілоом. У момент включення живлення конденсатор розряджений, і вхід скидання виявляється під потенціалом, близьким до Vcc. Не дивлячись на зниження цього потенціалу унаслідок заряду C3 протягом декількох десятків мілісекунд рівень сигналу на вході скидання залишається одиничним, і здійснюється коректний запуск мікроконтролера.

Наступний важливий вхід – EA, ніжка 31. Якщо на нього подана логічна одиниця, то МК працює з вже згадуваною пам'яттю програм, розташованою на кристалі. Нуль на вході EA змусить мікроконтролер виконувати програму із зовнішньої пам'яті (таке можливе). Про те, як організовується зв'язок між МК і додатковою мікросхемою, що містить цю зовнішню пам'ять.

На ніжці 30 (ALE) зазвичай присутня безперервна послідовність прямокутних імпульсів з частотою в 6 разів нижче, ніж в кварцового резонатора, сполученого з ніжками 18 і 19. Для 12-мегагерцового кварцу вона складе 2 МГц. У цій послідовності тривалість одиниці на ніжці ALE приблизно удвічі нижче за тривалість нуля, тобто шпаруватість складає 33%. Цей сигнал можна використовувати для тактування мікросхем, які вимагають для роботи зовнішнє джерело тактового сигналу.

Ніжка 29 (PSEN) використовується при підключенні до МК зовнішньої пам'яті.

Що залишилися 32 ніжки – це лінії введення/виведення інформації. Вони згруповані по вісім в чотири так звані порти введення/виведення (P0, P1, P2 і P3). Кожна лінія будь-якого з них може використовуватися або як вхід, або як вихід, незалежно від використання останніх ліній. Для цього їх крайові каскади виконані відповідним чином. На рисунку 2.4 приведена спрощена схема однієї з ліній введення/виведення порта P1.

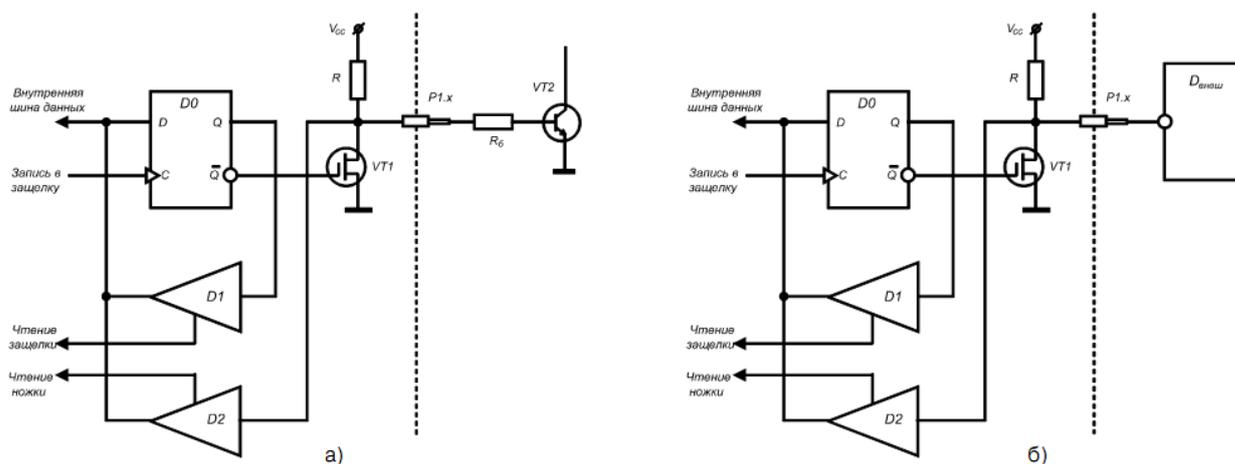


Рисунок 2.4 – Режими введення/виведення інформації по виводах портів P0, P1, P2, P3

Як видно з рисунку 2.4 а, ніжка мікросхеми P1.x сполучена із стоком вихідного польового транзистора VT1, “підтягнутого” до потенціалу живлення за допомогою внутрішнього резистора навантаження R. Одночасно з цією ж ніжкою мікросхеми сполучений вхід буфера введення D2. Якщо ми приєднаємо до цієї ніжки мікросхеми через резистор R6 базу зовнішнього транзистора VT2, то заносючи в тригер - клямку D0 логічні 1 або 0, ми відкриватимемо або закриватимемо VT2, реалізуюючи таким чином вибрану лінію як лінію виведення інформації.

Використання лінії як лінії введення інформації ілюструється на рисунку 2.4 б. Ніжка мікроконтролера (вхід буфера D2) сполучені з виходом мікросхеми D_{зовнішн.} стан якого ми хочемо проаналізувати (іншими словами, “ввести” його в МК або “прочитати”). Але перш, ніж читати вміст буфера D2, необхідно закрити транзистор VT1, записавши в тригер D0 цієї лінії одиницю.

За схемою, приведеною на рисунку 2.4, виконані лінії портів P1, P2 і P3. Порт P0 оформлений трохи інакше – стік його транзистора VT1 замість звичайного резистора навантаження сполучений з динамічним навантаженням (джерелом струму). Це зроблено для того, щоб лінії порту P0 при занесенні в їх тригери-защипки одиниць опинялися в високоімпедансному стані, який характеризується дуже високим вихідним опором. У останньому ж функціонуванні ліній порту P0 схоже на роботу ліній останніх трьох портів.

2.3 Організація пам'яті

Максимально можлива ємність пам'яті з прямою адресацією визначається кількістю розрядів шини адреси. Більшість 8-розрядних процесорів (i8080, i8085, Z80, Motorola 6800) мають 16-розрядну шину адрес, тобто дозволяють адресувати $2^{16} = 64$ Кбайт пам'яті.

Мікропроцесори з 8-розрядною шиною даних мають чотири режими адресації операндів:

1. Пряма адресація. У цьому режимі другий та третій байти команд містять адресу операнда.

2. Регістрова адресація. У мнемоніці команди вказується позначення РЗП, у якому знаходиться операнд.

3. Безпосередня адресація. У цьому режимі в команді вказується 8- або 16-бітовий операнд у другому або у другому та третьому байтах команди.

Операнд у цьому випадку знаходиться у пам'яті програм.

4. Непряма регістрова адресація. У команді вказується регістр (або пара регістрів), який містить адресу комірки пам'яті.

2.4 Організація введення-виведення інформації

8-розрядні МП мають можливість передати або прийняти дані із зовнішніх ПВВ. Пристрої введення-виведення з'єднуються із системною шиною МП системи за допомогою портів введення-виведення, які являють собою 8-

розрядні регістри зі схемами вибірки та керування читанням/записом. Кількість таких пристроїв визначається можливим діапазоном 8-розрядних адрес портів, тобто $2^8 = 256$ портів введення і 256 портів виведення. Як порти введення можуть бути використані буферні регістри, наприклад: KP580IP82, KP589IP12 або інтерфейс введення-виведення паралельної інформації KP580BB55.

Введення або виведення даних може здійснюватися двома способами: з використанням окремого адресного простору ПВВ; з використанням спільного з пам'яттю адресного простору, тобто з відображенням на пам'ять.

Перший спосіб дозволяє виконувати введення і виведення даних за командами введення IN та виведення OUT. Використання другого способу передбачає розміщення адрес портів у спільному з пам'яттю адресному просторі. При цьому операції звернення до портів не відрізняються від операцій звернення до пам'яті.

2.5 Виконання команд у МП і8080

Кожна команда у МП виконується протягом командного циклу. Командний цикл складається із циклу вибірки команди та циклу виконання команди (рис. 2.5).

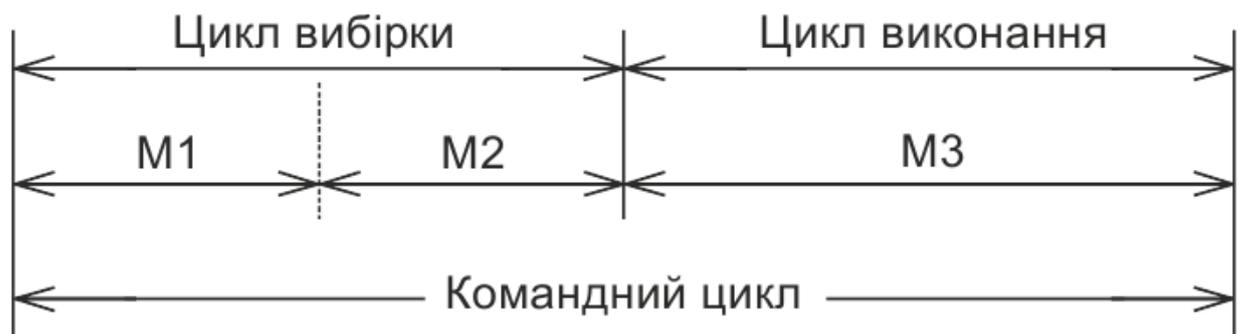


Рисунок 2.5. Приклад командного циклу 8-розрядного МП

Тривалість циклу вибірки команди залежить від формату команди (кількості байтів у машинному коді команди). Команди займають від одного до трьох байтів у програмній пам'яті. Багатобайтові команди зберігаються в сусідніх комірках пам'яті. Для вибірки однобайтової команди (наприклад, до-

давання акумулятора А і регістра В - ADD В) потрібне одне звернення до пам'яті, для вибірки трьохбайтової команди (наприклад, виклику підпрограми за адресою ADDR - CALL ADDR) - три звернення. Тривалість циклу виконання команди залежить від засобу адресації операндів. Так, при виконанні команд з регістровою адресацією не потрібне додаткове звернення до пам'яті для читання операнда, у командах з непрямою адресацією таке звернення не-обхідне. Тому тривалість командного циклу в МП і8080 є різною для різних команд і визначається кількістю звернень до пам'яті або до зовнішнього пристрою.

Інтервал, протягом якого здійснюється одне звернення процесора до пам'яті чи до зовнішнього пристрою, визначається як машинний цикл М. Отже, командний цикл процесора складається з деякої кількості машинних циклів (залежно від типу команди). У наведеному на рисунку 2.5 прикладі цикл вибірки складається з двох машинних циклів (М1 і М2), а цикл виконання - з одного машинного циклу (М3). У команді може бути від одного (для однобайтових команд з регістровою адресацією) до п'яти (для трьохбайтових складних команд) машинних циклів.

Машинний цикл, у свою чергу, розбивається на деяку кількість машинних тактів Т, протягом кожного з яких виконується елементарна дія (мікрооперація) у процесорі. Кількість тактів у циклі визначається кодом команди і знаходиться у межах від 3 до 5. Тривалість такту задається періодом імпульсів синхронізації і визначається як інтервал часу між фронтами двох сусідніх імпульсів послідовності F1, яка формується зовнішніми ланцюгами. Отже, командний цикл МП і8080 складається з деякої кількості машинних циклів, а кожний машинний цикл - з визначеної кількості тактів, протягом яких виконуються ті чи інші елементарні дії у процесорі.

Для синхронізації процесора з пам'яттю та зовнішніми пристроями, які характеризуються меншою швидкістю, для організації роботи в режимі ПДП та зупину процесора передбачено три особливі режими: очікування, за-

хоплення шин, зупину, тривалість яких має довільне, але завжди кратне тривалості такту T значення.

Розрізняють такі типи машинних циклів залежно від дій, які виконує МП:

ВИБІРКА (читання першого байта команди);

ЧИТАННЯ ПАМ'ЯТІ (читання другого та третього байтів команди, читання операнда);

ЗАПИС У ПАМ'ЯТЬ;

ЧИТАННЯ СТЕКА;

ЗАПИС У СТЕК;

ВВЕДЕННЯ даних із зовнішнього пристрою;

ВИВЕДЕННЯ даних на зовнішній пристрій;

ПЕРЕРИВАННЯ;

ЗУПИН;

ПЕРЕРИВАННЯ ПРИ ЗУПИНІ.

Першим машинним циклом команди завжди є цикл ВИБІРКА, протягом якого здійснюється вибірка з пам'яті байта коду команди за адресою, що визначається вмістом вказівника команд. Вміст вказівника у циклі збільшується на одиницю. Однобайтові команди з реєстровою адресацією потребують для виконання лише одного циклу ВИБІРКА.

Для вибірки двох- або трьохбайтових команд, крім циклу ВИБІРКА, потрібні ще один або два машинні цикли для читання другого або другого і третього байтів команди. Ці цикли визначаються як цикли ЧИТАННЯ ПАМ'ЯТІ. Цикл ЧИТАННЯ ПАМ'ЯТІ потрібний також для вибірки операнда при виконанні команд з непрямою або прямою адресацією. Для запису операндів або зберігання адрес при виконанні відповідних команд пересилок потрібні машинні цикли ЗАПИС У ПАМ'ЯТЬ.

У командах із зверненням до стека виконуються цикли ЧИТАННЯ СТЕКА та ЗАПИС У СТЕК. Адреси пам'яті визначаються вказівником стека SP . Для виконання команд введення-виведення виконуються машинні цикли

ВВЕДЕННЯ та ВИВЕДЕННЯ; для організації переривань програми та зупину процесора - цикли ПЕРЕРИВАННЯ, ЗУПИН, ПЕРЕРИВАННЯ ПРИ ЗУПИНІ.

Кожний машинний цикл процесора ідентифікується байтом, який називається байтом стану. Байт стану видається на шину даних на початку кожного машинного циклу і супроводжується одночасним видаванням сигналу SYNC на однойменний контакт ВІС МП. Байт стану несе інформацію про наступні дії процесора. Його можна запам'ятати за сигналом SYNC і сформувати такі керувальні сигнали, які не вдалося вивести у явному вигляді на контакти ВІС МП (через обмежену кількість контактів мікросхеми). Байти стану для процесора і8080 наведено в таблиці 2.1.

Таблиця 2.1 - Байти стану для різних типів машинних циклів

Розряд шини даних	Тип машинного циклу									
	ВИБІРКА	ЧИТАННЯ ПАМ'ЯТІ	ЗАПИС У ПАМ'ЯТЬ	ЧИТАННЯ СТЕКА	ЗАПИС У СТЕК	ВВЕДЕННЯ	ВИВЕДЕННЯ	ПЕРЕРИВАННЯ	ЗУПИН	ПЕРЕРИВАННЯ ПРИ ЗУПИНІ
D0	0	0	0	0	0	0	0	1	0	1
D1	1	1	0	1	0	1	0	1	1	1
D2	0	0	0	1	1	0	0	0	0	0
D3	0	0	0	0	0	0	0	0	1	1
D4	0	0	0	0	0	0	1	0	0	0
D5	1	0	0	0	0	0	0	1	0	1
D6	0	0	0	0	0	1	0	0	0	0
D7	1	1	0	1	0	0	0	0	1	0

Часову діаграму машинного циклу ВИБІРКА (ЧИТАННЯ ПАМ'ЯТІ) для процесора і8080 показано на рисунку 2.6, а циклу ЗАПИС У ПАМ'ЯТЬ - на рисунку 2.7. Такти підраховуються за передніми фронтами послідовності F1, а мікрооперації в кожному такті визначаються переднім фронтом сигналу F2. При тактовій частоті 2 МГц тривалість такту дорівнює 0,5 мкс. Сигнали на лініях шин A15-A0 (D7-D0) зображено на рисунку 2.6 на одній часовій діаграмі у вигляді ліній L- та H-рівнів одночасно.

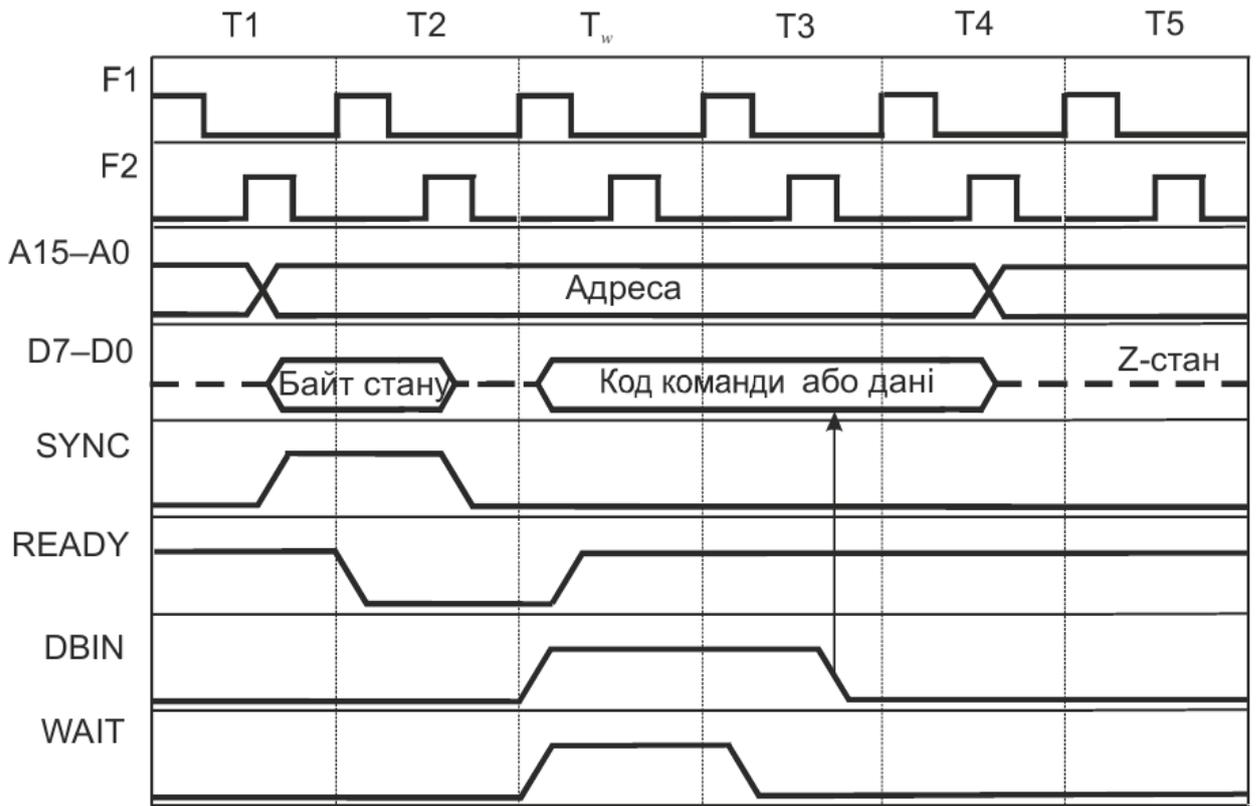


Рисунок 2.6 - Цикл ВИБІРКА та ЧИТАННЯ ПАМ'ЯТІ

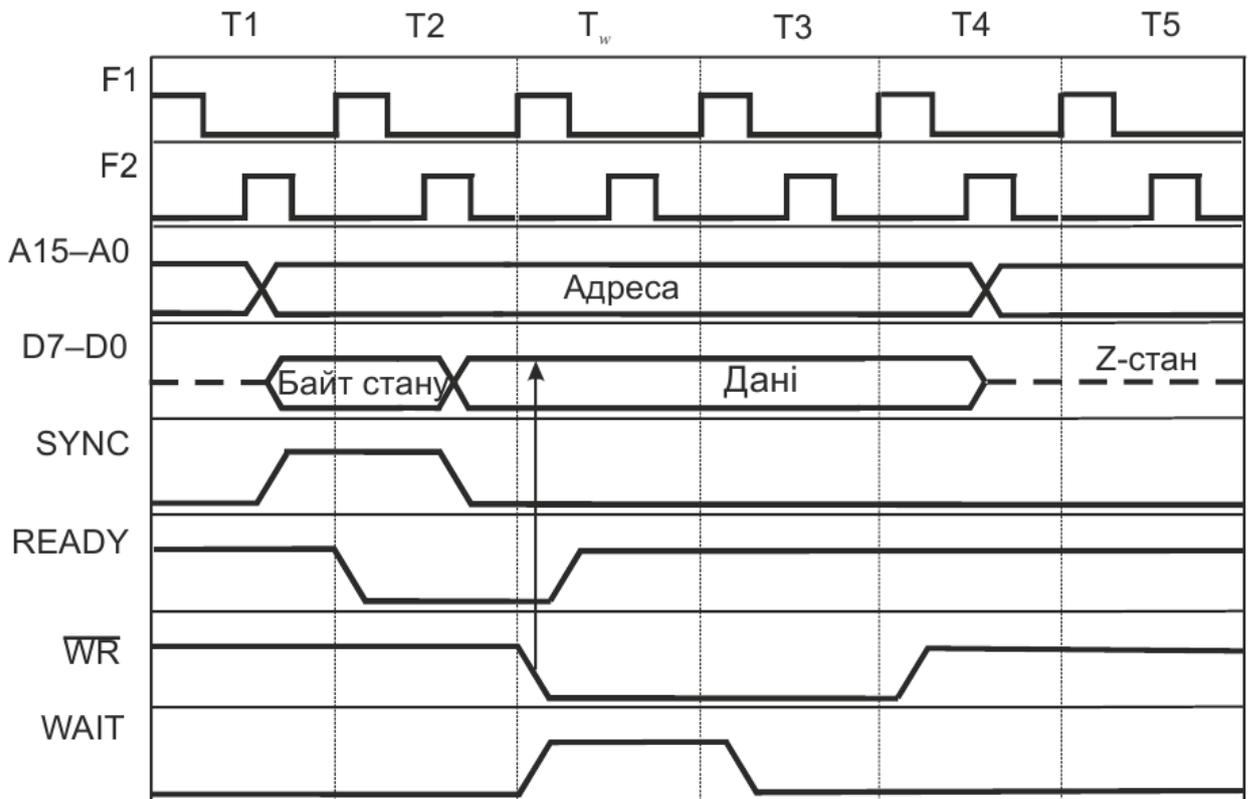


Рисунок 2.7 - Цикл ЗАПИС У ПАМ'ЯТЬ

Отже, на діаграмі вказано лише тип інформації, наявної на шині, наприклад, встановлення на шині значення адреси або даних. Пунктирною лінією позначено високоімпедансний стан ліній шин (Z-стан).

У першому машинному такті T1 на шину адреси (лінії A15-A0) видається адреса - вміст вказівника команд IP (якщо виконується цикл ВИБІРКА) або вміст вказівника адреси (якщо виконується цикл ЧИТАННЯ ПАМ'ЯТІ). Водночас на шину даних (лінії D7-D0) видається байт стану, а також формується сигнал SYNC на однойменному контакті ВІС МП.

У другому такті T2 закінчується надходження байта стану і сигналу SYNC, тривалість яких дорівнює одному такту. У машинному циклі ВИБІРКА вміст IP збільшується для адресації наступного байта команди або наступної команди. У цьому ж такті пристрій керування МП здійснює аналіз сигналів на входах READY і HOLD, а також контроль виконання команди зупини HLT. Якщо пам'ять або зовнішній пристрій не готові до обміну (READY = 0), оскільки надійшов запит ПДП (HOLD = 1) або виконується команда зупини HLT, то обмін даними здійснюватися не може, і процесор переходить в один із режимів - очікування, захоплення шин або зупину. У цих режимах здійснюється очікування сигналу протягом декількох тактів очікування Tw, кількість яких визначається зовнішніми сигналами. На рисунку 2.6 у такті T2 сигнал READY дорівнює логічному нулю, а у такті Tw - логічній одиниці.

У такті T3 залежно від типу машинного циклу здійснюється звернення до пам'яті, стека або зовнішнього пристрою. У результаті в МП вводиться (рис. 2.6) або з нього виводиться (рис. 2.7) байт команди, адреси або даних. Залежно від типу команди машинний цикл може містити такти T4 і T5 (наприклад, якщо для виконання команди потрібна обробка операндів). В останньому такті команди (T3, T4 або T5) аналізується наявність сигналу запиту переривання INT.

Якщо переривання дозволено, то процесор переходить до машинного циклу ПЕРЕРИВАННЯ.

Як приклад розглянемо виконання команди ADD B за мікроопераціями. Команда містить один машинний цикл ВИБІРКА, який виконується за чотири такти, а потрібна для виконання команди мікрооперація п'ятого такту виконується в такті T2 наступної команди. На рисунку 2.8, а - д показано дії МП у кожному такті машинного циклу.

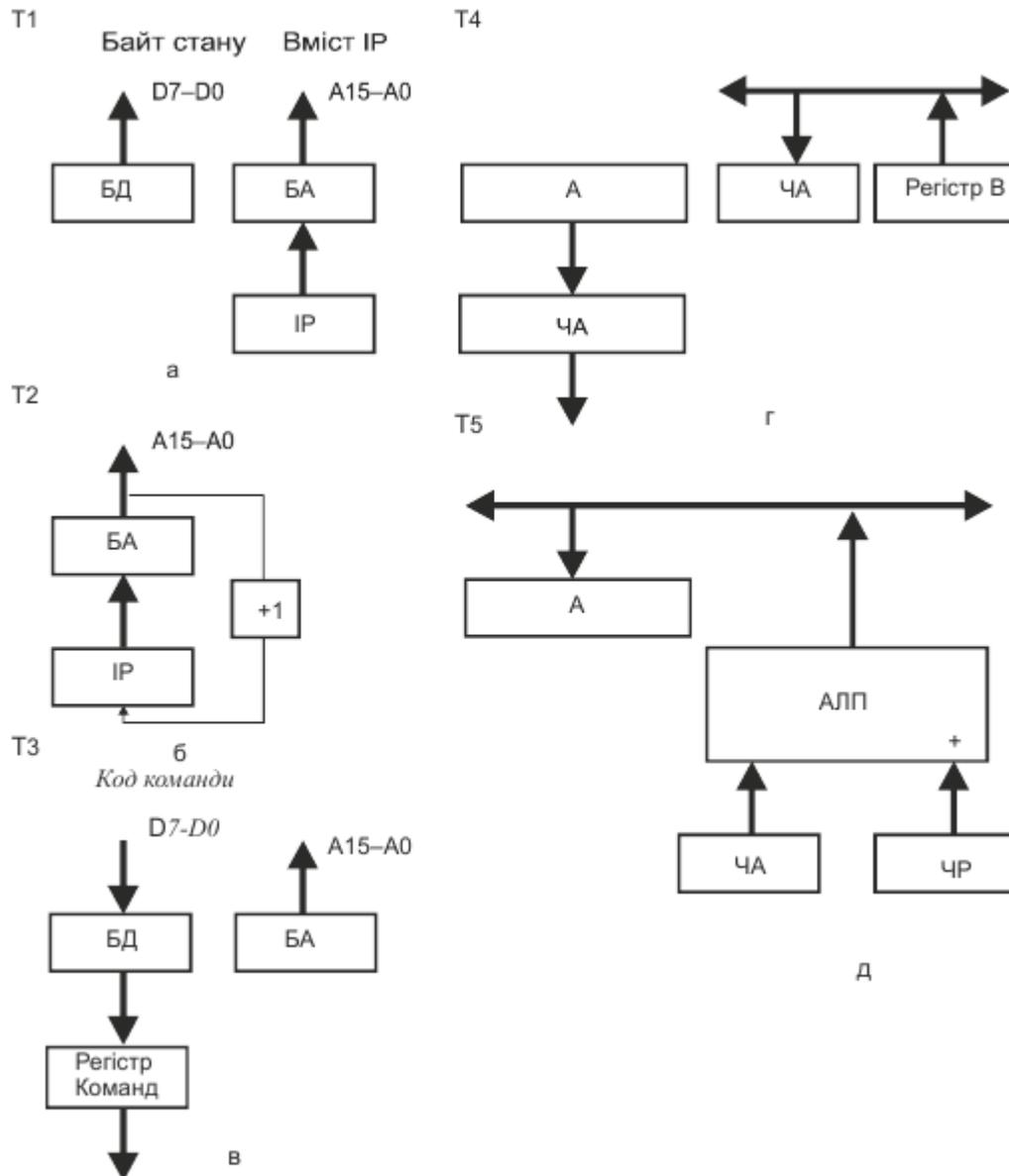


Рисунок 2.8 - Виконання команди ADD B за мікроопераціями: а, б, в, г, д - T1, T2, T3, T4, T5 відповідно

У такті T1 (рис. 2.8, а) на шину адреси видається вміст вказівника команд IP, який у такті T2 (рис. 2.8, б) збільшується на одиницю для адресації наступної команди. Команда вибирається з пам'яті у такті T3 (рис. 2.8, в). У

такті T4 (рис. 2.8, г) здійснюється підготовка операндів до додавання: вміст регістра В по внутрішній шині пересилається в часовий регістр, а вміст акумулятора А - у регістр - часовий акумулятор. У п'ятому такті, суміщеному з тактом T2 наступної команди для збільшення швидкодії, виконується додавання операндів. Результат додавання запам'ятовується в акумуляторі.