

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного  
забезпечення*

## **Лабораторна робота №4**

з дисципліни Комп'ютерна електроніка

**Статична ОЗП з двовимірною адресацією**

Студента (ки) 4 курсу, групи \_\_\_\_\_

\_\_\_\_\_  
(прізвище та ініціали)

Викладач \_\_\_\_\_ Верьовкін Л.Л. \_\_\_\_\_

\_\_\_\_\_  
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала \_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка: ECTS \_\_\_\_\_

м. Запоріжжя – 202\_ рік

Мета роботи: дослідження принципів побудови та функціонування статичних ОЗП з двовимірною адресацією.

#### **4.1 Короткі теоретичні відомості**

Оперативна пам'ять – це робоча область для процесора комп'ютера. У ній під час роботи зберігаються програми і дані. Оперативна пам'ять часто розглядається як тимчасове сховище, тому що дані і програми в ній зберігаються лише при включеному комп'ютері або до натиснення кнопки скидання (reset). Перед виключенням або натисненням кнопки скидання всі дані, піддані змінам під час роботи, необхідно зберегти на запам'ятовувальному пристрої, який може зберігати інформацію постійно (звичайно це жорсткий диск). При новому включенні живлення збережена інформація знов може бути завантажена в пам'ять.

Статична оперативна пам'ять (Static RAM – SRAM), не вимагає постійного оновлення даних. Дані зберігаються в оперативній пам'яті лише при включеному живленні. SRAM має вищу швидкодію, ніж динамічна оперативна пам'ять, і може працювати на тій же частоті, що і сучасні процесори.

В порівнянні з динамічною оперативною пам'яттю швидкодія SRAM набагато вища, але щільність її набагато нижча, а ціна досить висока. Нижча щільність означає, що мікросхеми SRAM мають великі габарити, хоча їх інформаційна ємкість набагато менша. Велике число транзисторів і кластеризоване їх розміщення не лише збільшує габарити мікросхем SRAM, але і значно підвищує вартість технологічного процесу в порівнянні з аналогічними параметрами для мікросхем DRAM.

В узагальнюючому алгоритмі побудови блоків пам'яті заданої структури можна виділити наступні етапи.

1. У відповідності з розрядністю мікросхеми визначається число ліній адресної шини, які підводяться до кожної мікросхеми, незалежно від варіанту їх поєднань.

2. Визначається варіант задачі:

- а) при нарощуванні розрядності мікросхеми під'єднуються паралельно;
- б) при нарощенні об'єму мікросхеми під'єднуються послідовно;
- в) при нарощенні розрядності і об'єму одночасно, мікросхеми об'єднуються в групи і потім кожна група включається послідовно при нарощенні об'єму.

3. Побудова дешифратора, для реалізації якого аналізуються усі незадіяні лінії шини адрес і можуть бути використані будь-які логічні елементи. Обов'язковою умовою є наявність сигналу низького рівня, який подається на відповідну мікросхему, або групу мікросхем. При побудові дешифраторів необхідно використовувати мінімальне число логічних елементів.

4. Згідно до схеми дешифрації визначається діапазон адрес області пам'яті. Існує багато способів класифікаційних ознак для ВІС ЗП:

За способами зберігання інформації ВІС ЗП поділяються на статичні та динамічні. В статичних елементах, комірка (запам'ятовувач) бі-стабільний елемент – тригер. Фізичний стан, якого під час звертання не змінюється (руйнується). В якості запам'ятовувача в динамічних ОЗП використовується конденсатори, для регенерації значення в них використовуються спеціальні схеми.

За організаційним принципом ВІС ЗП поділяється на одно розрядні та багато розрядні.

За функціональною ознакою ЗП поділяються на 2 класи: оперативні та постійні.

Оперативні допускають зчитування і запис інформації майже за однаковий час.

ОЗП є енергозалежні, які зберігають інформацію лише у випадку наявності напруги живлення і енергозалежності. ОЗП поділяються на 3 основних типи:

- середньої місткості, помірної швидкодії;
- високої швидкодії (над оперативні ОЗП);
- великої місткості.

## 4.2 Моделювання статичних ОЗП з двовимірною адресацією

При необхідності побітового запису/зчитування інформації використовують структурну організацію пам'яті у вигляді двовимірного масиву-матриці  $A \times B$  з комірками пам'яті (КП), які можна вибирати на перетині відповідних рядків і стовпців. Простий D-тригер не дозволяє зробити такого цілеспрямованого вибору. Логіку роботи КП треба видозмінити так, щоб вона дозволяла проводити незалежно ці операції.

На рисунку 4.1 показаний варіант організації відповідних ліній і комірки пам'яті з номером 0. Крім логіки вибору комірки забезпечені індивідуальною індикацією їх станів і інформації, яка виводиться. Адреса конкретної комірки в масиві  $4 \times 4$  задається ключами [0], [1] - для вибору номера рядка (від A0 до A3) через дешифратор DCA і ключами [2] і [3] - для вибору номера стовпця (від B0 до B3) через дешифратор DCB. Сигнал дозволу запису/читання (W/R - Write/Read) подається ключем [Space].

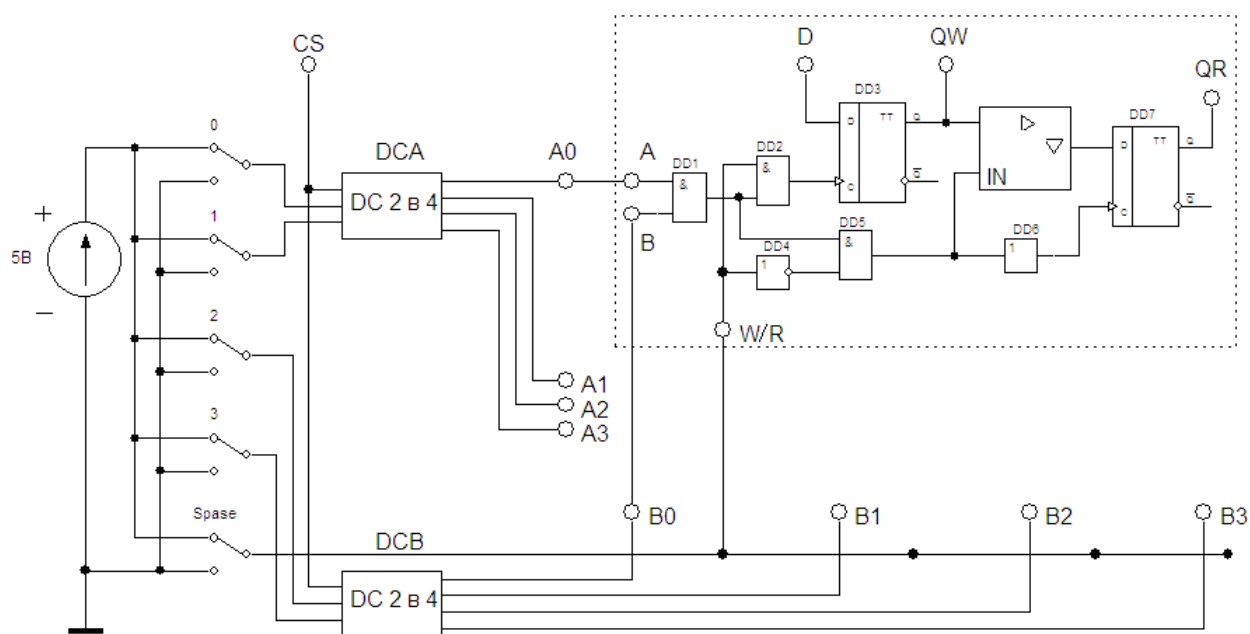


Рисунок 4.1 - Варіант організації відповідних ліній і комірки пам'яті з номером 0

Цю комірку оформимо як базову КП і назвемо по-англійськи BSC (Bit Storage Cell – двійкова запам'ятовувальна комірка), представивши її у вигляді субблоку (рис. 4.2).

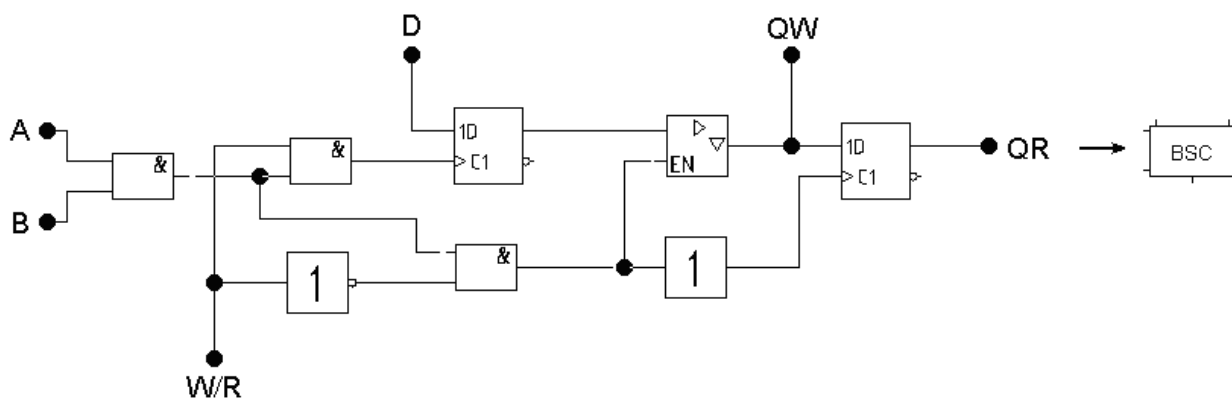


Рисунок 4.2 - BSC– двійкова запам'ятовувальна комірка, представлена у вигляді субблоку

Перевіримо функціонування елемента Tri-state Buffer (елемент з дозволом спрацювання) (рис. 4.3).

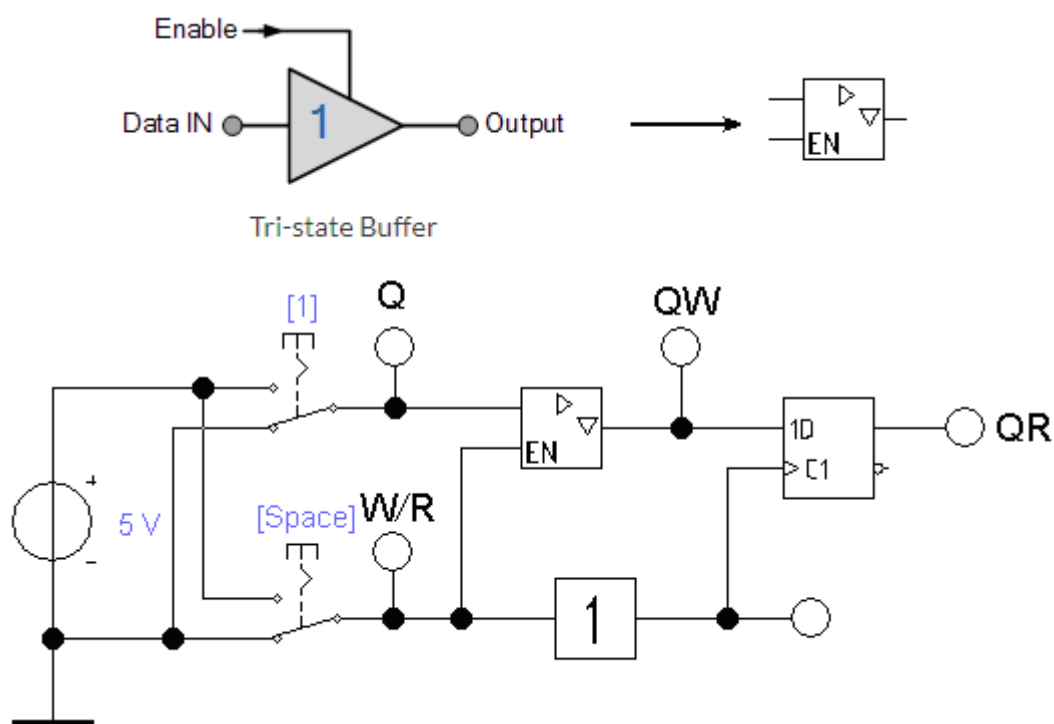


Рисунок 4.3 – Аналіз функціонування елемента Tri-state Buffer

Користуючись цими заготовками, зберемо SRAM з двовимірною адресцією (рис. 4.4). Тут на дисплеї показується номер вибраної комірки. В даному випадку це 7 (рахунок йде з нуля), тобто при вибраній системі нумерації це КП з адресою А3В2. Індикатори, що горять, на цій комірці показують, що в комірці зберігається одиниця, і вона була виведена для читання.

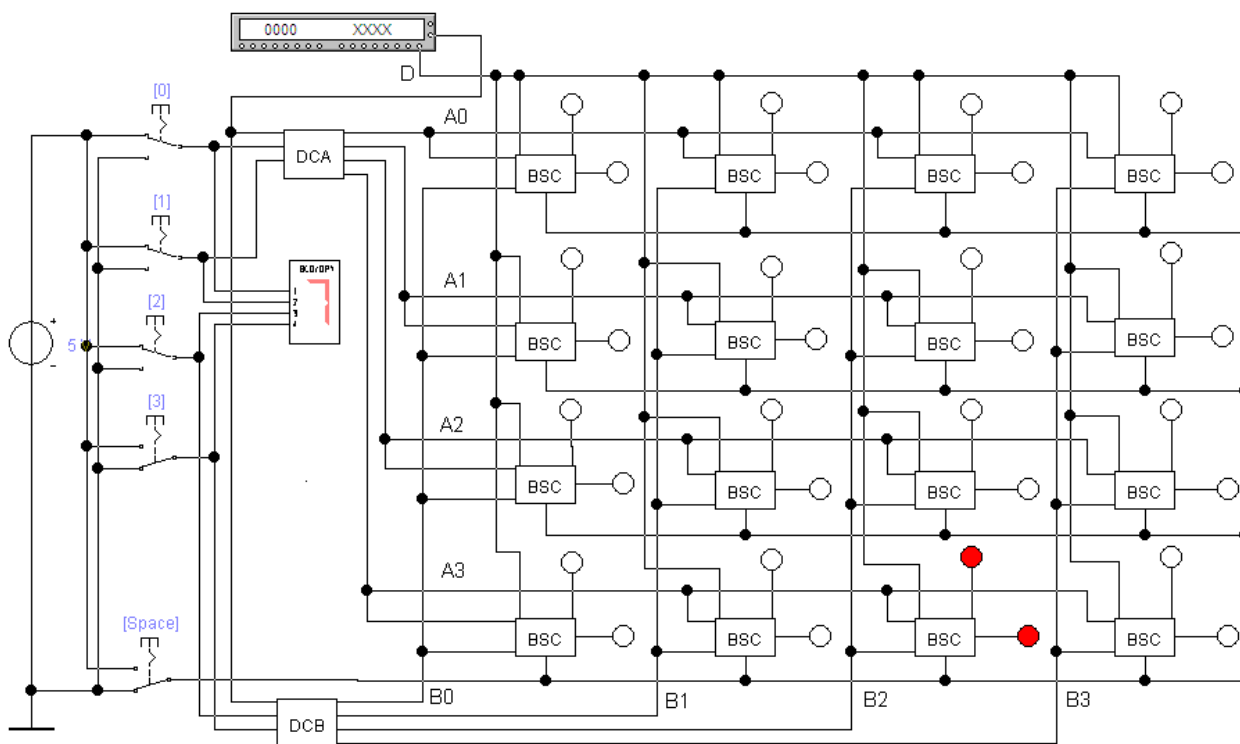


Рисунок 4.4 - Логічна структура ОЗП з двовимірною адресацією

### 3.3 Завдання і порядок виконання роботи

Дослідження оперативно запам'ятовуючого пристрою з двовимірною адресацією.

1. Привести аналіз функціонування, схемне моделювання та аналіз функціонування розроблених субблоків BSC (рис. 4.6).
2. Побудувати віртуальну лабораторну установку для дослідження моделі ОЗП з двовимірною адресацією (рис. 4.4) використовуючи розроблені субблоки.
3. Запустити установку на моделювання та провести дослідження ОЗП.
4. Результати досліджень роботи ОЗП з двовимірною адресацією занести в звіт та зробити аналітичні висновки.

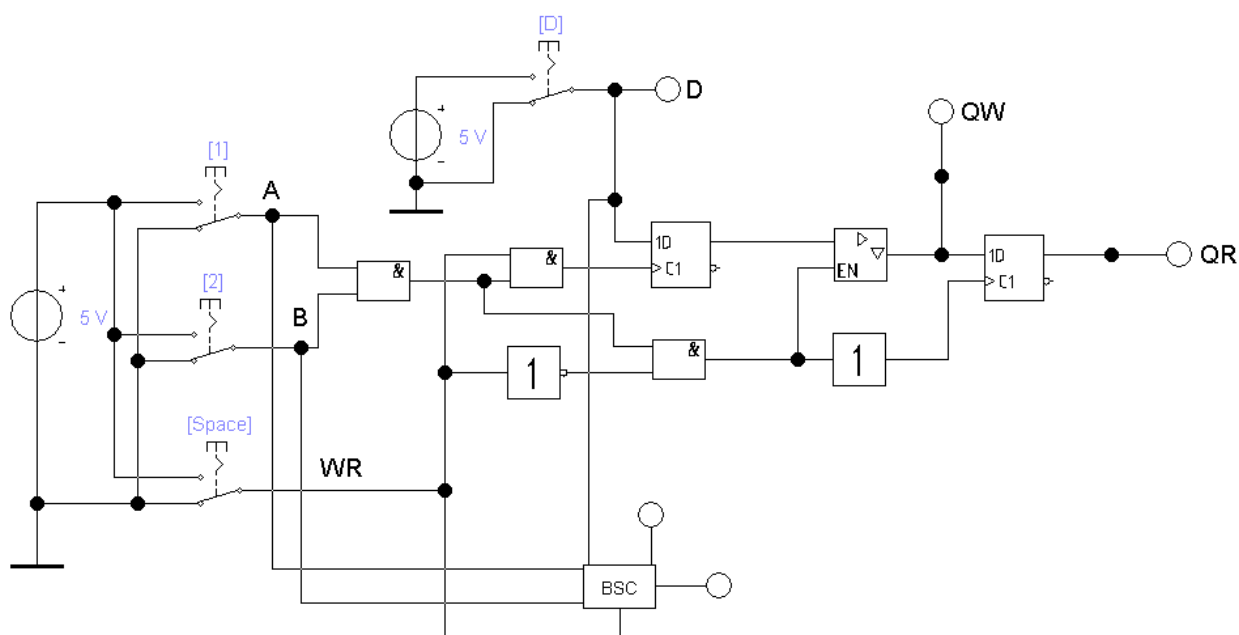


Рисунок 4.6 - Моделювання та аналіз функціонування субблоків BSC

### Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенький В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Задерейко О. В., Логінова Н. І., Трофименко О. Г., Троянський О. В., Толокнов А. А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с.

URL: <https://hdl.handle.net/11300/14473>