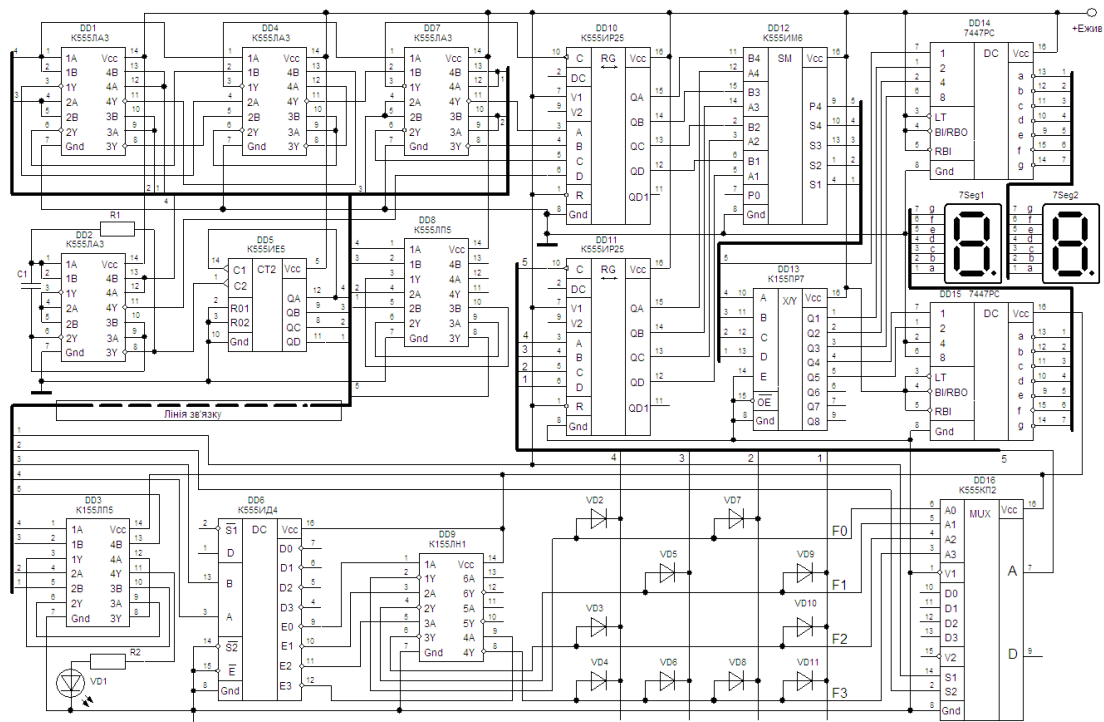


Міністерство освіти і науки України  
Інженерний навчально-науковий інститут ім. Ю. М. Потєбні  
Запорізького національного університету

Верьовкін Л. Л., Світанько М. В.

**ЦИФРОВА СХЕМОТЕХНІКА**

Методичні рекомендації до курсового проєкту на тему  
«Розробка цифрової мікроелектронної системи»,  
для здобувачів вищої освіти першого бакалаврського рівня  
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної  
програми «Мікро- та наносистемна техніка»



Міністерство освіти і науки України  
Інженерний навчально-науковий інститут ім. Ю. М. Потєбні  
Запорізького національного університету

Верьовкін Л. Л., Світанько М. В.

## **ЦИФРОВА СХЕМОТЕХНІКА**

Методичні рекомендації до курсового проєкту на тему  
«Розробка цифрової мікроелектронної системи»,  
для здобувачів вищої освіти першого бакалаврського рівня  
за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної  
програми «Мікро- та наносистемна техніка»

Затверджено  
вченою радою ЗНУ  
Протокол №  
від

Запоріжжя

2023

УДК 621.38 (075)

В

Верьовкін Л. Л., Світанько М. В. Цифрова схемотехніка: Методичні рекомендації до курсового проєкту на тему «Розробка цифрової мікроелектронної системи», для здобувачів вищої освіти першого бакалаврського рівня за спеціальністю 153 «Мікро- та наносистемна техніка» освітньо-професійної програми «Мікро- та наносистемна техніка». Запоріжжя : ЗНУ, 2023. 50 с.

Методичні рекомендації до курсового проєкту з дисципліни «Цифрова схемотехніка» розроблено для студентів денної та заочної форм навчання спеціальності «Мікро- та наносистемна техніка». Запропоновані завдання варіантів курсового проєкту призначенні для освоєння теоретичного матеріалу, опанування навичок вирішення задач цифрових мікроелектронних систем обробки інформації.

Рецензент

*В. Л. Коваленко*, доктор технічних наук, професор, завідувач кафедри електричної інженерії та кіберфізичних систем

Відповідальний за випуск

*Т. В. Критська*, доктор технічних наук, професор, завідувач кафедри електроніки, мікроелектронних систем та програмного забезпечення.

## Зміст

|   |    |
|---|----|
| Вступ .....   | 4  |
| 1 Методичні вказівки до виконання курсового проєкту .....                                       | 7  |
| 1.1 Синтез цифрового пристрою комбінаційного типу .....   | 7  |
| 1.2 Перетворювачі кодів .....   | 8  |
| 1.3 Контроль правильності проходження сигналу .....   | 8  |
| 1.4 Постійний запам'ятовувальний пристрій .....   | 9  |
| 1.5 Інтегральний дешифратор .....   | 9  |
| 1.6 Інтегральний мультиплексор .....  | 9  |
| 1.7 Схема генератора імпульсів .....  | 10 |
| 1.8 Цифровий пристрій послідовнісного типу .....  | 10 |
| 1.9 Буферний регістр .....  | 11 |
| 1.10 Цифровий операційний пристрій .....  | 12 |
| 1.11 Пристрій відображення інформації .....   | 12 |
| 2 Варіанти завдань та рекомендації до виконання розрахункової частини курсового проєкту .....   | 13 |
| 2.1 Варіанти тем літературного огляду .....   | 13 |
| 2.2 Варіанти розрахункової частини курсового проєкту .....                                      | 13 |
| 2.2.1 Цифровий пристрій комбінаційного типу (А) .....   | 13 |
| 2.2.2 Перетворювач коду (Б) .....   | 15 |
| 2.2.3 Постійний запам'ятовувальний пристрій 4×4 з кодуванням матриці (В) .....                  | 15 |
| 2.2.4 Цифровий пристрій послідовнісного типу (Г) .....  | 15 |
| 2.2.5 Цифровий операційний пристрій (Д) .....   | 15 |
| 2.2.6 Типові функціональні вузли цифрової мікроелектронної системи ....                         | 16 |
| 3 Приклад розв'язання завдань курсового проєкту .....   | 18 |
| 3.1 Розробка цифрового пристрою комбінаційного типу .....                                       | 19 |
| 3.2 Розробка перетворювача двійкового коду у зворотний код .....                                | 21 |
| 3.3 Розробка схеми контролю правильності проходження сигналу .....                              | 23 |
| 3.4 Розробка постійного запам'ятовувального пристрою .....                                      | 24 |
| 3.5 Розробка двійкового асинхронного підсумовуючого лічильника з послідовним перенесенням ..... | 27 |
| 3.6 Вибір схеми генератора імпульсів .....  | 29 |
| 3.7 Розробка схеми буферного регістра .....   | 30 |
| 3.8 Розробка чотирьохрозрядного суматора з послідовним перенесенням..                           | 31 |
| 3.9 Розробка пристрою відображення інформації .....   | 33 |
| 3.10 Розробка загальної схеми цифрової мікроелектронної системи .....                           | 37 |
| Висновки .....  | 39 |
| Література .....  | 40 |
| Додатки .....   | 40 |
|   | 41 |

## Вступ

**Метою** викладання дисципліни «Цифрова схемотехніка» є надання студентам повної уяви про елементну базу, принципи функціонування, характеристики і схемотехніку сучасних нано- та мікроелектронних систем і мікросхем.

Основними **завданнями** вивчення дисципліни «Цифрова схемотехніка» є: ознайомлення студентів з принципами використання алгебри логіки при побудові електронних схем, розрахунком та застосуванням приладів комбінаційного та послідовнісного типів; знання особливостей застосування цифрових мікроелектронних систем; вміння практично застосовувати елементи пам'яті різних функціональних ознак.

У результаті вивчення навчальної дисципліни студент повинен

**знати:**

- логічні та арифметичні основи цифрової схемотехніки;
- елементну базу статичних цифрових мікросхем;
- принципи побудови пристроїв комбінаційного типу;
- принципи побудови пристроїв послідовнісного типу;
- організацію схемотехніки запам'ятовуючих пристроїв.

**Вміти:**

- виконувати логічний синтез цифрових пристроїв;
- розраховувати схемотехніку пристроїв комбінаційного типу;
- розраховувати схемотехніку пристроїв послідовнісного типу;
- виконувати аналіз схем з метою їх спрощення та удосконалення.

Згідно з вимогами освітньо-професійної програми студенти повинні досягти таких **компетентностей**:

- ЗК1. Здатність до абстрактного мислення, аналізу та синтезу.
- ЗК2. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.
- ЗК3. Здатність до використання інформаційних і комунікаційних технологій.
- ЗК4. Здатність спілкуватися іноземними мовами.
- ЗК5. Здатність використовувати іноземну мову для здійснення науково-технічної діяльності.
- ЗК6. Здатність приймати обґрунтовані рішення.
- ЗК7. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.
- ЗК10. Навички здійснення безпечної діяльності.
- ЗК11. Здатність працювати автономно та в команді.
- ЗК12. Визначеність і наполегливість щодо поставлених завдань і взятих обов'язків.
- СК1. Здатність використовувати знання і розуміння наукових фактів, концепцій, теорій, принципів і методів для проектування та застосування мікро- та наносистемної техніки.

- СК2. Здатність застосовувати існуючі та розробляти нові методи, методики, технології та процедури для вирішення інженерних завдань мікро- та наносистемної техніки.
- СК3. Здатність використовувати математичні принципи і методи для проектування та застосування мікро- та наносистемної техніки.
- СК4. Здатність застосовувати відповідні наукові та інженерні методи, сучасні інформаційні технології і комп'ютерне програмне забезпечення, комп'ютерні мережі, бази даних та Інтернет-ресурси для розв'язання професійних задач в галузі мікро- та наносистемної техніки.
- СК5. Здатність ідентифікувати, класифікувати, оцінювати і описувати процеси у мікро- та наносистемній техніці за допомогою побудови і аналізу їх фізичних і математичних моделей.
- СК6. Здатність застосовувати творчий та інноваційний потенціал в синтезі інженерних рішень і в розробці конструктивних елементів геліоенергетики, приладів фізичного та біомедичного призначення.
- СК7. Здатність розв'язувати інженерні задачі в галузі мікро- та наносистемної техніки з урахуванням всіх аспектів розробки, проектування, виробництва, експлуатації та модернізації.
- СК8. Здатність визначати та оцінювати характеристики та параметри матеріалів мікро- та наносистемної техніки, аналогових та цифрових електронних пристроїв, мікропроцесорних систем.
- СК9. Здатність застосовувати на практиці галузеві стандарти та стандарти якості щодо мікро- та наносистемної техніки.
- СК10. Здатність досліджувати та визначити проблему і ідентифікувати обмеження, включаючи ті, що пов'язані з проблемами охорони природи, сталого розвитку, здоров'я і безпеки та оцінками ризиків в мікро- та наносистемній техніці.
- СК11. Здатність розуміти і враховувати соціальні, екологічні, етичні, економічні та комерційні міркування, що впливають на реалізацію технічних рішень в мікро- та наносистемній техніці.

Методичні рекомендації містять теоретичні відомості до кожної теми, яка розглядається у змістових модулях і використовується для вирішення питань варіантів, приклад виконання завдання та додатковий матеріал до курсового проекту з дисципліни «Цифрова схемотехніка».

Курсовий проект оформлюється у вигляді пояснювальної записки обсягом 40 – 50 сторінок і графічного матеріалу на 2 аркушах формату А3.

Курсовий проект складається з наступних частин: титульний лист, лист завдань, реферат, зміст, вступ, літературний огляд, розрахункова частина, висновки, перелік посилань.

Літературний огляд виконується по заданій темі, відповідно до варіанту.

Розрахункова частина являється типовою для усіх варіантів курсового проекту і відповідає загальній структурній схемі. Окремі функціональні вузли розраховуються згідно з варіантом.

Розрахунково – пояснювальна записка повинна бути надрукована. Текст друкується на одному боці аркуша білого паперу формату А4 (210×297 мм) шрифтом Times New Roman, кегль 14 пт, міжрядковий інтервал – 1,5, абзацний відступ дорівнює п'яти знакам. Можна також використовувати папір форматів у межах від 203×288 до 210×297 мм і подавати таблиці та ілюстрації на аркушах формату А3. Текст роботи необхідно друкувати, залишаючи поля таких розмірів: ліве – 20 мм, праве – 20 мм, верхнє – 20 мм, нижнє – 20 мм. Нумерація сторінок проставляється зверху сторінки у центрі.

Заголовки структурних частин та підрозділів друкують маленькими літерами (крім першої великої) в один і той же спосіб. Симетрично до тексту. Крапку в кінці заголовків і підзаголовків не ставлять. Відступ між заголовком розділу (підрозділу) і наступним або попереднім текстом має бути не менше подвійного інтервалу. Кожен розділ починається з нової сторінки. Підрозділи (параграфи) повинні мати назви, які відповідають їх змісту. Підрозділи можуть включати пункти та підпункти.

Ілюстрації позначають словом «Рисунок» і нумерують послідовно в межах розділу; їх номер складається з номера розділу і порядкового номера ілюстрації, між якими ставиться крапка. Наприкінці номера крапка не ставиться, а ставиться тире і далі з великої літери друкується назва рисунка. Крапку в кінці назви рисунка не ставлять. Назву ілюстрації друкують с абзацу, нижче рисунка, через подвійний інтервал.

Номер таблиці складається з номера розділу і порядкового номера таблиці, між якими ставиться крапка. Наприкінці номера крапка не ставиться, а ставиться тире і далі з великої літери друкується назва таблиці. Крапку в кінці назви таблиці не ставлять. Назву таблиці друкують с абзацу, зверху таблиці через подвійний інтервал.

Формули, якщо їх більше однієї, нумерують у межах розділу. Номер формули складається з номера розділу і порядкового номера формули, між якими ставиться крапка. Наприкінці номера крапка не ставиться. Номер формули пишуть у круглих дужках.

При написанні роботи автор зобов'язаний в усіх її частинах і розділах, включно з ілюстраціями і таблицями, посилатися на першоджерело, з якого представлені ці матеріали. Порухення цих вимог може призвести до кваліфікації дій автора як плагіату. Посилання в тексті роботи на джерело слід зазначати порядковим номером за переліком посилань. Номер джерела ставиться у квадратних дужках, наприклад: [7], [9-15], [6, 18].

Для позитивної оцінки розрахунки та схеми повинні бути виконані у повному обсязі, згідно з рішеннями і рекомендаціями наведеними у представленому у методичних рекомендаціях прикладі.

Приклад оформлення титульного листа та завдання до курсового проєкту у додатку Б.

Приклади оформлення реферату, змісту, схем та діаграм, таблиць, літератури у додатку В.

## 1 Методичні вказівки до виконання курсового проекту

### 1.1 Синтез цифрового пристрою комбінаційного типу

Послідовність операцій при синтезі цифрового пристрою комбінаційного типу.

1. Складання таблиці істинності комбінаційного цифрового пристрою згідно його визначення, призначення, словесного опису принципу роботи (*задана варіантом*).

Таблиця істинності містить усі  $2^k$  ( $k$  – кількість логічних змінних) можливих наборів значень логічних змінних і значення функції, які відповідають кожному з наборів.

2. Складання логічної функції згідно таблиці істинності.

Аби здійснити перехід від табличного представлення до алгебраїчного, кожному набору змінних ставиться у відповідність мінтерм або макстерм.

Мінтерм (конституента одиниці) – кон'юнкція всіх змінних, які входять в прямому вигляді, якщо значення даної змінної в наборі дорівнює 1, або в інверсному вигляді – якщо значення змінної дорівнює 0.

Таке представлення функції називається її досконалою диз'юнктивною нормальною формою (ДДНФ).

Макстерм (конституента 0) – диз'юнкція всіх змінних, які входять в прямому вигляді, якщо значення даної змінної дорівнює 0, або в інверсному вигляді, якщо, значення змінної дорівнює 1.

Таке представлення функції називається її досконалою кон'юнктивною нормальною формою (ДКНФ).

3. Спрощення логічної функції.

Структурні функції, отримані у вигляді ДДНФ і ДКНФ, у більшості випадків не сприяють побудові найбільш простих функціональних схем логічних пристроїв. Процес знаходження виразів, які виконують ту ж саму логічну функцію, що і попередньо задана, але для реалізації яких потребується менша кількість елементів, і складає принцип методу мінімізації. Мінімізація здійснюється з використанням основних співвідношень, законів і теорем алгебри логіки.

При відносно невеликому числі змінних ( $k \leq 6$ ) вельми зручним і наочним є графічне представлення логічних функцій у вигляді так званих карт мінтермів. Найбільш розповсюдженою їх формою є карти Карно. У результаті отримуються МДНФ або МКНФ логічних функцій.

4. Запис мінімізованої логічної функції у заданому логічному базисі.

Запис в базисі І-НЕ: над правою частиною отриманої формули ставиться два знаки інверсії і за допомогою теореми де Моргана здійснюється перехід в базис І-НЕ.

Запис в базисі АБО-НЕ: над правою частиною отриманої формули проставляються два знаки інверсії, і за допомогою теореми де Моргана здійснюється перехід в базис АБО-НЕ.

5. Побудова функціональної схеми заданого комбінаційного цифрового пристрою.



Логічні операції між елементами мінімізованої логічної функції у заданому логічному базисі замінюються логічними елементами І-НЕ, АБО-НЕ, урахувавши операції інверсії над змінними.

6. Аналіз функціонування розробленої схеми в програмному застосуванні Electronics Workbench.

На наборному полі програмного застосування Electronics Workbench будується функціональна схема комбінаційного цифрового пристрою, задаються відповідні режими функціонування, проміжні точки контролю

7. Побудова схеми електричної принципової заданого комбінаційного цифрового пристрою.

Логічні елементи функціональної схеми замінюються на реальні елементи заданої варіантом серії мікросхем.

## 1.2 Перетворювачі кодів

Операція зміни коду числа називається його перекодуванням. Інтегральні мікросхеми, які виконують ці операції, називаються перетворювачами коду (ПК). Перетворювачі коду бувають прості і складні. До простих відносяться перетворювачі, які виконують стандартні операції зміни коду чисел, наприклад, перетворень двійкового коду в десятковий або зворотню операцію. Складні перетворювачі коду виконують нестандартні перетворення коду і їх схеми доводиться розробляти кожен раз за допомогою алгебри логіки.

По своїй структурі перетворювачі коду являються дешифраторами, тільки вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах.

Перетворювачі коду можуть бути ваговими і не ваговими. Вагові ПК перетворюють інформацію з однієї системи числення в іншу. Основне призначення не вагових – перетворення інформації для її подальшого відображення. Інтегральні мікросхеми перетворювачів коду випускаються лише для найбільш поширених операцій: перетворювачі двійково-десятькового коду в двійковий код; перетворювачі двійкового коду в двійково-десятьковий код; перетворювачі двійкового коду в код Грея; перетворювачі двійкового коду в код управління сегментними індикаторами.

## 1.3 Контроль правильності проходження сигналу

Схема контролю парності застосовується для виявлення одиночних помилок, викликаних перешкодами в лінії зв'язку або в блоках пам'яті. Метод заснований на підрахунку числа одиниць в переданих в лінію або переданих в пам'ять на зберігання порції інформації, причому, якщо число одиниць парне – функція парності P(Parity) дорівнює нулю.

Нехай по n-провідній лінії зв'язку передається паралельний двійковий код  $x(n-1), x(n-2), \dots, x_1, x_0$ , а приймається код  $x'(n-1), x'(n-2), \dots, x'_1, x'_0$ .

Тоді величина  $P_1 = x_0 \oplus x_1 \oplus \dots \oplus x(n-1)$ . На приймальному кінці лінії зв'язку  $P_2 = x'_0 \oplus x'_1 \oplus \dots \oplus x'(n-1) \oplus P_1$ . Підставляючи в останню формулу вираз для  $P_1$  і групуємо змінні в однойменні пари, отримаємо:  $P_2 = (x_0 \oplus x'_0)$

$\oplus (x_1 \oplus x'_1) \oplus (x_2 \oplus x'_2) \oplus \dots$  З останнього виразу виходить, що якщо передача пройшла без спотворень, то  $x_i = x'_i$  та  $x_i \oplus x'_i = 0$ , а  $P_2 = 0$ . При спотворенні одного і в загальному випадку непарного числа біт функція  $P_2 = 1$ . Аналогічно протікає процес контролю і при послідовній передачі по одній лінії зв'язку  $n$ -біт інформаційних сигналів і одного біта парності.

#### 1.4 Постійний запам'ятовувальний пристрій

Запис інформації в постійний запам'ятовувальний пристрій (ПЗП) виконується або один раз і назавжди, або є спеціальною, рідко використовуваною операцією. Тому ПЗП допускають лише зчитування занесеної до них інформації. У постійному запам'ятовувальному пристрої, за кожною  $n$ -розрядною адресою записано одне заздалегідь встановлене  $m$ -розрядне слово. Таким чином, ПЗП є комбінаційною схемою, яка перетворює код адреси в код слова.

Запам'ятовувальна матриця ПЗП представляє собою систему взаємно перпендикулярних шин, в пересіченнях яких або стоїть (логічна «1»), або відсутній (логічний «0») елемент (діод), що зв'язує між собою відповідні горизонтальну і вертикальну шини.

Вибірка слів виконується за допомогою дешифратора. Сканування слова виконується за допомогою мультиплектора.

#### 1.5 Інтегральний дешифратор

Дешифратор (ДШ) – пристрій комбінаційного типу, який дозволяє визначити код вхідного числа по одиночному сигналу на одному з виходів. Дешифратори широко застосовуються в пристроях управління, в системах цифрової індикації, для побудови розподільників імпульсів по різних колах і т. д. Дешифратор, в якого число виходів  $2^n$ , де  $n$  – число входів, називається повним.

Активним рівнем сигналу на прямих входах/виходах буде 1, а на інверсних – 0. Можливі комбінації прямих і інверсних входів і виходів дешифраторів.

Дешифратор доповнюється входом дозволу виходів ОЕ.

#### 1.6 Інтегральний мультиплексор

Мультиплексор – пристрій комбінаційного типу, який має  $n$ - адресних входів,  $N = 2^n$  інформаційних входів, один вихід і здійснює керувану комутацію інформації, яка поступає по  $N$  вхідним лініям, на одну вихідну лінію. Комутація певної вхідної лінії відбувається відповідно до двійкового адресного коду. Якщо адресний код має  $n$  – розрядів, то можна здійснити  $N = 2^n$  комбінацій адресних сигналів, кожна з яких забезпечить підключення однієї з  $N$  вхідних ліній до вихідної лінії. Такий мультиплексор називають « $N$  в один». За наявності надлишкових комбінацій адресних сигналів можна спроектувати мультиплексор з будь-яким числом вхідних ліній  $N \leq 2^n$ .

Мультиплексор «4 в 1 має 4 інформаційних входа і  $\log_2 4 = 2$  адресних входа. Якщо є вхід дозволу виходу ОЕ, то «0» на цьому вході повинен перевести вихід в пасивний стан.

### 1.7 Схема генератора імпульсів

Генератор імпульсів призначений для узгодження роботи всіх вузлів цифрової мікроелектронної системи.

Широка зміна частоти імпульсів (близько 50 тисяч разів), що генеруються, забезпечує генератор, зібраний за схемою, яка представлена на рисунку 1.1. Мінімальна частота імпульсів тут близько 0,25 Гц. Тривалість імпульсів регулюється резистором R1. Частоту дотримання можна визначити по формулі:

$$f = \frac{1}{2} R1C1,$$

де  $f$  – частота, Гц;  $R1$  – опір, Ом;  $C1$  – ємність, Ф.

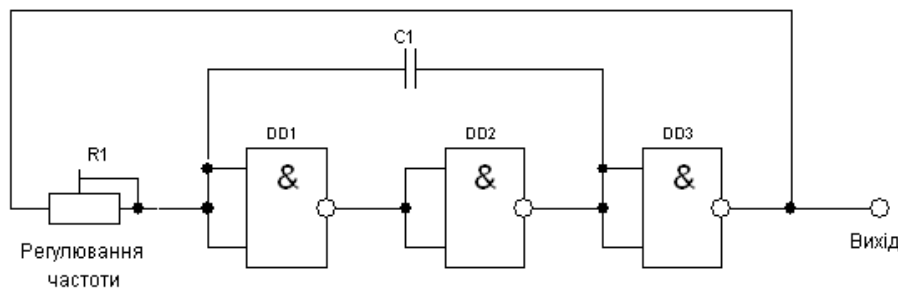


Рисунок 1.1 – Схема генератора імпульсів

### 1.8 Цифровий пристрій послідовнісного типу

Цифрові пристрої послідовнісного типу або цифрові автомати з пам'яттю – це електронні цифрові пристрої, логічні значення на виходах яких визначаються не лише сукупністю логічних сигналів на входах в даний момент часу, але і станом внутрішніх елементів пам'яті за результатами його попередньої роботи. Запам'ятовування попередніх станів виконується за допомогою тригерів і регістрів пам'яті. Функції переходу і виходів можуть задаватися у формі таблиць або за допомогою графів. При завданні у вигляді графів стани автомата представляють вершинами, а переходи із стану в стан – дугами. На дугах вказуються значення вхідних сигналів, що викликають відповідні переходи. Вихідні сигнали не визначаються вхідними в один і той же момент часу:  $y^{(t)} \neq f(x^{(t)})$ .

Тригер – це пристрій послідовнісного типу з двома стійкими станами, призначений для запису і зберігання інформації. Під дією вхідних сигналів тригер може перемикатися з одного стійкого стану в інший. При цьому напруження на його виході стрибкоподібно змінюється.

Лічильником називається пристрій послідовнісного типу, призначений для підрахунку числа імпульсів, що поступають на його вхід, і фіксації цього числа у вигляді коду, що зберігається в тригерах.

Лічильники – це цифрові автомати, внутрішні стани яких визначаються лише кількістю сигналів «1», що прийшли на вхід. Сигнали «0» не змінюють їх внутрішні стани.

За наявності тактового входу  $C$  тригер називають синхронним, а при його відсутності – асинхронним. Сигнали керування на асинхронний тригер

впливають безпосередньо з початком своєї появи на входах, а в синхронних – лише з приходом сигналу на вхід С.

За способом організації внутрішніх зв'язків лічильники можуть бути: з послідовним перенесенням, з паралельним перенесенням, з комбінованим перенесенням, кільцеві.

Окрім основної функції – рахунку імпульсів, лічильник забезпечує ділення частоти дотримання імпульсів.

Для підвищення швидкодії лічильники виконуються синхронними з паралельним перенесенням (або паралельні). Їх особливість полягає в тому, що виходи всіх попередніх розрядів з'єднуються з входами тригера подальшого розряду, тому тривалість перехідного процесу визначається лише тривалістю перехідного процесу одного розряду і не залежить від кількості тригерів. Звідси випливає, що паралельні лічильники – синхронні.

Послідовнісні пристрої – генератори чисел називають також розподільниками сигналів, оскільки послідовність двійкових чисел на їх виходах використовується для управління роботою інших цифрових вузлів. Число станів генератора називається довжиною послідовності чисел  $L_n$ , яка дорівнює кількості тактів, після якої послідовність чисел на виході генератора повторюється. По своїй структурі генератори чисел близькі або до лічильників, або до регістрів. Будь-який лічильник можна вважати генератором послідовності чисел, яка має  $L_n = K_{\text{рах.}}$ . Як правило, необхідне число розрядів генератора дорівнює числу двійкових розрядів  $m$  в числах, які генеруються. Якщо  $m > \log_2 L_n$ , то для зменшення числа використовуваних тригерів, структура генераторів змінюється. В цьому випадку генератор доцільніше будувати у вигляді лічильника з модулем рахунку  $K_{\text{рах.}} = L_n$  і підключеною до його виходів комбінаційною схемою, яка синтезує необхідні значення двійкових чисел послідовності.

Синтез структури генераторів послідовностей на регістрах зсуву в першу чергу полягає в знаходженні вигляду функцій входів. Відповідно до схеми регістра зсуву, на вхід подається періодична послідовність інформаційних «0» і «1».

## 1.9 Буферний регістр

Цифрові регістри – це пристрої, призначені для зберігання і перетворення багаторозрядних двійкових чисел. Тригери – запам'ятовувальні елементи регістрів. Їх кількість дорівнює розрядності чисел, що зберігаються. Окрім тригерів регістри містять також комбінаційні схеми, призначені для введення і виведення чисел, що зберігаються, перетворення їх кодів, зсування кодів на те або інше число розрядів. Інформація в регістрах зберігається, як правило, протягом деякої кількості тактів.

Паралельні регістри – це пристрої, призначені для запису, зберігання і надання інформації, представленої у вигляді двійкового коду. Для зберігання кожного двійкового розряду в регістрі використовується одна тригерна комірка. Для запам'ятовування багаторозрядних слів необхідне число тригерів об'єднують разом і розглядають як єдиний функціональний вузол – регістр.

Запис інформації в паралельні регістри здійснюється паралельним кодом, тобто у всі розряди регістра одночасно. Їх функція зводиться лише до прийому, зберігання і передачі інформації. У зв'язку з цим паралельні регістри називають регістрами пам'яті.

### 1.10 Цифровий операційний пристрій

Будь-який цифровий обчислювач, у тому числі і арифметичний логічний пристрій (АЛП), може бути представлений композицією операційного і керуючого пристроїв. У операційному пристрої виконуються арифметико-логічні операції. У математичних моделях АЛП операційний пристрій представлений операційним автоматом.

Дискретна техніка оперує класом пристроїв, призначення яких полягає у виконанні арифметичних дій з двійковими числами. Особливість арифметичних пристроїв полягає в тому, що сигналам приписуються не логічні, а арифметичні значення 1 і 0 і дії над ними підлягають законам двійкової арифметики. Для опису їх роботи також зручно користуватися таблицями істинності. Найважливіша з арифметичних операцій – складання (підсумовування). Окрім прямого призначення вона використовується і при інших операціях: віднімання – це складання, в якому від'ємник перетворюється в зворотний, а потім в додатковий код, а множення і ділення – це послідовне складання і віднімання. До арифметичних пристроїв відносять також вузли, які виконують спеціальні операції: порівняння двох чисел і визначення паритету.

Суматори призначені для арифметичного складання двох чисел. З принципу складання багаторозрядних двійкових чисел виходить, що в кожному  $i$ -розряді знаходиться сума  $S$  трьох чисел по модулю два: доданків  $A_i$ ,  $B_i$  і перенесення, яке надійшло із молодшого розряду  $P_i$ , та формується сигнал перенесення в старший розряд  $P_{i+1}$ .

Суматори за принципом дії підрозділяються на комбінаційні і накопичувальні. Розрізняють суматори паралельної дії і послідовної дії.

Цифрові компаратори призначені для порівняння багаторозрядних чисел. При порівнянні багаторозрядних чисел використовують метод суперпозиції, тобто розбивають основне завдання на підзадачі. Алгоритм такий – спочатку порівнюють значення старших розрядів; якщо вони різні, то ці розряди і визначають результат порівняння. Якщо ж вони рівні, то необхідно порівнювати наступні за ним більш молодші розряди і так далі.

### 1.11 Пристрій відображення інформації

Перетворювач двійкового коду в код управління семисегментними світлодіодними індикаторами повинен мати по чотири входи для молодшого та старшого розрядів, оскільки для кодування десяткових цифр від 0 до 9 вистачає чотирьох двійкових розрядів, і сім виходів, поодиночі на кожен сегмент. Для відображення цифрової інформації в мікроелектронних системах застосовуються різні індикатори. Найбільшого поширення набули світлодіодні індикатори призначені для відображення інформації у вигляді цифр, літер і різних символів.

## 2 Варіанти завдань та рекомендації до виконання розрахункової частини курсового проекту

### 2.1 Варіанти тем літературного огляду

1. Принцип побудови інтегрального лінійного дешифратора.
2. Елементи ДТЛ логіки.
3. Принцип побудови інтегрального пірамідального дешифратора.
4. Елементи ТТЛ логіки
5. Принцип побудови інтегрального шифратора.
6. Елементи І<sup>2</sup>Л логіки.
7. Принцип побудови інтегрального суматора.
8. Елементи ЕСЛ логіки.
9. Принцип побудови інтегрального мультиплексора.
10. Елементи МДН логіки.
11. Принцип побудови інтегрального демультимплексора
12. Елементи КМДН логіки.
13. Принцип побудови інтегральних регістрів.
14. Паралельні регістри на тактованих тригерах.
15. Послідовний регістри на тактованих тригерах.
16. Інтегральні лічильники
17. Кільцевий лічильник з регістра зсуву.
18. Генератори цифрових імпульсів.
19. Оперативні запам'ятовувальні пристрої.
20. Постійні запам'ятовувальні пристрої.

### 2.2 Варіанти розрахункової частини курсового проекту

Згідно з варіантами завдання цифрова мікроелектронна система складається з функціональних вузлів, розрахунок, аналіз функціонування і побудова яких виконується відповідно до матеріалу розглянутому у лекційному курсі, на лабораторних та практичних заняттях та підсумкових контрольних роботах.

Структурна схема цифрової мікроелектронної системи містить наступні функціональні вузли (рис. 2.1).

#### 2.2.1 Цифровий пристрій комбінаційного типу (А)

Умови роботи комбінаційного цифрового пристрою, який має чотири входи (А, В, С, D) і один вихід F, задані таблицею істинності (табл. 2.1), де номер варіанта визнається порядковим номером студента в журналі.

Потрібно синтезувати функціональну логічну схему пристрою в базисі Шеффера I-НЕ (для непарних варіантів) і в базисі Пірса АБО-НЕ (для парних варіантів), застосовуючи методи мінімізації заданої логічної функції за допомогою алгебраїчних перетворень і з використанням карт Карно.

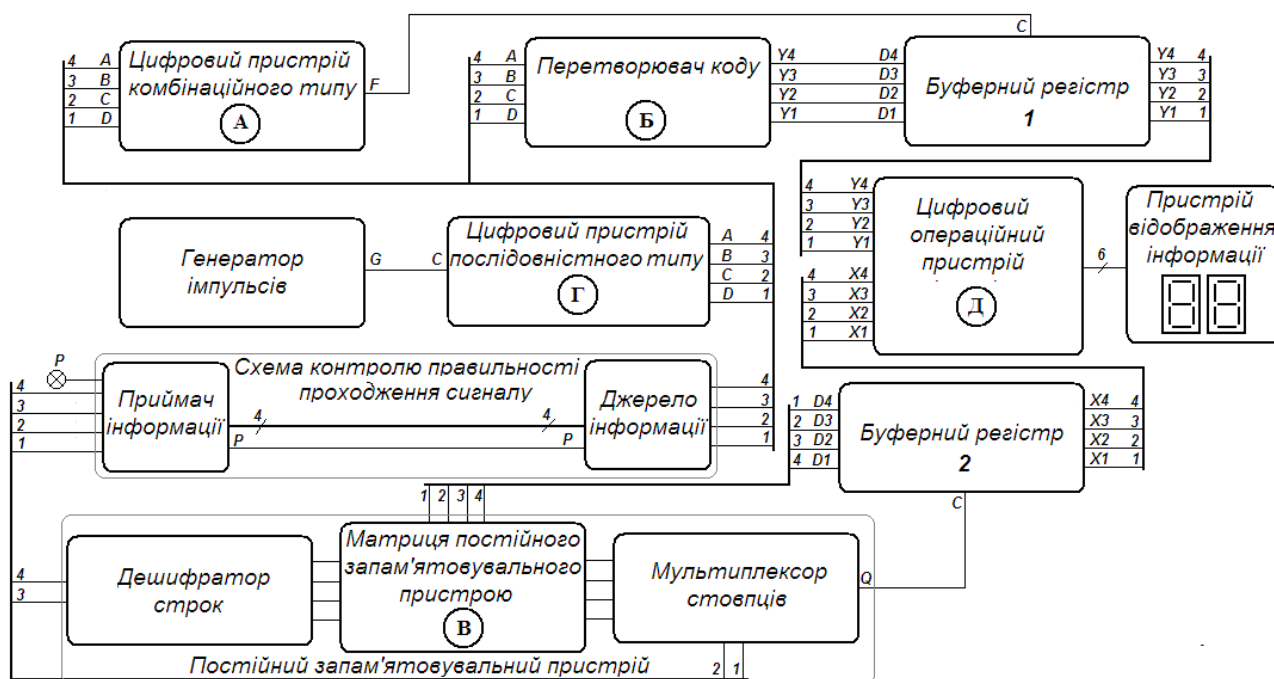


Рисунок 2.1 – Структурна схема цифрової мікроелектронної системи

Таблиця 2.1 – Варіанти таблиць істинності комбінаційного цифрового пристрою

| №  | A | B | C | D | F1 | F2 | F3 | F4 | F5 | F6 | F7 | F8 | F9 | F10 | F11 | F12 | F13 | F14 | F15 | F16 | F17 | F18 | F19 | F20 |
|----|---|---|---|---|----|----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 0  | 0 | 0 | 0 | 0 | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1   | 1   | 0   | ×   | 0   | 1   | 0   | 0   | 0   | 0   | 1   |
| 1  | 0 | 0 | 0 | 1 | 0  | ×  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0   | ×   | ×   | 1   | 0   | 0   | ×   | 1   | 1   | 0   | ×   |
| 2  | 0 | 0 | 1 | 0 | 0  | 1  | 1  | 1  | ×  | 0  | 0  | 0  | ×  | 0   | 0   | 1   | 1   | 1   | ×   | 0   | 0   | ×   | ×   | 0   |
| 3  | 0 | 0 | 1 | 1 | ×  | 0  | 0  | 1  | 0  | ×  | ×  | 0  | 1  | 1   | ×   | 0   | 0   | ×   | 0   | ×   | ×   | 0   | 1   | 1   |
| 4  | 0 | 1 | 0 | 0 | 1  | ×  | ×  | 0  | 1  | 0  | 0  | 1  | 0  | 0   | 1   | ×   | ×   | 0   | 1   | 0   | 0   | 1   | 0   | 0   |
| 5  | 0 | 1 | 0 | 1 | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | ×   | 0   | 1   | 0   | 0   | ×   | 1   | ×   | 1   | 1   | ×   |
| 6  | 0 | 1 | 1 | 0 | 1  | 0  | 1  | 1  | 0  | 1  | 0  | ×  | 1  | 0   | 0   | ×   | ×   | 1   | 0   | 1   | 0   | ×   | 1   | 0   |
| 7  | 0 | 1 | 1 | 0 | 0  | 0  | 1  | 1  | ×  | 0  | 0  | 0  | 1  | 1   | 0   | 0   | 1   | 1   | ×   | ×   | 0   | 0   | 1   | 1   |
| 8  | 1 | 0 | 0 | 0 | 1  | ×  | 0  | 0  | 1  | 1  | 0  | 1  | 0  | 0   | ×   | 1   | 0   | ×   | 1   | 1   | 0   | ×   | 0   | 0   |
| 9  | 1 | 0 | 0 | 1 | 1  | 0  | ×  | 1  | 0  | 1  | 1  | 0  | 0  | ×   | 1   | 0   | ×   | 1   | 0   | ×   | ×   | 0   | 0   | ×   |
| 10 | 1 | 0 | 1 | 0 | ×  | 1  | 0  | 0  | 0  | ×  | 0  | 0  | 1  | 1   | 1   | 1   | 0   | 0   | ×   | ×   | 0   | 0   | 1   | 1   |
| 11 | 1 | 0 | 1 | 0 | 1  | 1  | 1  | ×  | 0  | 0  | 1  | ×  | ×  | 0   | 1   | 1   | 1   | ×   | 0   | 0   | 1   | ×   | ×   | 0   |
| 12 | 1 | 1 | 0 | 0 | 0  | 0  | 1  | 0  | 1  | 1  | ×  | 0  | 0  | 1   | ×   | 0   | ×   | ×   | 1   | 1   | ×   | 0   | 0   | 1   |
| 13 | 1 | 1 | 0 | 1 | 1  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 1  | 0   | 0   | 0   | 0   | 0   | 1   | 1   | 1   | ×   | 1   | 0   |
| 14 | 1 | 1 | 1 | 0 | 0  | 1  | 1  | ×  | 1  | 0  | 1  | 1  | 0  | 1   | 0   | ×   | 1   | ×   | ×   | 0   | 1   | 1   | 0   | ×   |
| 15 | 1 | 1 | 1 | 1 | 0  | 0  | 0  | 0  | 1  | 1  | 0  | I  | 0  | 1   | 0   | 0   | 0   | 0   | 1   | 1   | ×   | I   | 0   | 1   |

### 2.2.2 Перетворювач коду (Б)

1. Перетворювач двійкового коду в циклічний код Грея.
2. Перетворювач двійкового коду в код «Із надлишком три».
3. Перетворювач двійкового коду в код 5-2-1-1.
4. Перетворювач двійкового коду в код «Із надлишком чотири».
5. Перетворювач двійкового коду в код 2-4-2-1.

### 2.2.3 Постійний запам'ятовувальний пристрій 4×4 з матрицею слів (В):

- |                            |                            |
|----------------------------|----------------------------|
| 1. 0000, 0001, 0010, 0100  | 11. 0100, 1001, 0101, 0011 |
| 2. 1000, 1100, 1110, 1111  | 12. 0110, 1001, 0110, 0000 |
| 3. 1110, 1100, 1000, 0000  | 13. 1101, 1011, 1110, 0111 |
| 4. 0101, 1010, 0110, 1111  | 14. 0100, 1011, 0111, 0000 |
| 5. 1010, 1000, 1001, 0100  | 15. 0100, 0101, 0110, 0111 |
| 6. 0000, 0001, 0010, 0011  | 16. 1100, 1101, 1110, 1111 |
| 7. 1000, 1001, 1010, 1011  | 17. 0100, 1011, 0111, 0000 |
| 8. 1010, 1000, 1001, 0100  | 18. 1101, 1011, 1110, 0111 |
| 9. 0101, 1010, 0110, 1111  | 19. 0110, 1000, 0101, 0000 |
| 10. 1110, 1010, 1101, 0101 | 20. 1000, 1001, 1111, 0110 |

### 2.2.4 Цифровий пристрій послідовнісного типу (Г)

1. Двійковий чотирьохрозрядний підсумовуючий лічильник з паралельним перенесенням на JK-тригерах.
2. Двійковий чотирьохрозрядний віднімаючий лічильник з паралельним перенесенням на D-тригерах.
3. Двійковий чотирьохрозрядний підсумовуючий лічильник з паралельним перенесенням на D-тригерах.
4. Двійково-десятковий лічильник з паралельним перенесенням на JK-тригерах.
5. Двійково-десятковий лічильник з паралельним перенесенням на D-тригерах.

### 2.2.5 Цифровий операційний пристрій (Д)

1. Повний чотирьохрозрядний паралельний суматор. Інформацію про суму чисел вивести на семисегментний двійковий індикатор.
2. Повний чотирьохрозрядний паралельний суматор – віднімач. Інформацію про суму чисел вивести на семисегментний двійковий індикатор.
3. Повний чотирьохрозрядний паралельний суматор з накопиченням інформації. Інформацію про суму чисел вивести на семисегментний двійковий індикатор.
4. Повний чотирьохрозрядний паралельний суматор – віднімач з накопиченням інформації. Інформацію про суму чисел вивести на семисегментний двійковий індикатор.
5. Схема порівняння багаторозрядних чисел. Інформацію про рівність чисел вивести на семисегментний двійковий індикатор.



6. Схема порівняння багаторозрядних чисел. Інформацію про більше число вивести на семисегментний двійковий індикатор.

7. Схема порівняння багаторозрядних чисел. Інформацію про менше число вивести на семисегментний двійковий індикатор.

### 2.2.6 Типові функціональні вузли цифрової мікроелектронної системи

Буферний регістр розрахувати і зібрати по схемі чотирьохрозрядного регістра з паралельним прийомом та паралельною видачею інформації на D-тригерах. Провести перевірку функціонування у програмному застосуванні Electronics Workbench, побудувати функціональну і електричну схеми у програмному забезпеченні sPlan 5.0. Управління 1 буферним регістром забезпечити сигналом F цифрового пристрою комбінаційного типу. Управління 2 буферним регістром забезпечити сигналом Q мультиплексора стовпців постійного запам'ятовувального пристрою.

Схему генератора імпульсів зібрати і описати за прикладом представленим в пункті 1.7 методичних рекомендацій.

Схему контролю правильності проходження сигналу розрахувати і зібрати по схемі чотирьохрозрядної схеми контролю парності з індикацією аварійної ситуації P. Провести перевірку функціонування у програмному застосуванні Electronics Workbench, побудувати функціональну і електричну схеми у програмному забезпеченні sPlan 5.0.

Дешифратор строк постійного запам'ятовувального пристрою розрахувати і зібрати по схемі 2 в 4. Вхідні сигнали отримати з двох старших розрядів цифрового пристрою послідовнісного типу. Провести перевірку функціонування у програмному застосуванні Electronics Workbench, побудувати функціональну і електричну схеми у програмному забезпеченні sPlan 5.0.

Мультиплексор стовпців постійного запам'ятовувального пристрою розрахувати і зібрати по схемі 4 в 1. Адресні сигнали отримати з двох молодших розрядів цифрового пристрою послідовнісного типу. Провести перевірку функціонування у програмному застосуванні Electronics Workbench, побудувати функціональну і електричну схеми у програмному забезпеченні sPlan 5.0.

Пристрій відображення інформації розрахувати і зібрати по схемі не вагового перетворювача двійкового коду в код управління семисегментними світлодіодними індикаторами. Використати семисегментні світлодіодні індикатори призначені для відображення інформації у вигляді цифр які включають в свій склад вісім світлодіодів, сім з яких мають форму сегментів, а один, восьмий – крапка. Стилізоване зображення цифр (та деякого набору літер) складають із семи лінійних сегментів (a b c d e f g), розташованих у вигляді цифри вісім. Провести перевірку функціонування у програмному застосуванні Electronics Workbench, побудувати функціональну і електричну схеми у програмному забезпеченні sPlan 5.0.

У результаті виконання курсового проекту отримується загальна електрична схема цифрової мікроелектронної системи у програмному забезпеченні sPlan 5.0, при аналізі якої по результатам показань індикаторів (перевіряється

керівником курсового проекту) робиться висновок про правильність розрахунків схемних рішень заданого варіанта.

### Варіанти завдань

| № варіанту | Тема літературного огляду | А   | Б | В  | Г | Д |
|------------|---------------------------|-----|---|----|---|---|
| 1          | 1                         | F1  | 1 | 1  | 1 | 3 |
| 2          | 2                         | F2  | 2 | 2  | 2 | 2 |
| 3          | 3                         | F3  | 3 | 3  | 3 | 5 |
| 4          | 4                         | F4  | 4 | 4  | 4 | 3 |
| 5          | 5                         | F5  | 5 | 5  | 5 | 3 |
| 6          | 6                         | F6  | 1 | 6  | 1 | 6 |
| 7          | 7                         | F7  | 2 | 7  | 2 | 7 |
| 8          | 8                         | F8  | 3 | 8  | 3 | 2 |
| 9          | 9                         | F9  | 4 | 9  | 4 | 6 |
| 10         | 10                        | F10 | 5 | 10 | 5 | 5 |
| 11         | 11                        | F11 | 1 | 11 | 1 | 3 |
| 12         | 12                        | F12 | 2 | 12 | 2 | 5 |
| 13         | 13                        | F13 | 3 | 13 | 3 | 7 |
| 14         | 14                        | F14 | 4 | 14 | 4 | 6 |
| 15         | 15                        | F15 | 5 | 15 | 5 | 1 |
| 16         | 16                        | F16 | 1 | 16 | 1 | 3 |
| 17         | 17                        | F17 | 2 | 17 | 2 | 5 |
| 18         | 18                        | F18 | 3 | 18 | 3 | 2 |
| 19         | 19                        | F19 | 4 | 19 | 4 | 4 |
| 20         | 20                        | F20 | 5 | 20 | 5 | 1 |

## 3 Приклад розв'язання завдань курсового проєкту

**Завдання варіанту приклада**

Необхідно розрахувати і побудувати цифрову мікроелектронну систему представлену на рисунку 3.1, яка складається з окремих функціональних вузлів А, Б, В, Г, Д сполученими між собою шинами даних. Схему реалізувати на мікросхемах ТТЛ логіки або їх сумісних аналогів.

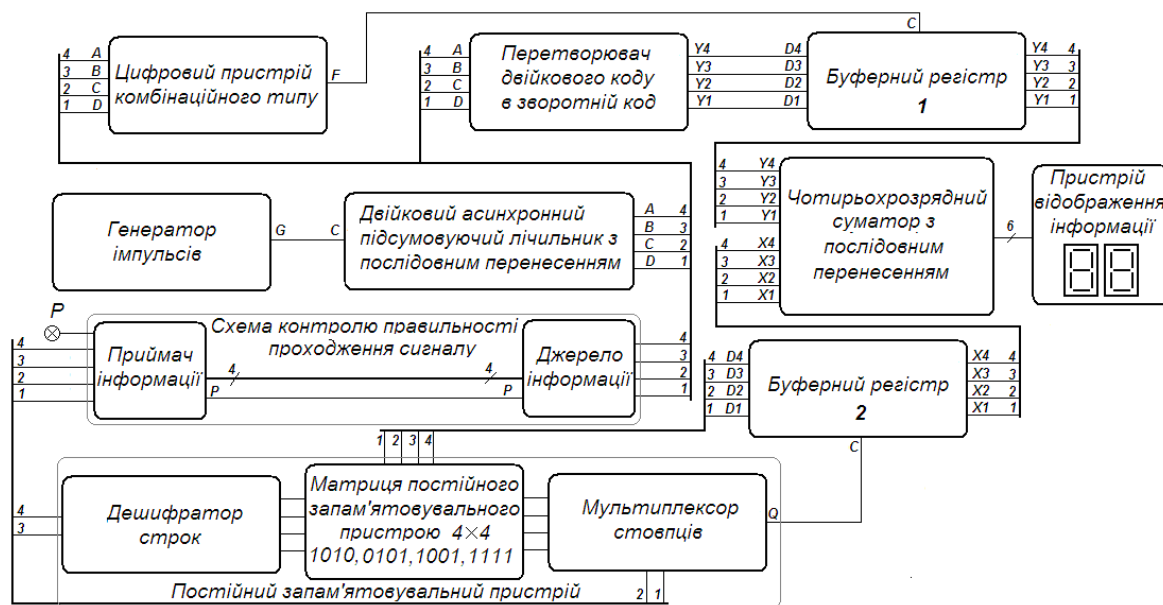


Рисунок 3.1 – Структурна схема цифрової мікроелектронної системи

**А. Цифровий пристрій комбінаційного типу:** задано таблицею істинності (табл. 3.1).

Таблиця 3.1 – Таблиця істинності цифрового пристрою комбінаційного типу

| Входи |   |   |   |   |   |   |   |   |   |   |    |    |    |    |    |    |
|-------|---|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| №     | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| A     | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1  | 1  | 1  | 1  | 1  | 1  |
| B     | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0  | 0  | 1  | 1  | 1  | 1  |
| C     | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1  | 1  | 0  | 0  | 1  | 1  |
| D     | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0  | 1  | 0  | 1  | 0  | 1  |
| Вихід |   |   |   |   |   |   |   |   |   |   |    |    |    |    |    |    |
| F0    | 1 | × | 0 | × | 1 | 0 | 0 | 0 | 1 | 1 | 1  | 1  | 0  | 0  | 0  | 0  |

**Б. Перетворювач двійкового коду у зворотний код.**

**В. Постійний запам'ятовувальний пристрій 4×4 з матрицею слів:**

**1010, 0101, 1001, 1111.**

**Г. Цифровий пристрій послідовнісного типу:** двійковий асинхронний підсумовуючий лічильник з послідовним перенесенням.

Д. Цифровий операційний пристрій: чотирьохрозрядний суматор з послідовним перенесенням.

### Виконання завдання

#### 3.1 Розробка цифрового пристрою комбінаційного типу

1) Перейдемо від таблиці істинності (табл. 3.1) до структурної формули в базисі І, АБО, НЕ.

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD$$

2) Мінімізуємо логічну функцію, з урахуванням можливості до визначення функції (рис. 3.2).

$$F = A\overline{B} + \overline{A}C\overline{D}$$

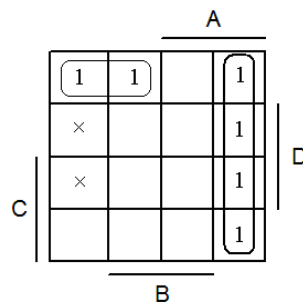


Рисунок 3.2 – Мінімізація функції

3) Згідно з завданням обираємо елементний базис Шеффера (І-НЕ).

$$F = A\overline{B} + \overline{A}C\overline{D} = \overline{\overline{A\overline{B}} \cdot \overline{\overline{\overline{A}C\overline{D}}}} = \overline{\overline{A\overline{B}} \cdot \overline{\overline{\overline{A}C\overline{D}}}}$$

4) Проведемо аналіз правильності функціонування схеми у програмному застосуванні **Electronics Workbench** (рис. 3.3).

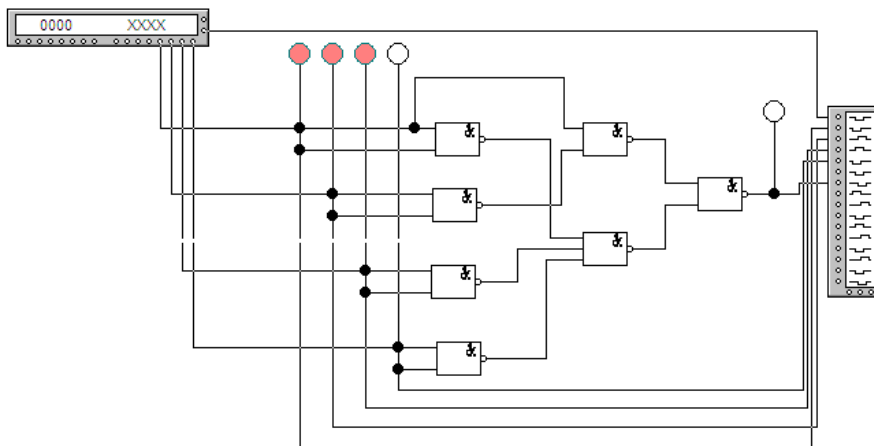


Рисунок 3.3 – Аналіз функціонування схеми цифрового пристрою комбінаційного типу

5) Діаграма функціонування схеми цифрового пристрою комбінаційного типу представлена на рисунку 3.4.

6) Побудуємо технічну реалізацію функціональної схеми на логічних елементах І-НЕ у програмному забезпеченні **sPlan 5.0** (рис. 3.5). Для застосування у схемі тільки двохвходових елементів І-НЕ виконаємо перетворення:

$$\overline{\overline{ACD}} = \overline{(\overline{AC}) \cdot \overline{D}} = (\overline{AC}) \cdot \overline{D}$$

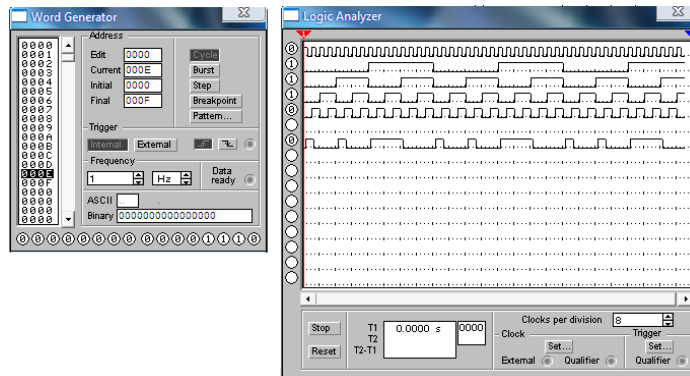


Рисунок 3.4 – Діаграма функціонування схеми цифрового пристрою комбінаційного типу

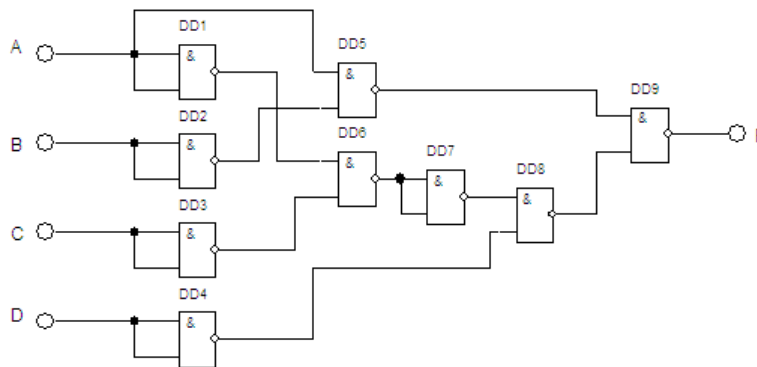


Рисунок 3.5 – Технічна реалізація схеми цифрового пристрою комбінаційного типу на логічних елементах І-НЕ

7) Схема електрична принципова цифрового пристрою комбінаційного типу представлена у програмному забезпеченні **sPlan 5.0** на мікросхемах К555ЛА3 (аналог 7400) (рис. 3.6). Невикористані елементи 2-І-НЕ будуть застосовані у загальній схемі цифрової мікроелектронної системи.

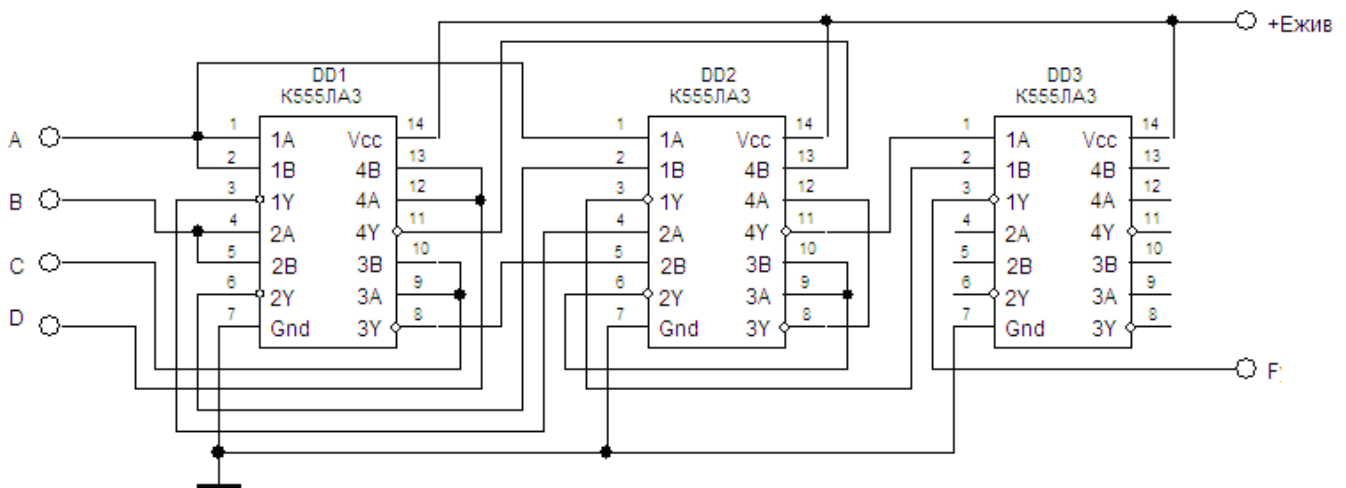


Рисунок 3.6 – Схема цифрового пристрою комбінаційного типу

## 3.2 Розробка перетворювача двійкового коду у зворотний код

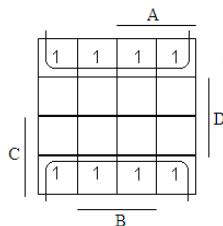
1) Для перетворення двійкового коду в зворотний код необхідно побудувати таблицю функціонування перетворювача (табл. 3.2).

Таблиця 3.2 – Таблиця функціонування перетворювача двійкового коду в зворотний код

| Двійковий код |   |   |   | Зворотний код |    |    |    |
|---------------|---|---|---|---------------|----|----|----|
| A             | B | C | D | Y4            | Y3 | Y2 | Y1 |
| 0             | 0 | 0 | 0 | 1             | 1  | 1  | 1  |
| 0             | 0 | 0 | 1 | 1             | 1  | 1  | 0  |
| 0             | 0 | 1 | 0 | 1             | 1  | 0  | 1  |
| 0             | 0 | 1 | 1 | 1             | 1  | 0  | 0  |
| 0             | 1 | 0 | 0 | 1             | 0  | 1  | 1  |
| 0             | 1 | 0 | 1 | 1             | 0  | 1  | 0  |
| 0             | 1 | 1 | 0 | 1             | 0  | 0  | 1  |
| 0             | 1 | 1 | 1 | 1             | 0  | 0  | 0  |
| 1             | 0 | 0 | 0 | 0             | 1  | 1  | 1  |
| 1             | 0 | 0 | 1 | 0             | 1  | 1  | 0  |
| 1             | 0 | 1 | 0 | 0             | 1  | 0  | 1  |
| 1             | 0 | 1 | 1 | 0             | 1  | 0  | 0  |
| 1             | 1 | 0 | 0 | 0             | 0  | 1  | 1  |
| 1             | 1 | 0 | 1 | 0             | 0  | 1  | 0  |
| 1             | 1 | 1 | 0 | 0             | 0  | 0  | 1  |
| 1             | 1 | 1 | 1 | 0             | 0  | 0  | 0  |

2) Складемо рівняння функціонування пристрою і спростимо їх за допомогою карт Карно.

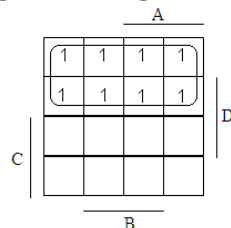
$$Y1 = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$



Після спрощення отримуємо:

$$Y1 = \overline{D}$$

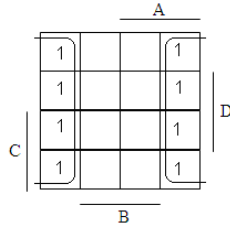
$$Y2 = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$



Після спрощення отримуємо:

$$Y2 = \overline{C}$$

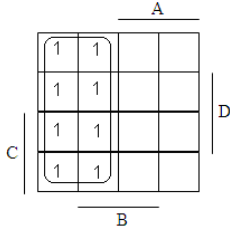
$$Y3 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + ABC\overline{D}$$



Після спрощення отримуємо:

$$Y3 = \overline{B}$$

$$Y4 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + ABC\overline{D}$$



Після спрощення отримуємо:

$$Y4 = \overline{A}$$

3. Згідно з отриманими рівняннями функціональна схема перетворювача двійкового коду в зворотний код у програмному забезпеченні **sPlan 5.0** представлена на рисунку 3.7.

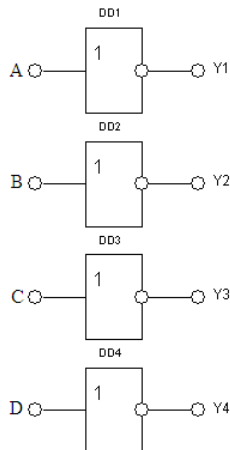


Рисунок 3.7 – Функціональна схема перетворювача двійкового коду в зворотний код

**5. Привести аналіз функціонування розробленої схеми у програмному застосуванні *Electronics Workbench* (рис. 3.8). Привести діаграму функціонування (рис. 3.9).**

6. Схема електрична принципова перетворювача двійкового коду в зворотний код у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемі K555ЛН1 (аналог 7404) (рис. 3.10). Невикористані елементи НІ будуть застосовані у загальній схемі цифрової мікроелектронної системи.

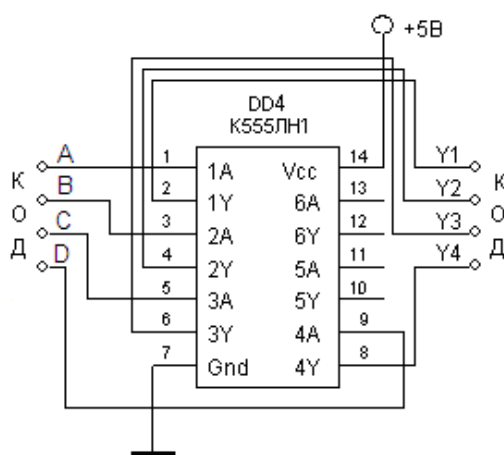


Рисунок 3.10 – Схема електрична принципова перетворювача двійкового коду в зворотний код

### 3.3 Розробка схеми контролю правильності проходження сигналу

1. Для чотирьохрозрядного двійкового коду ABCD таблиця станів схеми контролю парності представлена в таблиці 3.3.

Таблиця 3.3 – Таблиця станів схеми контролю парності

| Входи |   |   |   | Вихід |
|-------|---|---|---|-------|
| A     | B | C | D | P     |
| 0     | 0 | 0 | 0 | x     |
| 0     | 0 | 0 | 1 | 1     |
| 0     | 0 | 1 | 0 | 1     |
| 0     | 0 | 1 | 1 | 0     |
| 0     | 1 | 0 | 0 | 1     |
| 0     | 1 | 0 | 1 | 0     |
| 0     | 1 | 1 | 0 | 0     |
| 0     | 1 | 1 | 1 | 1     |
| 1     | 0 | 0 | 0 | 1     |
| 1     | 0 | 0 | 1 | 0     |
| 1     | 0 | 1 | 0 | 0     |
| 1     | 0 | 1 | 1 | 1     |
| 1     | 1 | 0 | 0 | 0     |
| 1     | 1 | 0 | 1 | 1     |
| 1     | 1 | 1 | 0 | 1     |
| 1     | 1 | 1 | 1 | 0     |

**2. Привести рівняння функціонування схеми контролю парності. Розрахунковий метод її мінімізації.**

3. По 4-дотрядній лінії зв'язку (рис. 3.5) передається паралельний двійковий код ABCD, а приймається код A'B'C'D'. Розрахована схема контролю парності представлена на рисунку 3.11.



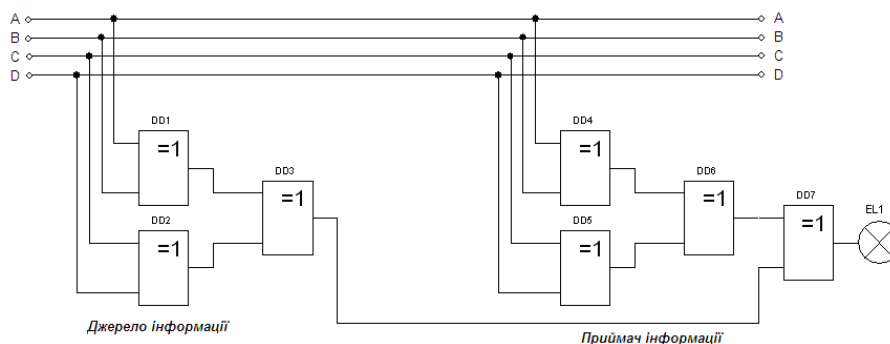


Рисунок 3.11 – Розрахована схема контролю парності

5. Привести аналіз функціонування розробленої схеми в програмному застосуванні *Electronics Workbench* (рис. 3.12).

6. Схема електрична принципова контролю правильності проходження інформації у програмному забезпеченні *sPlan 5.0* зібрана на мікросхемах К555ЛП5 (аналог 7486) (рис. 3.13).

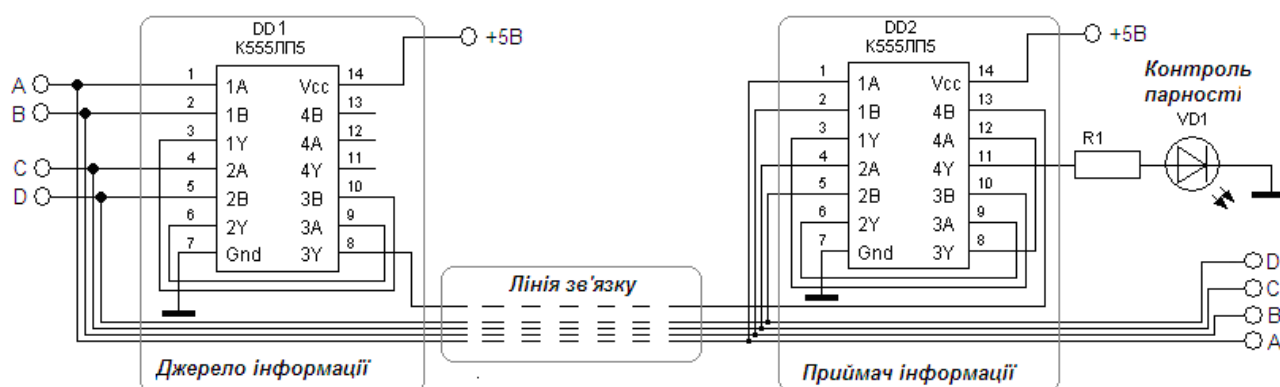


Рисунок 3.13 – Схема електрична принципова контролю правильності проходження інформації

### 3.4 Розробка постійного запам'ятовувального пристрою

1) Запам'ятовувальна матриця ПЗП представляє собою систему взаємно перпендикулярних шин, в пересіченнях яких або стоять діоди (логічна «1»), або відсутні діоди (логічний «0»), які зв'язують між собою відповідні горизонтальну і вертикальну шини (рис. 3.14). Згідно з завданням матриця складається з чотирьох слів: **1010**, **0101**, **1001**, **1111**.

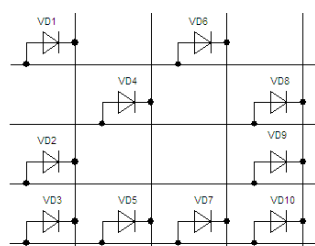


Рисунок 3.14 – Матриця слів ПЗП

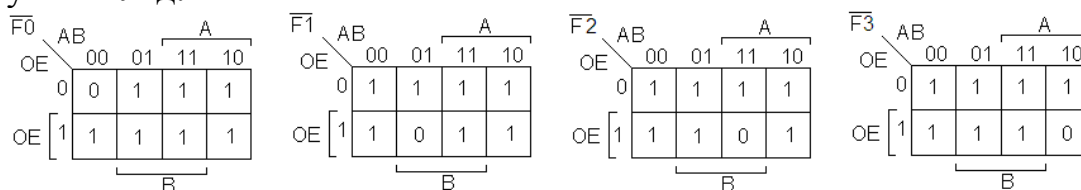
2) Вибірка слів виконується з чотирьох шин за допомогою дешифратора «2 в 4», на входи якого поступають два старші розряди (AB) коду переданого через схему контролю правильності проходження інформації від лічильника імпульсів (рис. 3.1).

Заповнимо таблицю істинності дешифратора «2 в 4» (табл. 3.4). Доповнимо його входом дозволу виходів  $\overline{OE}$  (Output Enable). Активним рівнем сигналу на прямих входах буде 1, а на інверсних виходах – 0. Такий порядок сигналів мають мікросхеми дешифраторів ТТЛ логіки 555 серії.

Таблиця 3.4 – Таблиця істинності дешифратора «2 в 4»

| DEC<br>число | Входи |   |                 | Виходи          |                 |                 |                 |
|--------------|-------|---|-----------------|-----------------|-----------------|-----------------|-----------------|
|              | A     | B | $\overline{OE}$ | $\overline{F0}$ | $\overline{F1}$ | $\overline{F2}$ | $\overline{F3}$ |
| 0            | 0     | 0 | 0               | 0               | 1               | 1               | 1               |
| 1            | 0     | 1 |                 | 1               | 0               | 1               | 1               |
| 2            | 1     | 0 |                 | 1               | 1               | 0               | 1               |
| 3            | 1     | 1 |                 | 1               | 1               | 1               | 0               |

Карти Карно для інверсних виходів  $\overline{F0}$ ,  $\overline{F1}$ ,  $\overline{F2}$ ,  $\overline{F3}$  і 3-х вхідних змінних матимуть вигляд:



Логічна функція інверсного виходу  $\overline{F0}$ :

$$\overline{F0} = OE + A + B = \overline{\overline{OE + A + B}} = \overline{\overline{OE} \cdot \overline{A} \cdot \overline{B}};$$

Аналогічно отримано останні три рівняння:

$$\overline{F1} = OE + A + \overline{B} = \overline{\overline{OE + A + \overline{B}}} = \overline{\overline{OE} \cdot \overline{A} \cdot B};$$

$$\overline{F2} = OE + \overline{A} + B = \overline{\overline{OE + \overline{A} + B}} = \overline{\overline{OE} \cdot A \cdot \overline{B}};$$

$$\overline{F3} = OE + \overline{A} + \overline{B} = \overline{\overline{OE + \overline{A} + \overline{B}}} = \overline{\overline{OE} \cdot A \cdot B}.$$

Рішенню відповідає схема, представлена на рисунку 3.15.

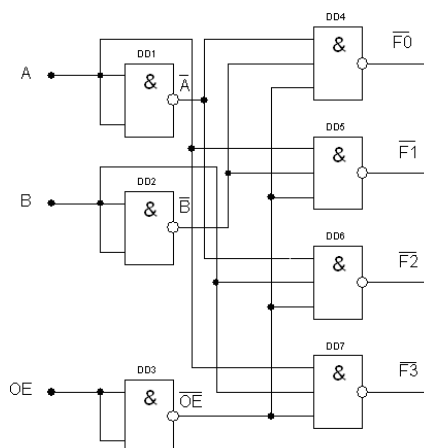


Рисунок 3.15 – Розрахована схема дешифратора «2 в 4» постійного запам'ятовувального пристрою

Згідно з умовами завдання на горизонтальних рядках матриці слів повинні бути прямі сигнали, тому на виходах отриманого дешифратора необхідно поставити інвертори (рис. 3.16).

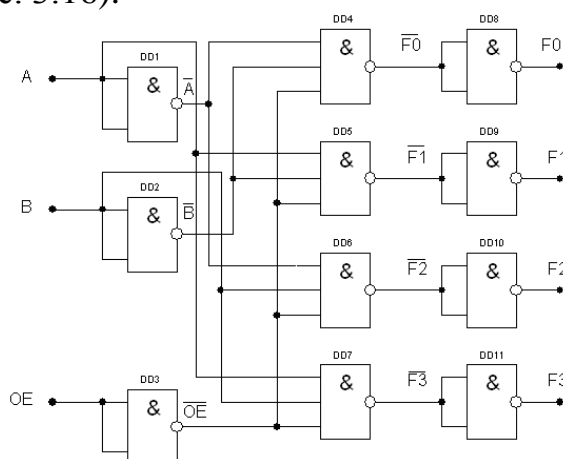


Рисунок 3.16 – Схема дешифратора «2 в 4»

3) Сканування матриці слів виконується мультиплексором розрядів. Заповнимо таблицю істинності мультиплексора «4 в 1» (табл. 3.5), на входи якого поступають два молодші розряди (CD) коду переданого через схему контролю правильності проходження інформації від лічильника імпульсів (рис. 3.1). Доповнимо його входом дозволу виходів  $\overline{OE}$  (Output Enable). Активним рівнем сигналу на прямих входах буде 1, а на інверсних виходах – 0. Такий порядок сигналів мають мікросхеми мультиплексорів ТТЛШ логіки К555КП2.

Таблиця 3.5 – Таблиця істинності мультиплексора «4 в 1»

| DEC<br>число | Входи |   |                 |    |    |    |    | Вихід<br>Q | Логічна<br>функція                 |
|--------------|-------|---|-----------------|----|----|----|----|------------|------------------------------------|
|              | C     | D | $\overline{OE}$ | D1 | D2 | D3 | D4 |            |                                    |
| 0            | 0     | 0 | 0               | D1 | X  | X  | X  | D1         | $Q = D1 \overline{A} \overline{B}$ |
| 1            | 0     | 1 |                 | X  | D2 | X  | X  | D2         | $Q = D2 \overline{A} B$            |
| 2            | 1     | 0 |                 | X  | X  | D3 | X  | D3         | $Q = D3 A \overline{B}$            |
| 3            | 1     | 1 |                 | X  | X  | X  | D4 | D4         | $Q = D4 A B$                       |

Загальне рішення матиме вигляд:

$$Q = \overline{OE} \cdot (D1 \cdot \overline{A} \cdot \overline{B} + D2 \cdot \overline{A} \cdot B + D3 \cdot A \cdot \overline{B} + D4 \cdot A \cdot B)$$

Застосовуючи аксіоми подвійного заперечення і подвійності до правої частини рівняння, отримаємо:

$$\begin{aligned} Q &= \overline{OE} \cdot (D1 \cdot \overline{A} \cdot \overline{B} + D2 \cdot \overline{A} \cdot B + D3 \cdot A \cdot \overline{B} + D4 \cdot A \cdot B) = \\ &= (\overline{OE} \cdot D1 \cdot \overline{A} \cdot \overline{B}) + (\overline{OE} \cdot D2 \cdot \overline{A} \cdot B) + (\overline{OE} \cdot D3 \cdot A \cdot \overline{B}) + (\overline{OE} \cdot D4 \cdot A \cdot B) = \\ &= \overline{\overline{(\overline{OE} \cdot D1 \cdot \overline{A} \cdot \overline{B}) + (\overline{OE} \cdot D2 \cdot \overline{A} \cdot B) + (\overline{OE} \cdot D3 \cdot A \cdot \overline{B}) + (\overline{OE} \cdot D4 \cdot A \cdot B)}} = \\ &= \overline{(\overline{OE} \cdot D0 \cdot \overline{A} \cdot \overline{B}) \cdot (\overline{1 \cdot A} \cdot D1 \cdot \overline{A} \cdot B) \cdot (\overline{1 \cdot A} \cdot D2 \cdot A \cdot \overline{B}) \cdot (\overline{1 \cdot A} \cdot D3 \cdot A \cdot B)} \end{aligned}$$

Рівнянню відповідає схема, приведена на рисунку 3.17.

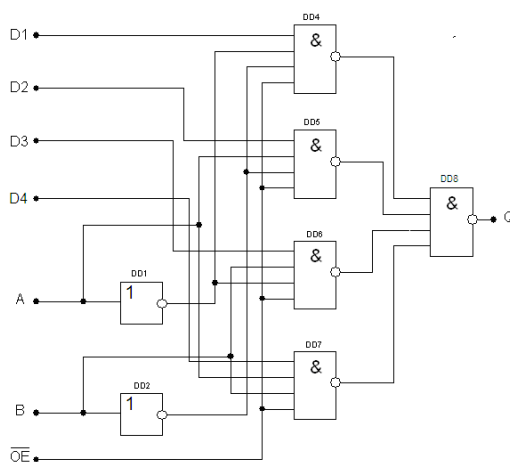


Рисунок 3.18 – Функціональна схема мультиплексора “4 в 1”

4) Привести аналіз функціонування розробленої схеми постійного запам'ятовувального пристрою у програмному застосуванні *Electronics Workbench* (рис. 3.19). Привести діаграму функціонування (рис. 3.20).

5) Схема електрична принципова постійного запам'ятовувального пристрою у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемах К555ИД4 (аналог 74155), К555ЛН1 (аналог 7404), К555КП2 (аналог 74153) (рис. 3.21).

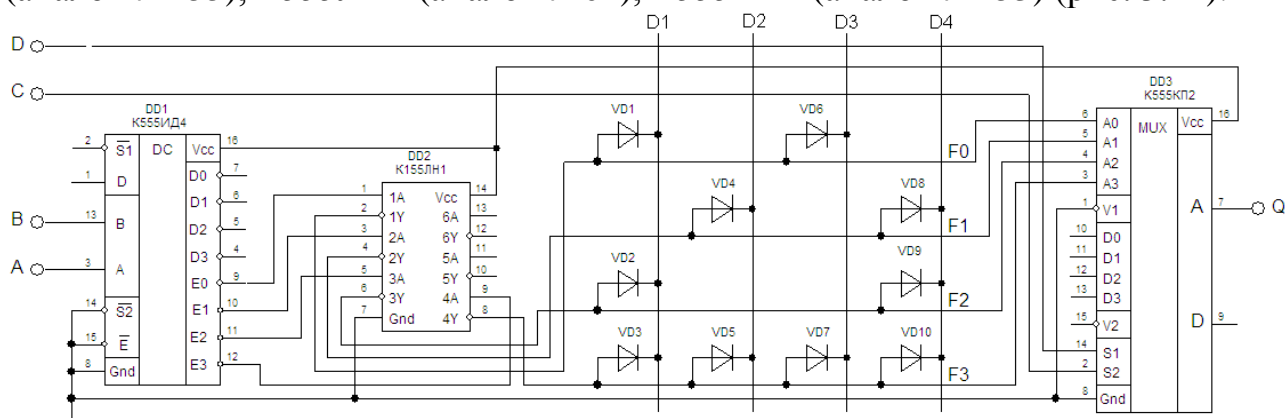


Рисунок 3.21 – Схема електрична принципова постійного запам'ятовувального пристрою

### 3.5 Розробка двійкового асинхронного підсумовуючого лічильника з послідовним перенесенням

1) Розглянемо роботу двійкового підсумовуючого лічильника з порядком рахунку  $K_{\text{рах.}} = 16$ . Для його побудови необхідно  $m = \log_2 16 = 4$  тригера, що відповідає чотирьом розрядам двійкового числа (коду 8421). У таблиці станів такого лічильника (табл. 3.6) вхідний сигнал  $x^n$  позначимо через 1,  $Q4^n$  – старший розряд,  $Q1^n$  – молодший розряд.

З аналізу таблиці видно:

- тригер молодшого розряду  $Q1$  перемикається від кожного вхідного сигналу;
- другий розряд  $Q2$  перемикається через два вхідні сигнали;

Таблиця 3.6 – Таблиця станів лічильника

| $x^n$ | $Q4^n$ | $Q3^n$ | $Q2^n$ | $Q1^n$ | $Q4^{n+1}$ | $Q3^{n+1}$ | $Q2^{n+1}$ | $Q1^{n+1}$ |
|-------|--------|--------|--------|--------|------------|------------|------------|------------|
| 1     | 0      | 0      | 0      | 0      | 0          | 0          | 0          | 1          |
| 1     | 0      | 0      | 0      | 1      | 0          | 0          | 1          | 0          |
| 1     | 0      | 0      | 1      | 0      | 0          | 0          | 1          | 1          |
| 1     | 0      | 0      | 1      | 1      | 0          | 1          | 0          | 0          |
| 1     | 0      | 1      | 0      | 0      | 0          | 1          | 0          | 1          |
| 1     | 0      | 1      | 0      | 1      | 0          | 1          | 1          | 0          |
| 1     | 0      | 1      | 1      | 0      | 0          | 1          | 1          | 1          |
| 1     | 0      | 1      | 1      | 1      | 1          | 0          | 0          | 0          |
| 1     | 1      | 0      | 0      | 0      | 1          | 0          | 0          | 1          |
| 1     | 1      | 0      | 0      | 1      | 1          | 0          | 1          | 0          |
| 1     | 1      | 0      | 1      | 0      | 1          | 0          | 1          | 1          |
| 1     | 1      | 0      | 1      | 1      | 1          | 1          | 0          | 0          |
| 1     | 1      | 1      | 0      | 0      | 1          | 1          | 0          | 1          |
| 1     | 1      | 1      | 0      | 1      | 1          | 1          | 1          | 0          |
| 1     | 1      | 1      | 1      | 0      | 1          | 1          | 1          | 1          |
| 1     | 1      | 1      | 1      | 1      | 0          | 0          | 0          | 0          |

- третій розряд  $Q3$  перемикається через чотири вхідні сигнали.
- четвертий розряд  $Q4$  перемикається через вісім вхідних сигналів.

2) Частота перемикання кожного наступного тригера зменшується вдвічі.

Отже, лічильник можна побудувати як коло послідовно включених рахункових тригерів. Побудуємо такий лічильник на JK-тригерах, які працюють в рахунковому режимі (рис. 3.22). У схемі JK – тригери перетворені в Т – тригери шляхом подачі «1» на вхід J і K.

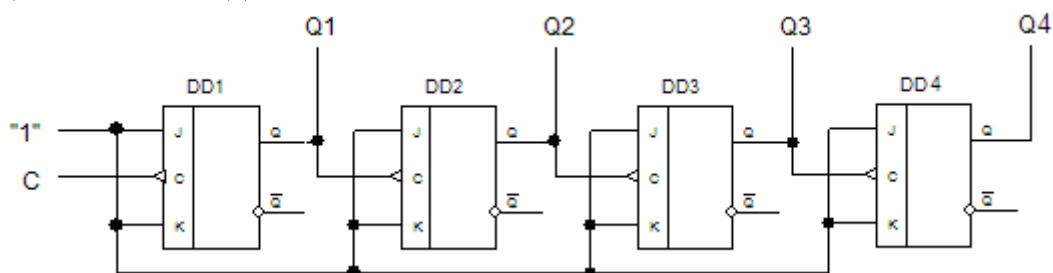


Рисунок 3.22 – Схема двійкового підсумовуючого лічильника з послідовним перенесенням

3) Привести аналіз функціонування розробленої схеми в програмному застосуванні *Electronics Workbench* (рис 3.23).

4) Оскільки тригери мають інверсний динамічний вхід, то кожен подальший тригер перемикатиметься при скиданні в «0» попереднього тригера (рис. 3.24).

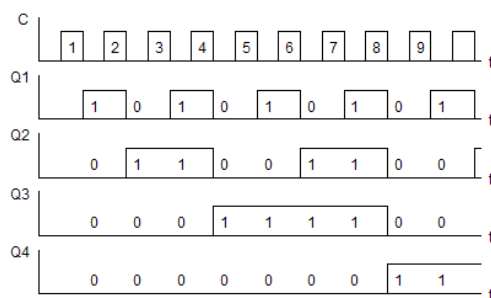


Рисунок 3.24 – Діаграма функціонування двійкового підсумовуючого лічильника з послідовним перенесенням

5) Схема електрична принципова двійкового підсумовуючого лічильника з послідовним перенесенням у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемі K555IE5 (аналог 7493) (рис. 3.25).

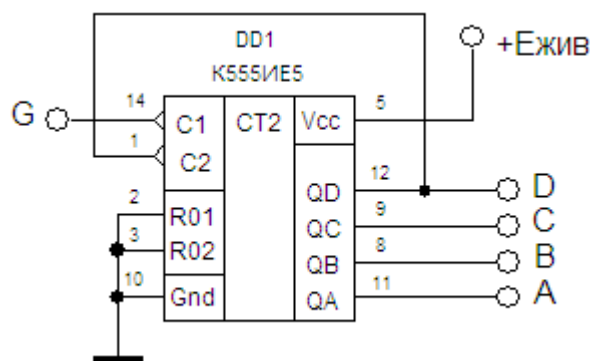


Рисунок 3.25 – Схема електрична принципова двійкового підсумовуючого лічильника з послідовним перенесенням

### 3.6 Вибір схеми генератора імпульсів

Генератор імпульсів призначений для узгодження роботи всіх вузлів цифрової мікроелектронної системи.

3) Широка зміна частоти імпульсів (близько 50 тисяч разів), що генеруються, забезпечує генератор, зібраний за схемою, яка представлена на рисунку 3.26. Мінімальна частота імпульсів тут близько 0,25 Гц. Тривалість імпульсів регулюється резистором R1. Частоту дотримання можна визначити по формулі:

$$f = \frac{1}{2} R1C1,$$

де  $f$  – частота, Гц;  $R1$  – опір, Ом;  $C1$  – ємність, Ф.

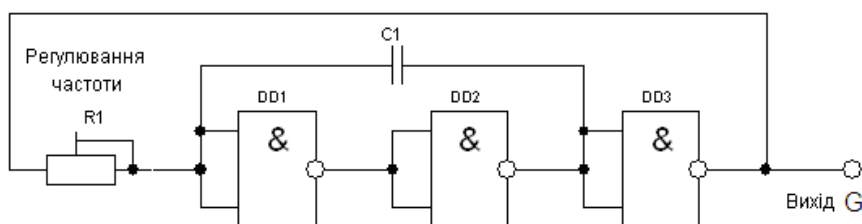


Рисунок 3.26 – Схема генератора імпульсів

2) Схема електрична принципова генератора імпульсів у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемі К555ЛА3 (аналог 7400) (рис. 3.27).

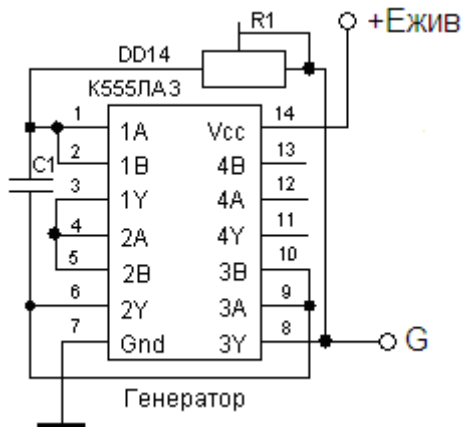


Рисунок 3.27 – Схема електрична принципова генератора імпульсів

### 3.7 Розробка схеми буферного регістра

Паралельні регістри - це пристрої, призначені для запису, зберігання і надання інформації, представлена у вигляді двійкового коду. Запис інформації в паралельні регістри здійснюється паралельним кодом, тобто у всі розряди регістра одночасно. Їх функція зводиться лише до прийому, зберігання і передачі інформації.

1) Інформація (число) записується у всі розряди регістра, (D-тригери) одночасно, тобто паралельним кодом. При подачі управляючого сигналу  $C = 1$ , інформація по входах  $D1 - D4$  записується одночасно у відповідні розряди чотирьох D-тригерів (рис. 3.28). При  $C = 0$  інформація зберігається в регістрі пам'яті.

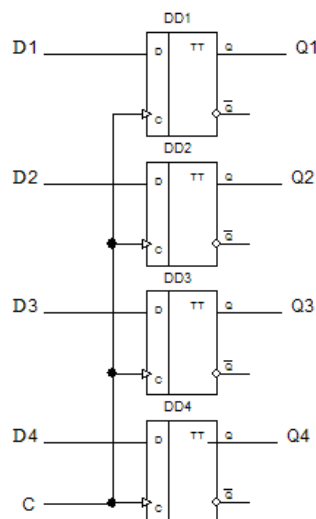


Рисунок 3.28 – Паралельний регістр на тактованих D – тригерах

2) Згідно з структурною схемою цифрової мікроелектронної системи (рис. 3.1) необхідно реалізувати два буферних регістра: 1 – для фіксації результату перетворення двійкового коду в зворотний код, при цьому сигналом управління

являється вихід  $F$  цифрового пристрою комбінаційного типу ( $C = F$ ); 2 – для фіксації результату дешифрації матриці слів ПЗП, при цьому сигналом управління являється вихід  $Q$  мультиплексора розрядів матриці слів ПЗП ( $C = Q$ ).

3) Схема електрична принципова буферного регістра у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемі K555IP25 (аналог 7495) (рис. 3.29).

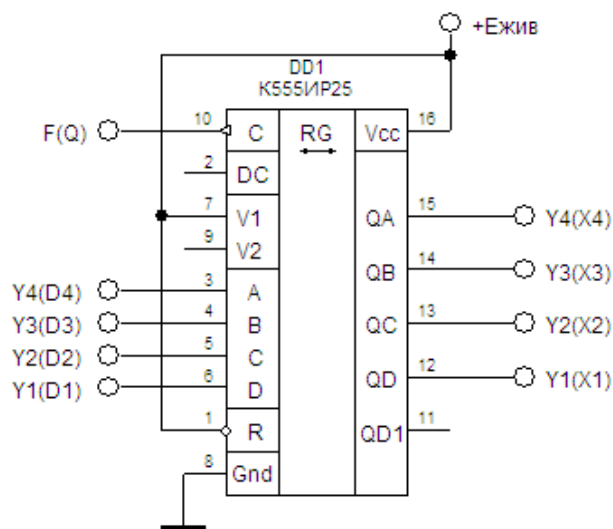


Рисунок 3.29 – Схема електрична принципова буферного регістра

### 3.8 Розробка чотирьохрозрядного суматора з послідовним перенесенням

1) Відповідно до завдання, арифметичний логічний пристрій є чотирьохрозрядним суматором з послідовним перенесенням. Число напівсуматорів тут дорівнює числу розрядів. Вихід перенесення  $P$  кожного суматора сполучений з входом перенесення наступного, більш старшого розряду. На вході перенесення суматора молодших розрядів встановлений “0”, оскільки сигнал перенесення сюди не поступає. Доданки  $A_i$  і  $B_i$  складаються у всіх розрядах одночасно, а перенесення  $P$  поступає із закінченням операції складання в попередньому розряді. Алгоритм функціонування суматора представлена в таблиці 3.7. Згідно з таблицею функціонування можливо скласти рівняння функціонування.

Таблиця 3.7 – Алгоритм функціонування суматора з послідовним перенесенням

| Входи |       |       | Виходи |           |
|-------|-------|-------|--------|-----------|
| $A_i$ | $B_i$ | $P_i$ | $S_i$  | $P_{i+1}$ |
| 0     | 0     | 0     | 0      | 0         |
| 0     | 1     | 0     | 1      | 0         |
| 1     | 0     | 0     | 1      | 0         |
| 1     | 1     | 0     | 0      | 1         |
| 0     | 0     | 1     | 1      | 0         |
| 0     | 1     | 1     | 0      | 1         |
| 1     | 0     | 1     | 0      | 1         |
| 1     | 1     | 1     | 1      | 1         |



2) У кожному  $i$ -розряді знаходиться сума  $S_i$  трьох чисел  $A_i$ ,  $B_i$  і перенесення з молодшого розряду  $P_i$  і формується сигнал перенесення в старший розряд  $P_{i+1}$ .

$$S_i = \overline{A_i} \overline{B_i} P_i + \overline{A_i} B_i \overline{P_i} + \overline{A_i} B_i P_i + A_i \overline{B_i} \overline{P_i} + A_i \overline{B_i} P_i + A_i B_i \overline{P_i} + A_i B_i P_i$$

$$P_{i+1} = A_i B_i \overline{P_i} + \overline{A_i} B_i P_i + A_i \overline{B_i} P_i + A_i B_i P_i$$

3) Схема функціонування чотирьохрозрядного суматора з послідовним переносом представлена на рисунку 3.30.

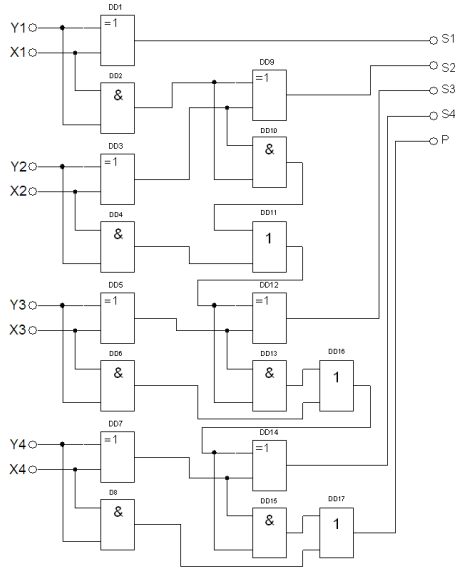


Рисунок 3.30 - Схема функціонування чотирьохрозрядного суматора з послідовним перенесенням

4) Привести аналіз функціонування розробленої схеми в програмному застосуванні *Electronics Workbench* (рис. 3.31). Привести діаграму функціонування (рис. 3.32).

5) Схема електрична принципова чотирьохрозрядного суматора з послідовним перенесенням у програмному забезпеченні **sPlan 5.0** зібрана на мікросхемі K555ИМ6 (аналог 7483) (рис. 3.33).

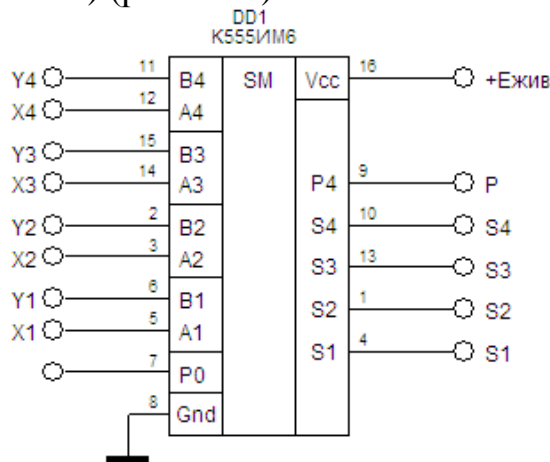


Рисунок 3.33 - Схема електрична принципова чотирьохрозрядного суматора з послідовним перенесенням

### 3.8 Розробка пристрою відображення інформації

Максимальне число  $Y_4Y_3Y_2Y_1$ , яке поступає на схему суматора з перетворювача двійкового коду в зворотний код у десятковому еквіваленті 15, у двійковому  $(1111)_2$ . Максимальне число  $X_4X_3X_2X_1$ , яке поступає на схему суматора з матриці слів ПЗП також у десятковому еквіваленті 15, у двійковому  $(1111)_2$ . Таким чином, максимальне сумарне число  $PS_4S_3S_2S_1$ , яке може бути відображене на індикаторах, у десятковому еквіваленті 30, у двійковому еквіваленті  $(11110)_2$ . Розряд  $P$  – сигнал переносу суматора з ваговим значенням 16. У наборах елементних баз ТТЛШ логіки відсутні перетворювачі п'ятирозрядного коду в код семисегментних індикаторів. Для спрощення схемотехніки пристрою відображення інформації необхідно її представити у двійково-десятковому коді (число 30 у десятковому еквіваленті, буде представлено у двійково-десятковому еквіваленті як  $(0011\ 0000)_2$ , що надасть можливість використовувати перетворювачі чотирьохрозрядних кодів  $Y_4Y_3Y_2Y_1$  та  $X_4X_3X_2X_1$  у коди семисегментних індикаторів.

1) Складемо таблицю функціонування пристрою відображення інформації (табл. 3.8), яка описує алгоритм функціонування перетворювача п'ятирозрядного двійкового коду 16-8-4-2-1 у двійково-десятковий код  $N_4N_3N_2N_1\ R_4R_3R_2R_1$  (0-0-20-30 8-4-2-1) з подальшим перетворенням у коди двох семисегментних індикаторів (рис. 3.34).

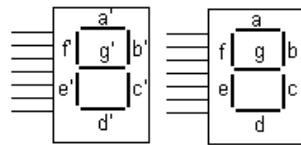
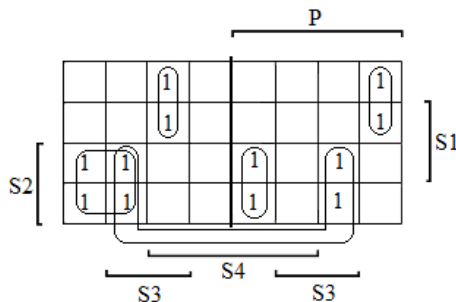


Рисунок 3.34 – Семисегментні індикатори для представлення отриманої інформації

2) З таблиці виводимо математичну модель перетворювача двійкового коду 16-8-4-2-1 у двійково-десятковий код.

$$R_1 = S_1.$$

$$R_2 = \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \\ + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1 + \\ + \overline{P}S_4S_3S_2S_1 + \overline{P}S_4S_3S_2S_1$$



$$R_2 = \overline{P}S_4S_2 + \overline{S_4}S_3S_2 + \overline{P}S_4S_3S_2 + \overline{P}S_4S_3S_2 + \overline{P}S_4S_3S_2.$$

Таблиця 3.8 - Таблиця функціонування перетворювача двійкового коду чисел в код семисегментних індикаторів

| №  | P | S4 | S3 | S2 | S1 | N4 | N3 | N2 | N1 | R4 | R3 | R2 | R1 | a' | b' | c' | d' | e' | f' | g' | a | b | c | d | e | f | g |
|----|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|
| 0  | 0 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1  | 0 | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 2  | 0 | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 3  | 0 | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 4  | 0 | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 5  | 0 | 0  | 1  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 6  | 0 | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 7  | 0 | 0  | 1  | 1  | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 8  | 0 | 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 9  | 0 | 1  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 10 | 0 | 1  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 11 | 0 | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 12 | 0 | 1  | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 13 | 0 | 1  | 1  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 14 | 0 | 1  | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 15 | 0 | 1  | 1  | 1  | 1  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 16 | 1 | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 17 | 1 | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 18 | 1 | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 19 | 1 | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 20 | 1 | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 21 | 1 | 0  | 1  | 0  | 1  | 0  | 0  | 1  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 22 | 1 | 0  | 1  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 23 | 1 | 0  | 1  | 1  | 1  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 24 | 1 | 1  | 0  | 0  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 25 | 1 | 1  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 26 | 1 | 1  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 27 | 1 | 1  | 0  | 1  | 1  | 0  | 0  | 1  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 28 | 1 | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 0  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 29 | 1 | 1  | 1  | 0  | 1  | 0  | 0  | 1  | 0  | 1  | 0  | 0  | 1  | 1  | 1  | 0  | 1  | 1  | 0  | 1  | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 30 | 1 | 1  | 1  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0  | 0  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 31 | 1 | 1  | 1  | 1  | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 0  | 0  | 1  | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

Аналогічно розраховуються і спрощуються рівняння для розрядів двійково-десятьковий коду:  $N2, N1, R4, R3$ .

3) Проведемо моделювання перетворювача двійкового коду у двійково-десятьковий в програмному забезпеченні Electronics Workbench (рис. 3.35).

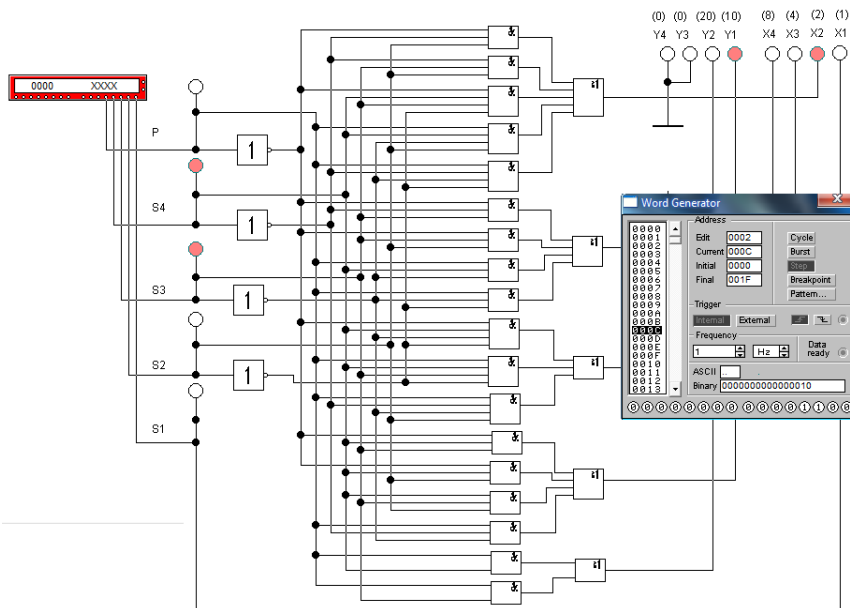


Рисунок 3.35 - Моделювання перетворювача двійкового коду у двійково-десятьковий

4) Схема перетворювача може бути реалізована на мікросхемі ТТЛ логіки К555ПР7 (аналог 74185) – перетворювача двійкового коду у двійково-десятковий (рис. 3.36).

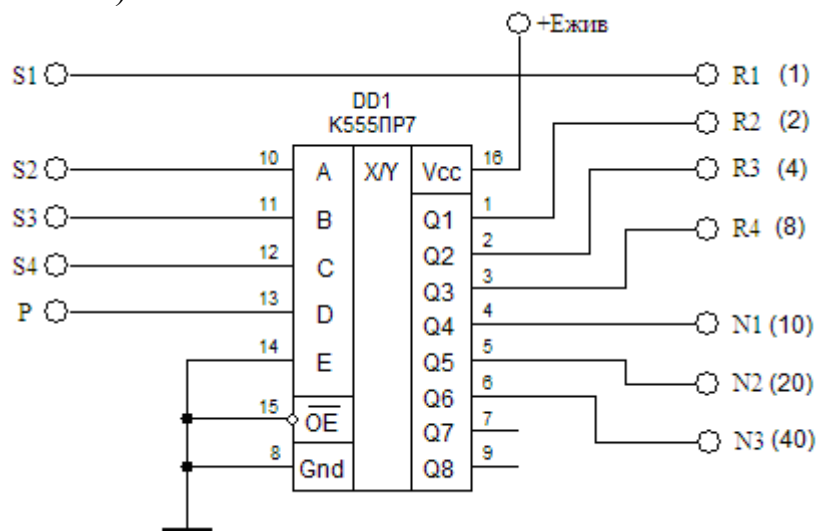


Рисунок 3.36 – Перетворювач двійкового коду у двійково-десятковий на мікросхемі К555ПР7

5) Схема електрична принципова перетворювача двійково-десяткового коду чисел в код семисегментних індикаторів у програмному забезпеченні **sPlan 5.0** може бути виконана на мікросхемах К555ИД18 (7447РС). Мікросхема являє собою перетворювач логічних сигналів з двійкового коду 8-4-2-1 в код семисегментного індикатора з загальним анодом (рис. 3.36).

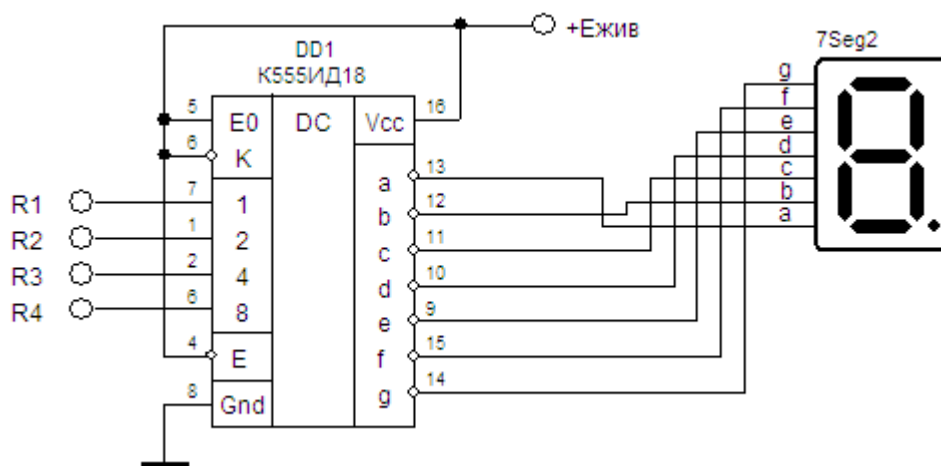


Рисунок 3.36 – Схема перетворення двійкового коду 8-4-2-1 в код семисегментного індикатора на мікросхемі К555ИД18

6) Проведемо аналіз функціонування перетворювача в програмному забезпеченні Electronics Workbench (рис. 3.37). Так-як мікросхема має виходи з відкритим колектором (активний нуль), а семисегментний індикатор в програмному забезпеченні EWB з загальним катодом, в схемі необхідно використати інвертори.

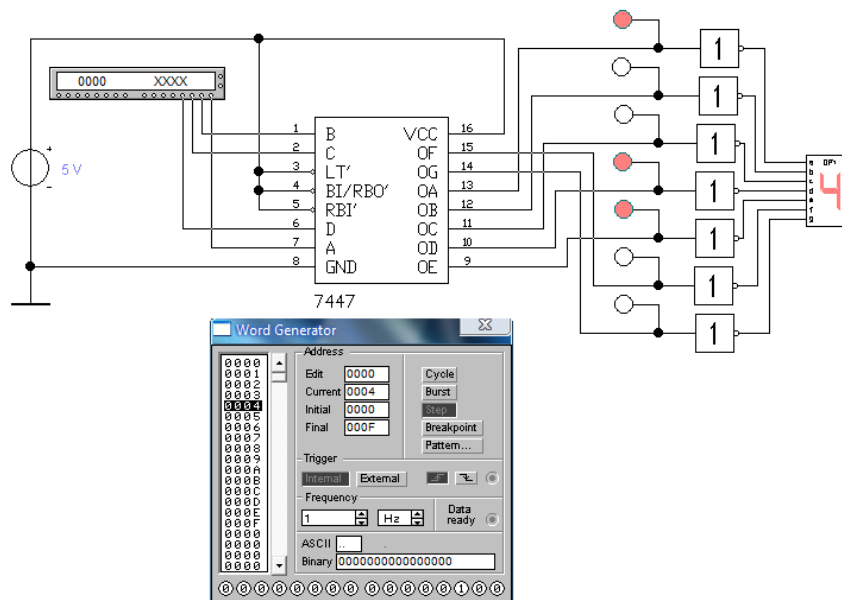


Рисунок 3.37 - Аналіз функціонування перетворювача двійкового коду 8-4-2-1 в код семисегментного індикатора

7) Для відображення інформації отриманого двійково-десятькового коду необхідно включити в схему два світлодіодних індикатора. Проведемо моделювання перетворювача двійкового коду PS4S3S2S1 (16-8-4-2-1) отриманого з суматора у двійково-десятьковий (0-0-20-10 8-4-2-1) з подальшим перетворенням в коди семисегментних індикаторів (рис. 3.38). У аналітичній схемі використовуємо Coder, який імітує роботу мікросхеми K155ПР7 і два логічних вузла Invertor, для забезпечення роботи індикаторів.

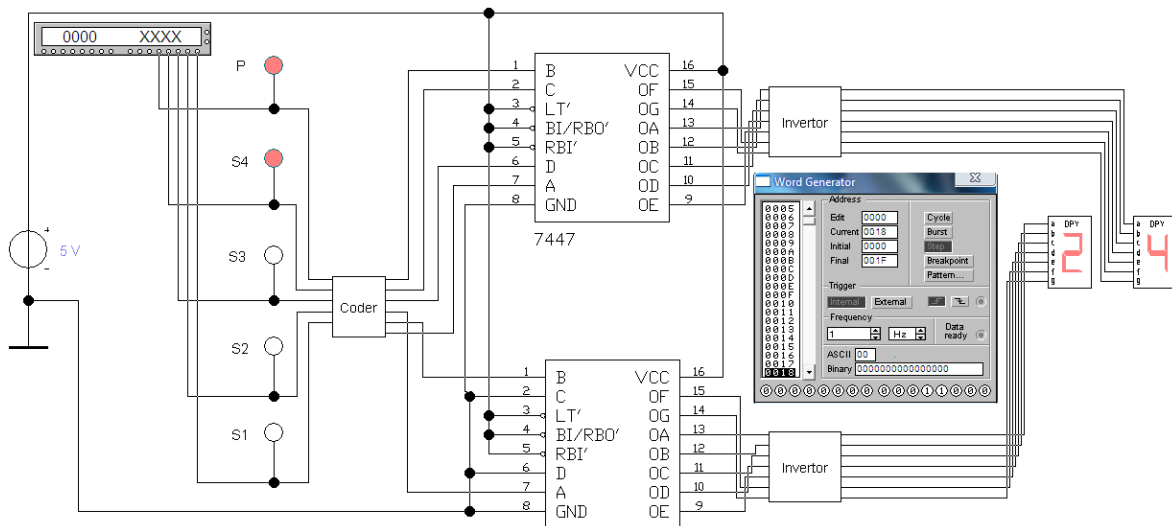


Рисунок 3.38 - Моделювання схеми перетворювача п'ятирозрядного двійкового коду 16-8-4-2-1 перетворенням у коди двох семисегментних індикаторів

8) Схема електрична принципова пристрою відображення інформації отриманої з суматора на світлодіодних індикаторах у програмному забезпеченні **sPlan 5.0** представлена на рисунку 3.39.

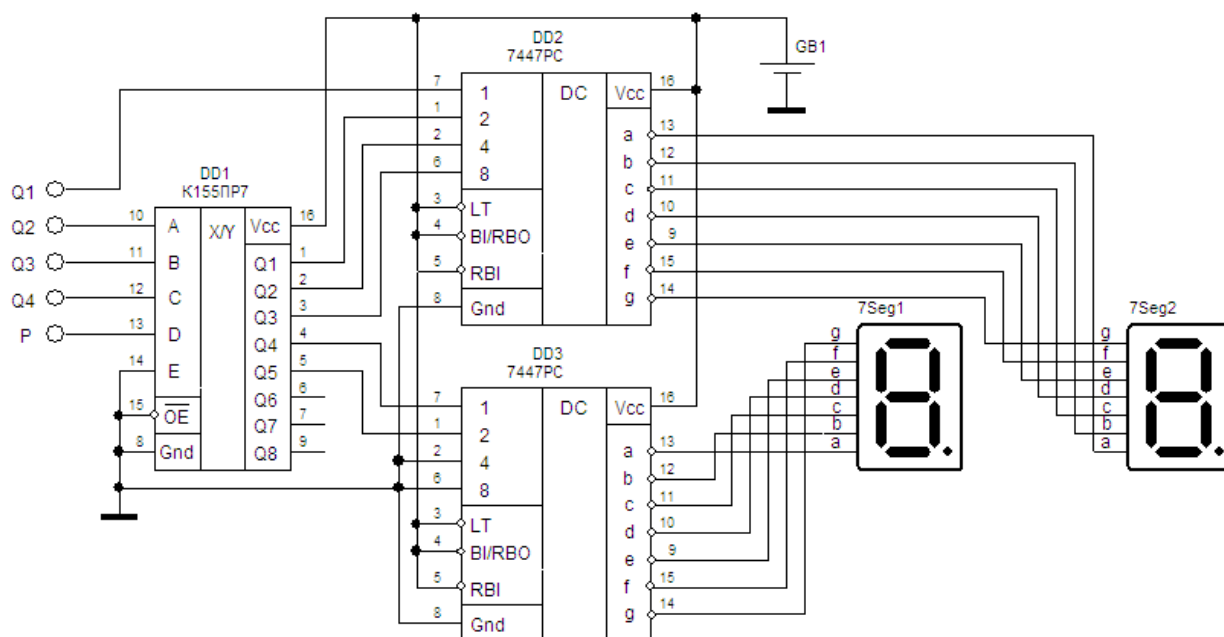


Рисунок 3.39 – Схема електрична принципова пристрою відображення інформації

### 3.10 Розробка загальної схеми цифрової мікроелектронної системи

Проведемо аналіз функціонування загальної схеми цифрової мікроелектронної системи поблоково в програмному забезпеченні Electronics Workbench.

1) Аналіз функціонування блоків підготовки даних для цифрового операційного пристрою (рис. 3.40).

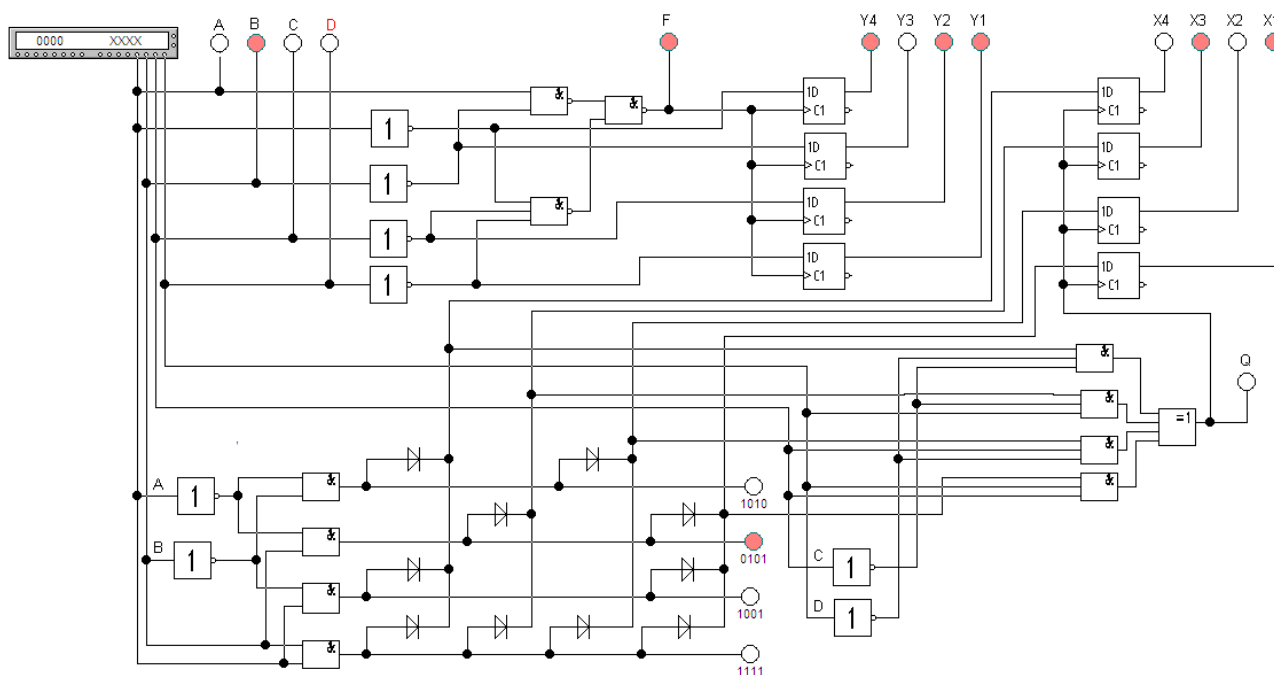


Рисунок 3.40 – Аналіз функціонування блоків підготовки даних для цифрового операційного пристрою

Показання індикаторів відповідають правильності спрацювання схеми.

У випадку коду  $\overline{ABCD}$  (0100) на вході цифрового пристрою комбінаційного типу (табл. 3.1): на виході F логічна одиниця; на буферному регістрі перетворювача двійкового коду у зворотний код  $Y_4Y_3Y_2Y_1$  (1011); на вході дешифратора слів  $\overline{AB}$  (01) і на буферному регістрі матриці ПЗП фіксується слово 0101; на адресних входах мультиплексора  $\overline{CD}$  (00) зчитується перший розряд слова 0 і на виході Q мультиплексора 0.

2) Для спрощення аналізу цифрової мікроелектронної системи, схема блоків підготовки даних розміщена в розділ favorites (обрані) робочої панелі EWB (рис. 3.41). Складена таблиця сигналів цифрової мікроелектронної системи (табл. 3.9).

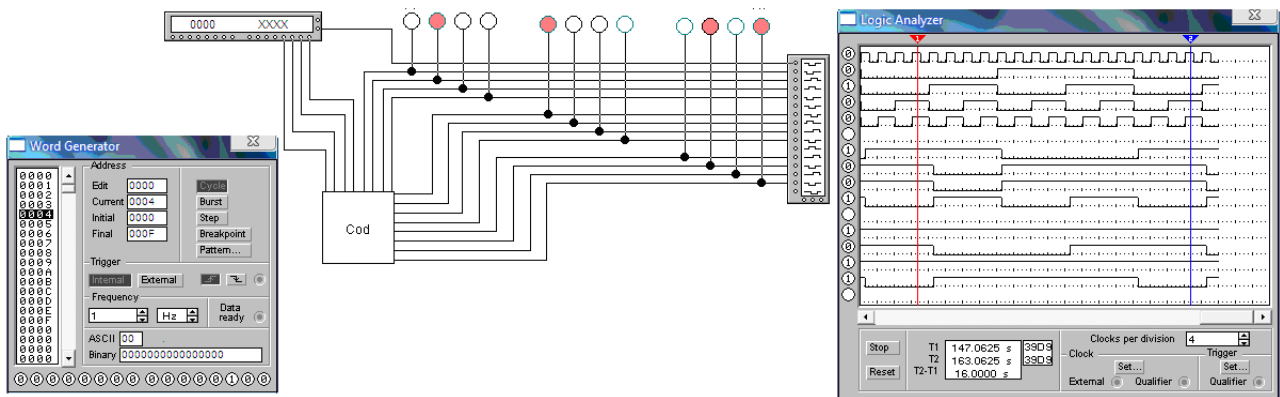


Рисунок 3.41 - Спрощення аналізу цифрової мікроелектронної системи

Таблиця 3.9 - Таблиця сигналів цифрової мікроелектронної системи

| №  | Вхід |   |   |   | F | ПК Буферний регістр 1 |    |    |    | Дешифратор слів |    |    |    | Q | МС Буферний регістр 2 |    |    |    | Σ  |
|----|------|---|---|---|---|-----------------------|----|----|----|-----------------|----|----|----|---|-----------------------|----|----|----|----|
|    | A    | B | C | D |   | Y4                    | Y3 | Y2 | Y1 | 00              | 01 | 10 | 11 |   | X4                    | X3 | X2 | X1 |    |
| 0  | 0    | 0 | 0 | 0 | 1 | 1                     | 1  | 1  | 1  | 1               | 0  | 0  | 0  | 1 | 1                     | 0  | 1  | 0  | 25 |
| 1  | 0    | 0 | 0 | 1 | 0 | 1                     | 1  | 1  | 1  | 1               | 0  | 0  | 0  | 0 | 1                     | 0  | 1  | 0  | 25 |
| 2  | 0    | 0 | 1 | 0 | 0 | 1                     | 1  | 1  | 1  | 1               | 0  | 0  | 0  | 1 | 1                     | 0  | 1  | 0  | 25 |
| 3  | 0    | 0 | 1 | 1 | 0 | 1                     | 1  | 1  | 1  | 1               | 0  | 0  | 0  | 0 | 1                     | 0  | 1  | 0  | 25 |
| 4  | 0    | 1 | 0 | 0 | 1 | 1                     | 0  | 1  | 1  | 0               | 1  | 0  | 0  | 0 | 0                     | 1  | 0  | 1  | 16 |
| 5  | 0    | 1 | 0 | 1 | 0 | 1                     | 0  | 1  | 1  | 0               | 1  | 0  | 0  | 1 | 0                     | 1  | 0  | 1  | 16 |
| 6  | 0    | 1 | 1 | 0 | 0 | 1                     | 0  | 1  | 1  | 0               | 1  | 0  | 0  | 0 | 0                     | 1  | 0  | 1  | 16 |
| 7  | 0    | 1 | 1 | 1 | 0 | 1                     | 0  | 1  | 1  | 0               | 1  | 0  | 0  | 1 | 0                     | 1  | 0  | 1  | 16 |
| 8  | 1    | 0 | 0 | 0 | 1 | 0                     | 1  | 1  | 1  | 0               | 0  | 1  | 0  | 1 | 1                     | 0  | 0  | 1  | 16 |
| 9  | 1    | 0 | 0 | 1 | 1 | 0                     | 1  | 1  | 0  | 0               | 0  | 1  | 0  | 0 | 1                     | 0  | 0  | 1  | 15 |
| 10 | 1    | 0 | 1 | 0 | 1 | 0                     | 1  | 0  | 1  | 0               | 0  | 1  | 0  | 0 | 1                     | 0  | 0  | 1  | 14 |
| 11 | 1    | 0 | 1 | 1 | 1 | 0                     | 1  | 0  | 0  | 0               | 0  | 1  | 0  | 1 | 1                     | 0  | 0  | 1  | 13 |
| 12 | 1    | 1 | 0 | 0 | 0 | 0                     | 1  | 0  | 0  | 0               | 0  | 0  | 1  | 1 | 1                     | 1  | 1  | 1  | 13 |
| 13 | 1    | 1 | 0 | 1 | 0 | 0                     | 1  | 0  | 0  | 0               | 0  | 0  | 1  | 1 | 1                     | 1  | 1  | 1  | 13 |
| 14 | 1    | 1 | 1 | 0 | 0 | 0                     | 1  | 0  | 0  | 0               | 0  | 0  | 1  | 1 | 1                     | 1  | 1  | 1  | 13 |
| 15 | 1    | 1 | 1 | 1 | 0 | 0                     | 1  | 0  | 0  | 0               | 0  | 0  | 1  | 1 | 1                     | 1  | 1  | 1  | 13 |

3) Загальна схема електрична принципова мікроелектронної системи у програмному забезпеченні **sPlan 5.0** представлена на рисунку 3.42.

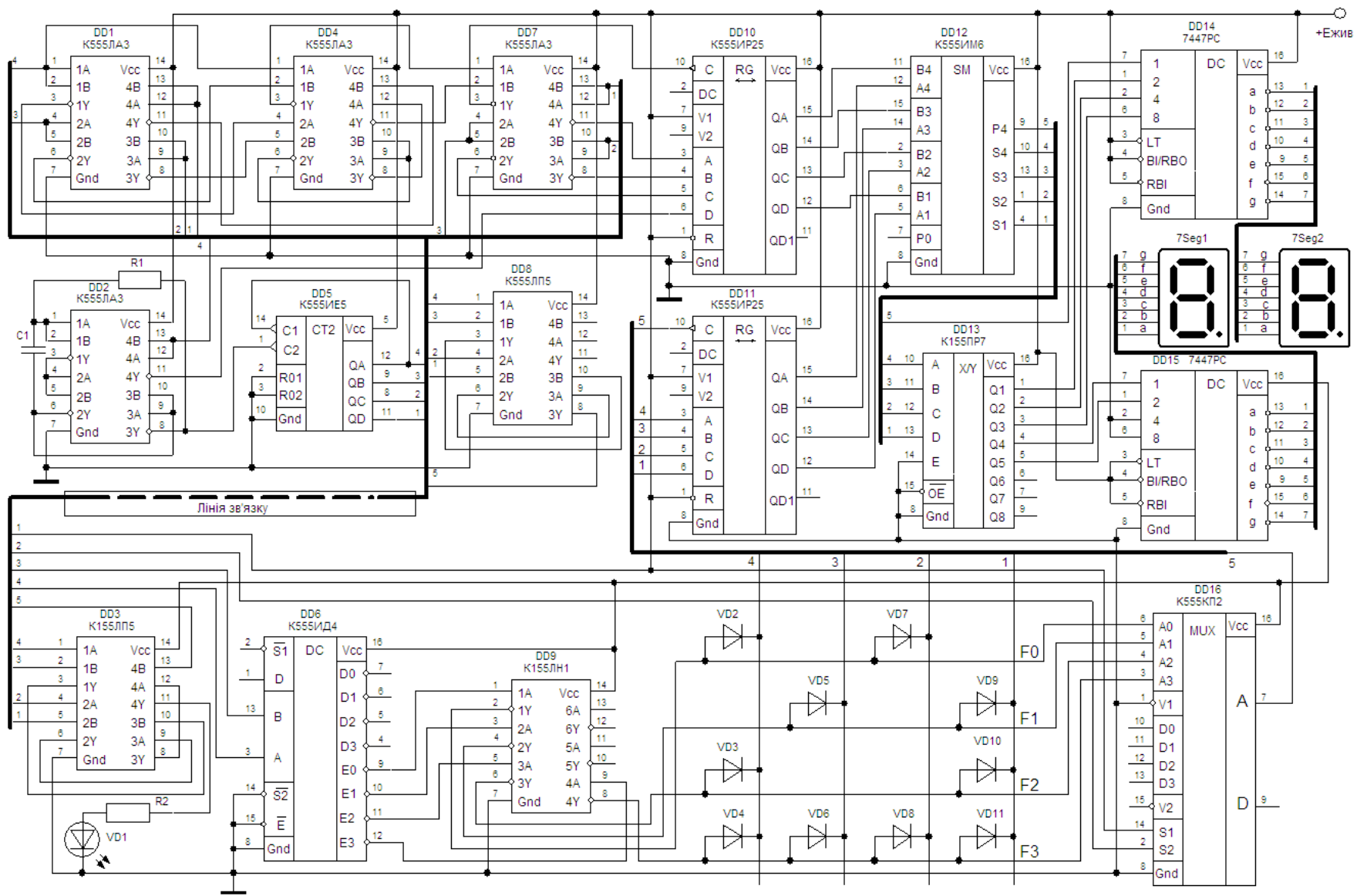


Рисунок 3.42 - Загальна схема електрична принципова мікроелектронної системи



## Висновки

У курсовій роботі розглянуті побудова і принцип дії цифрової мікроелектронної системи, яка включає в себе різноманітні вузли цифрової схемотехніки. Розроблені: схема цифрового пристрою комбінаційного типу, схеми перетворювачів кодів, схема буферного регістру, схема цифрового пристрою послідовнісного типу, схема контролю правильності проходження сигналу, схема пристрою постійного запам'ятовування, схема цифрового операційного пристрою, схема пристрою виведення інформації на індикатори.

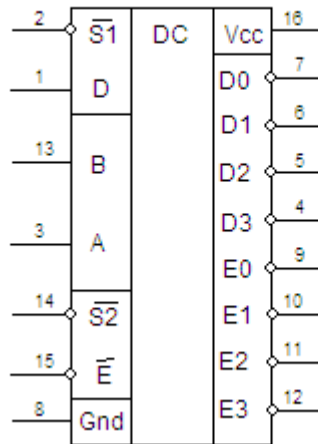
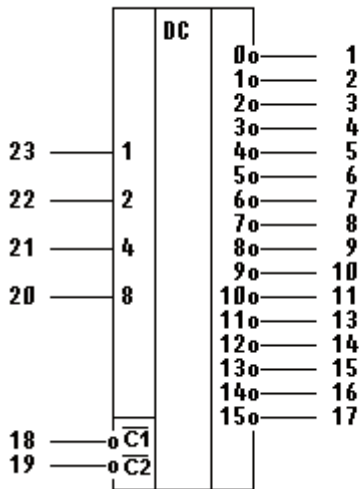
Аналіз функціонування розроблених схем показує відповідність завданню та загальній теорії функціонування вузлів цифрової схемотехніки.

При виконанні курсового проекту використані програмні засоби: побудови електричних схем sPlan 5.0, та аналізу функціонування електронних схем Electronics Workbench 5.12.

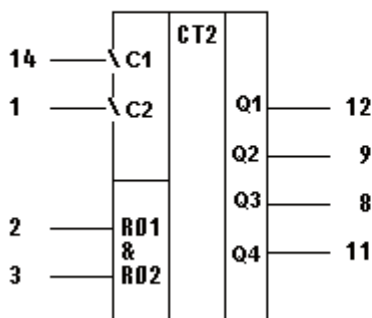
## Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.
3. Лорія М.Г, Єлісеєв П.Й., Целіщев О.Б. Цифрова схемотехніка: навч. посіб. Северодонецьк: Вид-во Східноукр. нац. ун-ту ім. В. Даля, 2016. 280 с.
4. Матвієнко М.П., Розен В.П. Комп'ютерна схемотехніка: навч. посіб. К.: Видавництво Ліра-К, 2016. 192 с.
5. Верьовкін Л.Л., Світанько М.В., Хрипко С.Л. Цифрова схемотехніка: Методичні рекомендації до самостійної роботи. Запоріжжя : ЗНУ, 2020. 50 с.
6. Верьовкін Л.Л., Світанько М.В. Критська Т.В. Цифрова схемотехніка. Методичні рекомендації до лабораторних робіт для здобувачів вищої освіти бакалавра спеціальності «Мікро- та наносистемна техніка» освітньо-професійної програми «Мікро- та наносистемна техніка». Запоріжжя : ЗНУ, 2021. 80 с.

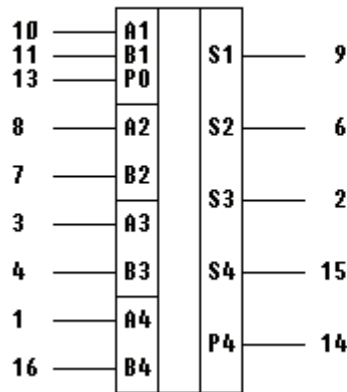
## Мікросхеми ТТЛ та ТТЛШ (155 і 555 серії)

К155ИД4*Здвоєний дешифратор-демультиплексор 2-4.*К155ИД3*Дешифратор 4 в 16.*

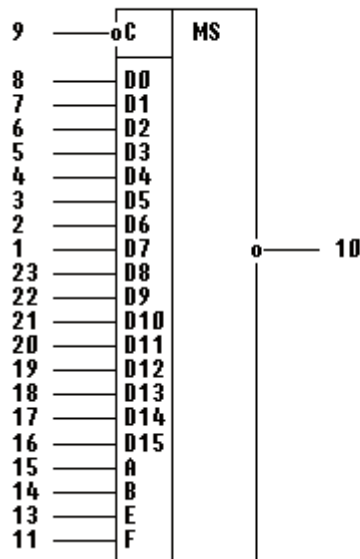
| № вив. | Призначення | № вив. | Призначення |
|--------|-------------|--------|-------------|
| 1      | Вихід 0     | 13     | Вихід 11    |
| 2      | Вихід 1     | 14     | Вихід 12    |
| 3      | Вихід 2     | 15     | Вихід 13    |
| 4      | Вихід 3     | 16     | Вихід 14    |
| 5      | Вихід 4     | 17     | Вихід 15    |
| 6      | Вихід 5     | 18     | Вхід строб. |
| 7      | Вихід 6     | 19     | Вхід строб. |
| 8      | Вихід 7     | 20     | Вхід інф.   |
| 9      | Вихід 8     | 21     | Вхід інф.   |
| 10     | Вихід 9     | 22     | Вхід інф.   |
| 11     | Вихід 10    | 23     | Вхід інф.   |
| 12     | 0вчий       | 24     | Ucc         |

К155ИЕ5*Двійковий 4-розрядний лічильник*

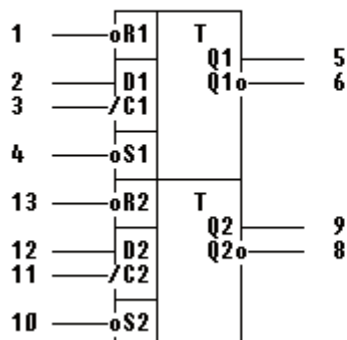
| № вив. | Призначення        | № вив. | Призначення     |
|--------|--------------------|--------|-----------------|
| 1      | Вхід лічильної     | 8      | Вихід 2-розряда |
| 2      | Вхід установки "0" | 9      | Вихід 1-розряда |
| 3      | Вхід установки "0" | 10     | Загальної       |
| 4      | Вільної            | 11     | Вихід 3-розряда |
| 5      | Ucc                | 12     | Вихід 0-розряда |
| 6      | Вільної            | 13     | Вільної         |
| 7      | Вільної            | 14     | Вхід лічильної  |

K155ИМ3*4-розрядний двійковий суматор*

| № вив. | Призначення | № вив. | Призначення |
|--------|-------------|--------|-------------|
| 1      | Вхід А4     | 9      | Вихід S1    |
| 2      | Вихід S3    | 10     | Вхід А1     |
| 3      | Вхід А3     | 11     | Вхід В1     |
| 4      | Вхід В3     | 12     | Загальний   |
| 5      | Ucc         | 13     | Вхід P0     |
| 6      | Вихід S2    | 14     | Вихід P4    |
| 7      | Вхід В2     | 15     | Вихід S4    |
| 8      | Вхід А2     | 16     | Вхід В4     |

K155КП1*Селектор-мультиплексор на 16 входів.*

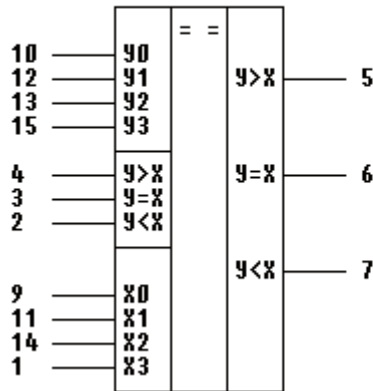
| № вив. | Призначення | № вив. | Призначення |
|--------|-------------|--------|-------------|
| 1      | Вхід D7     | 13     | Вхід E      |
| 2      | Вхід D6     | 14     | Вхід B      |
| 3      | Вхід D5     | 15     | Вхід A      |
| 4      | Вхід D4     | 16     | Вхід D15    |
| 5      | Вхід D3     | 17     | Вхід D14    |
| 6      | Вхід D2     | 18     | Вхід D13    |
| 7      | Вхід D1     | 19     | Вхід D12    |
| 8      | Вхід D0     | 20     | Вхід D11    |
| 9      | Вхід C      | 21     | Вхід D10    |
| 10     | Вихід       | 22     | Вхід D9     |
| 11     | Вхід F      | 23     | Вхід D8     |
| 12     | Загальний   | 24     | Ucc         |

K155ТМ2*Два D-тригера синхронних з додатковими виходами*

| № вив. | Призначення | № вив. | Призначення |
|--------|-------------|--------|-------------|
| 1      | Вхід R1     | 8      | Вхід Q2     |
| 2      | Вхід D1     | 9      | Вихід Q2    |
| 3      | Вхід C1     | 10     | Вхід S2     |
| 4      | Вхід S1     | 11     | Вхід C2     |
| 5      | Вихід Q1    | 12     | Вхід D2     |
| 6      | Вихід Q1o   | 13     | Вхід R2     |
| 7      | Загальний   | 14     | Ucc         |

## K555СП1

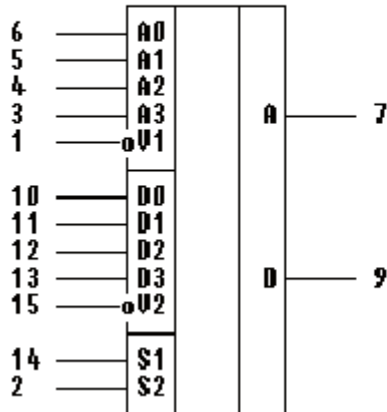
Схема порівняння двох 4-розрядних чисел



| № вив. | Призначення   | № вив. | Призначення |
|--------|---------------|--------|-------------|
| 1      | Вхід X3       | 9      | Вхід X0     |
| 2      | Вхід переноса | 10     | Вхід Y0     |
| 3      | Вхід переноса | 11     | Вхід X1     |
| 4      | Вхід переноса | 12     | Вхід Y1     |
| 5      | Вихід Y > X   | 13     | Вхід Y2     |
| 6      | Вихід Y = X   | 14     | Вхід X2     |
| 7      | Вихід Y < X   | 15     | Вхід Y3     |
| 8      | Загальний     | 16     | Ucc         |

## K555КП2

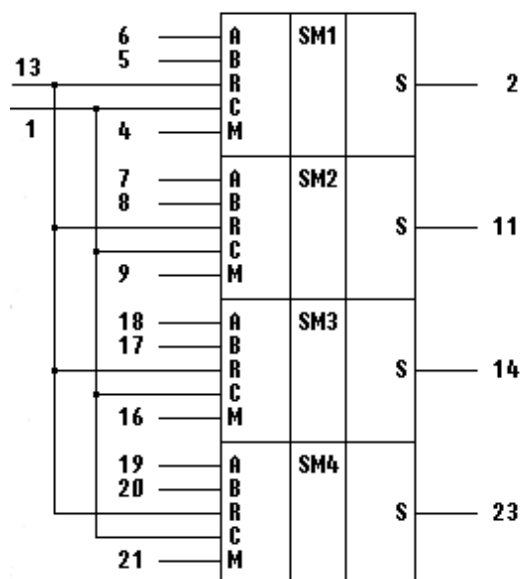
Здвоєний цифровий селектор мультимплексор 4-1



| № вив. | Призначення             | № вив. | Призначення             |
|--------|-------------------------|--------|-------------------------|
| 1      | Вхід дозволу U1         | 9      | Вихід 0                 |
| 2      | Вхід вибірки розряду S2 | 10     | Вхід B0                 |
| 3      | Вхід A3                 | 11     | Вхід B1                 |
| 4      | Вхід A2                 | 12     | Вхід B2                 |
| 5      | Вхід A1                 | 13     | Вхід B3                 |
| 6      | Вхід A0                 | 14     | Вхід вибірки розряду S1 |
| 7      | Вихід A                 | 15     | Вхід дозволу U2         |
| 8      | Загальний               | 16     | Ucc                     |

## K555ИМ7

4-розрядний суматор-віднімач



| № вив. | Призначення        | № вив. | Призначення        |
|--------|--------------------|--------|--------------------|
| 1      | Тактовий вхід      | 13     | Скидання           |
| 2      | Вихід суматора     | 14     | Вихід суматора     |
| 3      | Вільний            | 15     | Вільний            |
| 4      | Вибір режиму       | 16     | Вибір режиму       |
| 5      | Інформаційний вхід | 17     | Інформаційний вхід |
| 6      | Інформаційний вхід | 18     | Інформаційний вхід |
| 7      | Інформаційний вхід | 19     | Інформаційний вхід |
| 8      | Інформаційний вхід | 20     | Інформаційний вхід |
| 9      | Вибір режиму       | 21     | Вибір режиму       |
| 10     | Вільний            | 22     | Вільний            |
| 11     | Вихід суматора     | 23     | Вихід суматора     |
| 12     | Загальний          | 24     | Ucc                |

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім. Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем  
та програмного забезпечення*

## **КУРСОВИЙ ПРОЄКТ (РОБОТА)**

з дисципліни Цифрова схемотехніка

на тему: «Розробка цифрової мікроелектронної системи»

Студента (ки) \_\_\_\_\_ курсу, групи \_\_\_\_\_

напряму підготовки \_\_\_\_\_

спеціальності \_\_\_\_\_

(прізвище та ініціали)

Керівник \_\_\_\_\_

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала \_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка: ECTS \_\_\_\_\_

Члени комісії

\_\_\_\_\_ (підпис) \_\_\_\_\_ (прізвище та ініціали)

\_\_\_\_\_ (підпис) \_\_\_\_\_ (прізвище та ініціали)

\_\_\_\_\_ (підпис) \_\_\_\_\_ (прізвище та ініціали)

м. Запоріжжя – 20\_\_ рік

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім. Ю. М. Потебні*

*Кафедра: Електроніки, інформаційних систем  
та програмного забезпечення*

## **ЗАВДАННЯ НА КУРСОВИЙ ПРОЄКТ (РОБОТУ)**

студенту групи \_\_\_\_\_  
(шифр групи) \_\_\_\_\_ (П.І.Б.)

з дисципліни \_\_\_\_\_

на тему: \_\_\_\_\_

Термін здачі проєкту (роботи) \_\_\_\_\_  
(тиждень або дата)

Вихідні данні до проєкту (роботи) \_\_\_\_\_

(можливі додаткові вихідні данні у вигляді схем, таблиць тощо, які додаються до бланку завдання)

Виконав: \_\_\_\_\_ студент групи \_\_\_\_\_  
(підпис) \_\_\_\_\_ (шифр групи) \_\_\_\_\_ (П.І.Б.)

Зміст пояснювальної записки \_\_\_\_\_

Перелік графічного матеріалу \_\_\_\_\_

Дата видачі завдання \_\_\_\_\_

Керівник проєкту (роботи) \_\_\_\_\_  
(підпис) \_\_\_\_\_ (наук. ступінь, вчене звання) \_\_\_\_\_ (П.І.Б.)

Завдання прийняв до виконання \_\_\_\_\_  
(підпис) \_\_\_\_\_ (шифр групи) \_\_\_\_\_ (П.І.Б.)

Приклад оформлення реферату

## Реферат

Курсова робота містить 31 сторінку, 22 рисунка, 3 таблиці, 3 джерела літератури.

Об'єкт дослідження: цифрові мікроелектронні системи.

Мета роботи: придбання практичних навиків розрахунку, аналізу і синтезу цифрових мікроелектронних систем.

Завдання роботи:

- розрахувати схему цифрового комбінаційного пристрою;
- розрахувати схему перетворювача двійкового коду;
- розрахувати схему постійного запам'ятовувального пристрою;
- розрахувати схему цифрового пристрою послідовнісного типу;
- розрахувати схему цифрового операційного пристрою

ДІОДНО-ТРАНЗИСТОРНА ЛОГІКА, ІНВЕРТОР, КОМБІНАЦІЙНА СХЕМА, ТАБЛИЦЯ ІСТИНОСТІ, ЛІЧИЛЬНИК, ТАБЛИЦЯ ПЕРЕХОДІВ, ТАБЛИЦЯ ВИХОДІВ, СУМАТОР

Курсову роботу виконано на кафедрі електроніки, мікроелектронних систем та програмного забезпечення, з \_\_.\_\_.20\_\_ р. по \_\_.\_\_.20\_\_ р.

Приклад оформлення змісту

## Зміст

|  | Стор. |
|--|-------|
| Вступ .....  | 3     |
| 1. Лінійний дешифратор .....                           | 4     |
| 2. Розрахункова частина .....                          | 11    |
| 2.1 Розрахунок пристрою введення інформації .....      | 11    |
| 2.2 Перетворювач двійкового коду в зворотній код ..... | 16    |
| 2.3 Буферний регістр .....                             | 20    |
| 2.4 Пристрій постійного запам'ятовування (16×4) .....  | 20    |
| 2.5 Акумулятор .....                                   | 22    |
| 2.6 Логічний арифметичний пристрій .....               | 23    |
| 2.7 Пристрій відображення інформації .....             | 26    |
| Висновки .....   | 32    |
| Література .....                                       | 34    |



Приклади оформлення схеми та діаграми

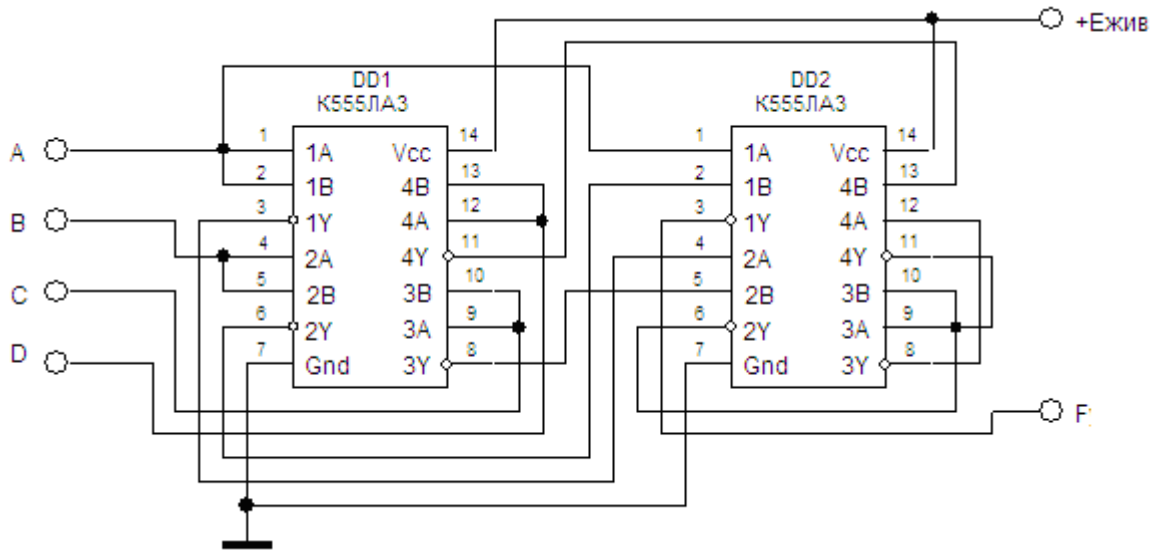


Рисунок 2.9 – Схема цифрового пристрою комбінаційного типу

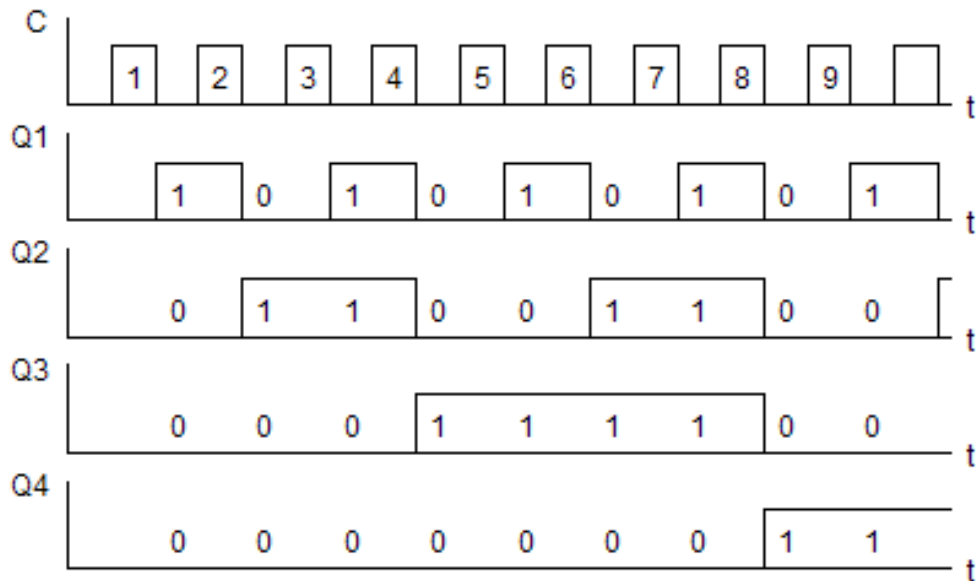


Рисунок 1.8 – Діаграма функціонування

Приклад оформлення таблиці

Таблиця 2.2 – Електричні параметри таймера КР1006ВИ1

| Двійковий код |    |    |    | Зворотній код |    |    |    |
|---------------|----|----|----|---------------|----|----|----|
| Y4            | Y3 | Y2 | Y1 | A4            | A3 | A2 | A1 |
| 0             | 0  | 0  | 0  | 1             | 1  | 1  | 1  |
| 0             | 0  | 0  | 1  | 1             | 1  | 1  | 0  |
| 0             | 0  | 1  | 0  | 1             | 1  | 0  | 1  |
| 0             | 0  | 1  | 1  | 1             | 1  | 0  | 0  |
| 0             | 1  | 0  | 0  | 1             | 0  | 1  | 1  |
| 0             | 1  | 0  | 1  | 1             | 0  | 1  | 0  |
| 0             | 1  | 1  | 0  | 1             | 0  | 0  | 1  |
| 0             | 1  | 1  | 1  | 1             | 0  | 0  | 0  |
| 1             | 0  | 0  | 0  | 0             | 1  | 1  | 1  |
| 1             | 0  | 0  | 1  | 0             | 1  | 1  | 0  |
| 1             | 0  | 1  | 0  | 0             | 1  | 0  | 1  |
| 1             | 0  | 1  | 1  | 0             | 1  | 0  | 0  |
| 1             | 1  | 0  | 0  | 0             | 0  | 1  | 1  |
| 1             | 1  | 0  | 1  | 0             | 0  | 1  | 0  |
| 1             | 1  | 1  | 0  | 0             | 0  | 0  | 1  |
| 1             | 1  | 1  | 1  | 0             | 0  | 0  | 0  |

## Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка : підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Pedroni V., Circuit Design and Simulation with VHDL, 2nd ed., MIT Press, 2010. 345 p.
3. CIT Forum [Електронний ресурс] : Сети: Учебные пособия и обзоры - 2014 - Режим доступу: <http://citforum.ru/nets/edu.htm>. - Дата доступу: вер. 2022. - Назва з екрана.
4. Наукова бібліотека Запорізького національного університету. URL: <http://library.znu.edu.ua/8080/library/DocSearchForm;jsessionid=AD3371EE9111A5A76FA4571E09EC6C17>
5. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.
6. Задерейко О.В., Логінова Н.І., Трофименко О.Г., Троянський О.В., Толокнов А.А. Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронне видання]. Одеса : Фенікс, 2021. 163 с.