

*Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім. Ю.М. Потєбні
Кафедра: Електроніки, інформаційних систем та програмного
забезпечення*

Лабораторна робота №8

з дисципліни Цифрова схемотехніка

**Логічний синтез пристроїв комбінаційного типу для організації,
комутації та перетворення кодів**

Студента (ки) _____ курсу, групи _____

(прізвище та ініціали)

(Піжпис)

Викладач _____

(оцінка, дата, підпис)

м. Запоріжжя – 2024 рік

Мета роботи: ознайомитися із принципами побудови різних схем на елементах комбінаційного типу.

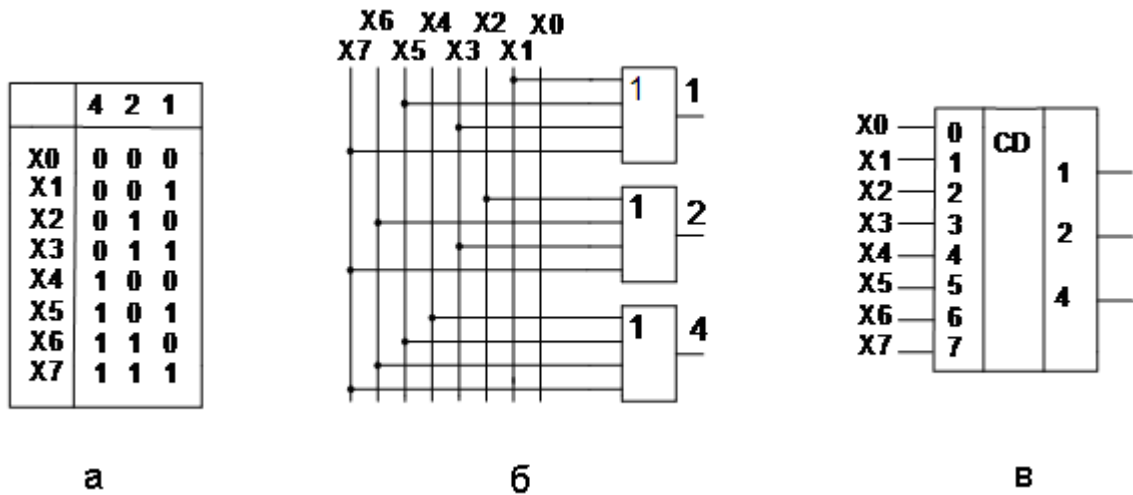
8.1 Кодуючі і декодуючі пристрої

Цифровими пристроями комбінаційного типу або цифровими автоматами без пам'яті називаються цифрові пристрої, логічні значення на виході яких однозначно визначаються сукупністю або комбінацією сигналів на входах в даний момент часу. До них відносяться схеми, що підсумовують, шифратори і дешифратори, мультиплексори і демультіплексори, цифрові компаратори і інші пристрої. Цифрові пристрої комбінаційного типу випускаються у вигляді інтегральних мікросхем або входять до складу великих інтегральних мікросхем, таких як процесори, що запам'ятовують та інші пристрої.

8.1.1 Шифратор (кодер)

Шифратор (кодер) – це функціональний вузол, призначений для перетворення управляючих сигналів (команд), що поступають на його входи, в n – розрядний двійковий код. Зокрема, такими сигналами або командами можуть бути десяткові числа, наприклад, номер команди, який за допомогою шифратора перетвориться в двійковий код. Як приклад розробимо схему 3 – розрядного шифратора. Спочатку слід побудувати таблицю код (таблицю істинності), в якій код номера сигналу представимо, наприклад, двійковим кодом (рис. 8.1, а). Схема, реалізована на елементах АБО, приведена на рисунку 8.1, б.

У загальному випадку, при використанні двійкової коди, можна закодувати $2n$ вхідних сигналів. У розглянутій вище схемі вихідний код «000» присутній на виході при подачі сигналу на вхід X_0 і в разі, якщо вхідний сигнал взагалі не подається ні на один з входів.



а - таблиця кодів; б - функціональна схема; в - умовне графічне позначення (УГП)

Рисунок 8.1 – Трьохрозрядний шифратор

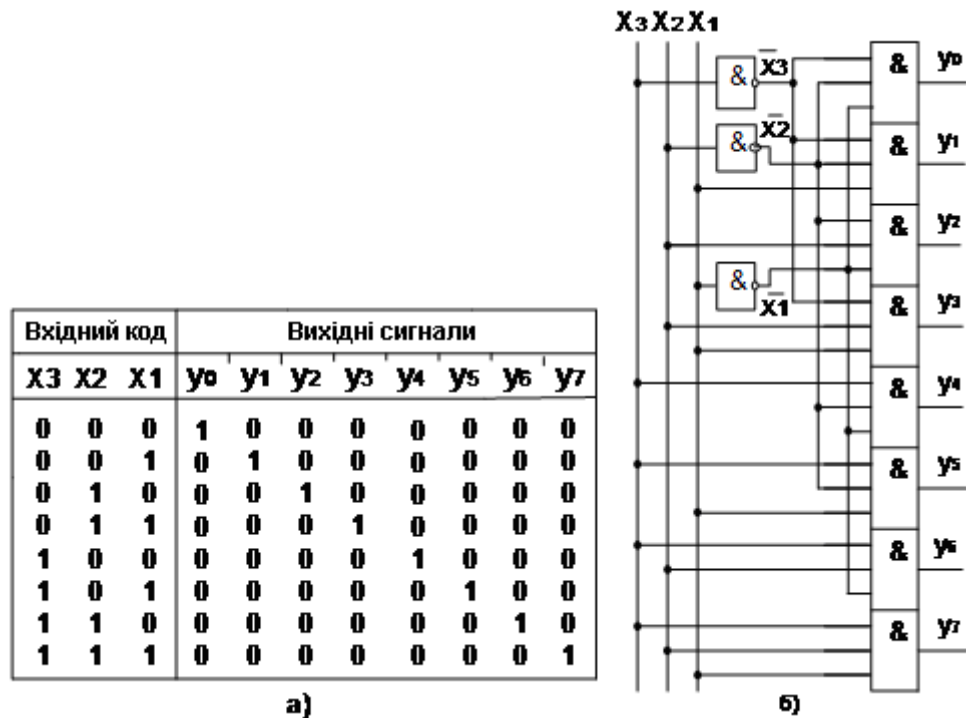
Для однозначної ідентифікації сигналу X0 в інтегральних схемах формується ще один вихідний сигнал – ознака подачі вхідного сигналу, який використовується і для інших цілей.

8.1.2 Дешифратор (декодер)

Дешифратор – функціональний вузол, що виробляє сигнал «лог. 1» (дешифратор високого рівня) або сигнал «лог. 0» (дешифратор низького рівня) лише на одному зі своїх 2^n виходах залежно від коду двійкового числа на n -входах. Дешифратор із 3 в 8 представлений на рисунку 8.2.

Дешифратори широко використовуються в пристроях управління, де вони формують сигнал, що управляє, відповідно до вхідного коду, який впливає на який-небудь виконавчий пристрій.

Інтегральні мікросхеми дешифраторів виготовляються з додатковими входами, наприклад, з входом дозволу (стробування). Стробування дозволяє виключити появу на входах дешифратора помилкових сигналів, забороняючи його роботу в інтервалі часу перехідного процесу при зміні цифрової коди на вході.



а – таблиця істинності; б – функціональна схема

Рисунок 8.2 – Дешифратор із 3 в 8

Мікросхема К155ИД3 (рис. 8.3, а) має чотири адресні входи з ваговими коефіцієнтами двійкового коду 1 2 4 8, два інверсні входи стробування S, об'єднаних по I, і 16 інверсних виходів 0 – 15. Якщо на обох входах стробування «лог. 0», то на тому з виходів, номер якого відповідає десятковому еквіваленту вхідного коду, буде «лог. 0». Якщо хоч би на одному з входів стробування S «лог. 1», то незалежно від перебування входів на всіх виходах мікросхеми формується «лог. 1».

Наявність двох входів стробування істотно розширює можливості використання мікросхем. З двох мікросхем К155ИД3, доповнених одним інвертором, можна зібрати дешифратор на 32 виходи (рис. 8.3, б).

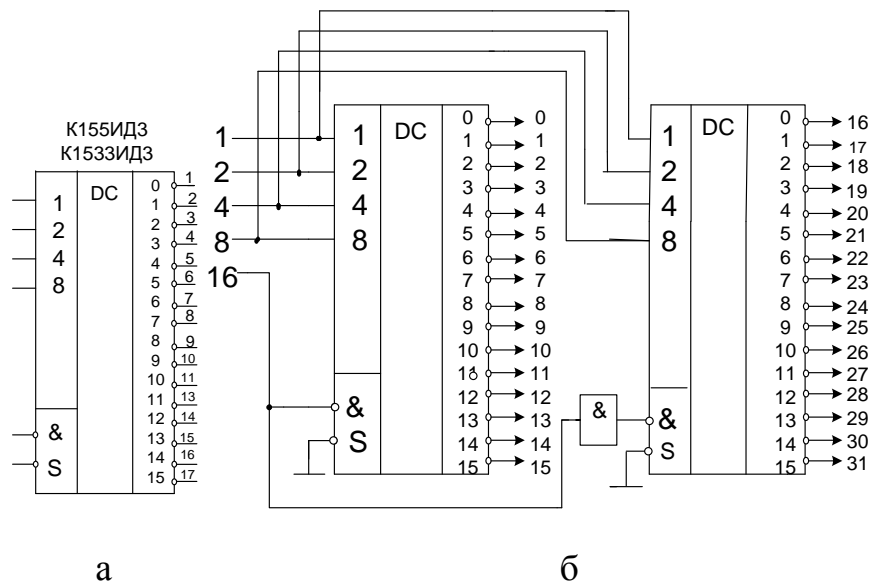


Рисунок 8.3 – Дешифратор К155ИД3

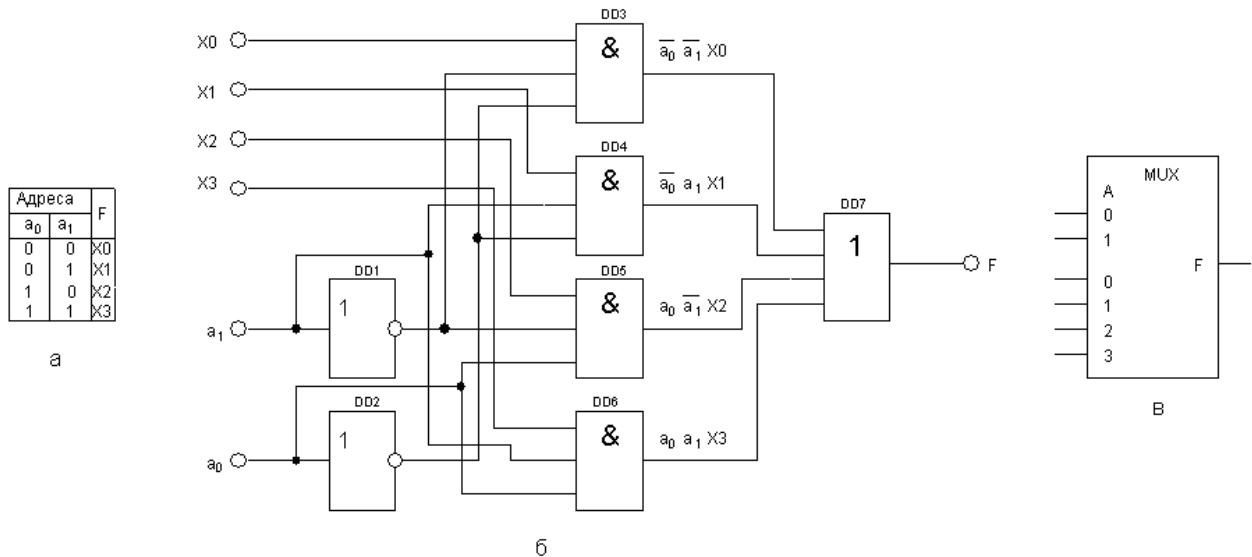
8.2 Комутатори цифрових сигналів

8.2.1 Мультиплексори

Мультиплексор – функціональний вузол, який має n - адресних входів, $N = 2^n$ інформаційних входів, один вихід і здійснює керовану комутацію інформації, що поступає по N вхідним лініям, на одну вихідну лінію. Комутація певної вхідної лінії відбувається відповідно до двійкового адресного коду $a_{n-1}, \dots, a_2, a_1, a_0$.

Якщо адресний код має n – розрядів, то можна здійснити $N = 2^n$ комбінацій адресних сигналів, кожна з яких забезпечить підключення однієї з N вхідних ліній до вихідної лінії. Такий мультиплексор називають «з N в одну». За наявності надлишкових комбінацій адресних сигналів можна спроектувати мультиплексор з будь-яким числом вхідних ліній $N \leq 2^n$

У простому випадку при двохраннім адресному кодї ($n=2$) максимальне число вхідних адресних ліній дорівнює $N = 2^n = 4$. Таблиця істинності такого мультиплексора приведена на рисунку 8.4, а.



а – таблиця істинності; б – функціональна схема; в – УГП

Рисунок 8.4 - Мультиплексор із 4 в 1

Характеристичне рівняння такого мультиплексора, записане у відповідності з таблицею істинності, має вигляд:

$$F = \overline{a_1} \overline{a_0} X_0 + \overline{a_1} a_0 X_1 + a_1 \overline{a_0} X_2 + a_1 a_0 X_3$$

З отриманого рівняння виходить, що до складу функціональної схеми мультиплексора входять два інвертори, чотири схеми «І» і одна схема «АБО» (рис. 7.4, б). Тут адресними (керівними) входами є a_1 , a_0 , а інформаційними – X_0 , X_1 , X_2 , X_3 .

Умовне графічне позначення мультиплексора, відповідно до ДСТУ, приведене на рисунку 7.4, в.

В даний час промисловість випускає МС, в серії яких входять мультиплексори з $n = 2, 3$ і 4 адресними входами. При $n=2$ випускаються здвоєні чотирьохканальні ($2^n = 4$) мультиплексори, число вхідних інформаційних сигналів яких рівне $2^n + 2^n = 8$.

8.3 Дешифратори – демультимплексори

Демультимплексор – це функціональний вузол, що здійснює керовану комутацію інформації, що поступає по одному входу, на N виходів. Таким

чином, демультимплектор реалізує операцію, протилежну тій, яку виконує мультимплектор.

Узагальнена схема демультимплектора приведена на рисунку 6.5. У загальному випадку число вихідних ліній N визначається кількістю адресних входів n і дорівнює $N = 2^n$.

Для випадку $n = 2$ функціонування демультимплектора здійснюється відповідно до таблиці істинності, приведеної на рисунку 7.6, а.

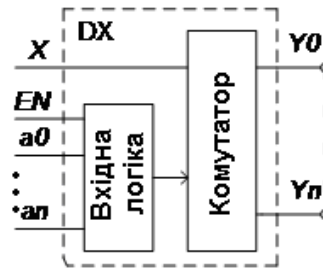


Рисунок 8.5 - Узагальнена схема демультимплектора

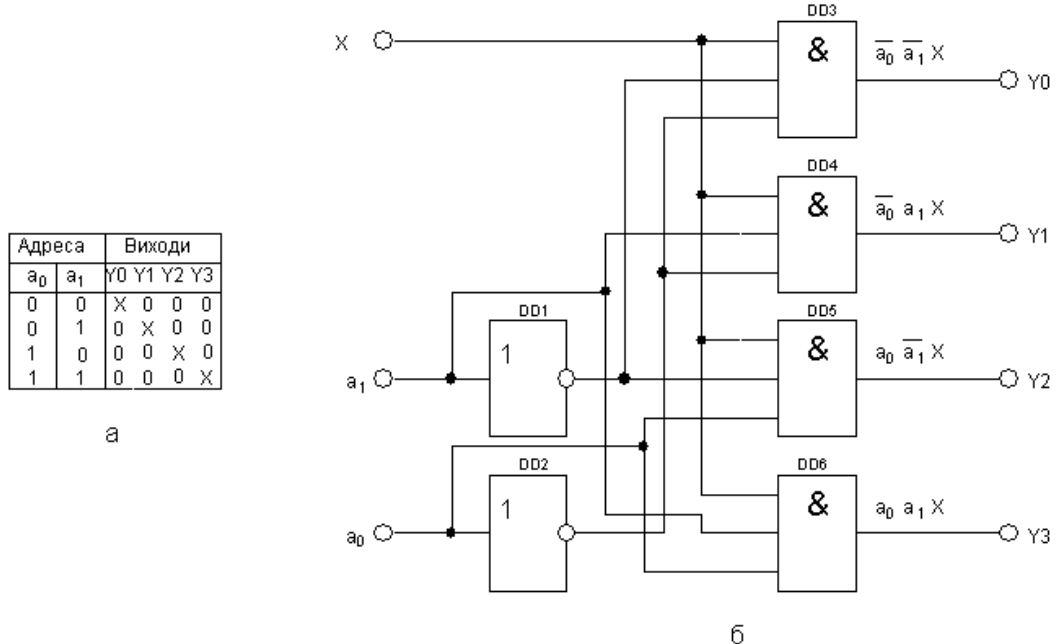


Рисунок 8.6 - Таблиця істинності (а) і функціональна схема 4 – каналного демультимплектора (б)

З таблиці істинності запишемо характеристичні рівняння демультимплектора:

$$Y_0 = \overline{a_1 a_0} X; Y_1 = \overline{a_1} a_0 X;$$

$$Y_0 = a_1 \overline{a_0} X; Y_1 = a_1 a_0 X.$$

Відповідна цим рівнянням функціональна схема демультіплексора приведена на рисунку 8.6, б. Вона має в своєму складі два інвертори і чотири елементи «І».

Порівнюючи таблиці істинності і функціональні схеми демультіплексора і дешифратора, легко побачити схожість їх функцій. Якщо функція $X = 1$ постійна, то демультіплексор виконує функції дешифратора. Враховуючи схожість виконуваних функцій, мікросхеми дешифраторів і демультіплексорів мають однакове умовне позначення – ІЕ, називаються «Дешифратор – демультіплексор» і можуть виконувати функції і дешифратора і демультіплексора.

8.4 Перетворювачі кодів. Індикатори

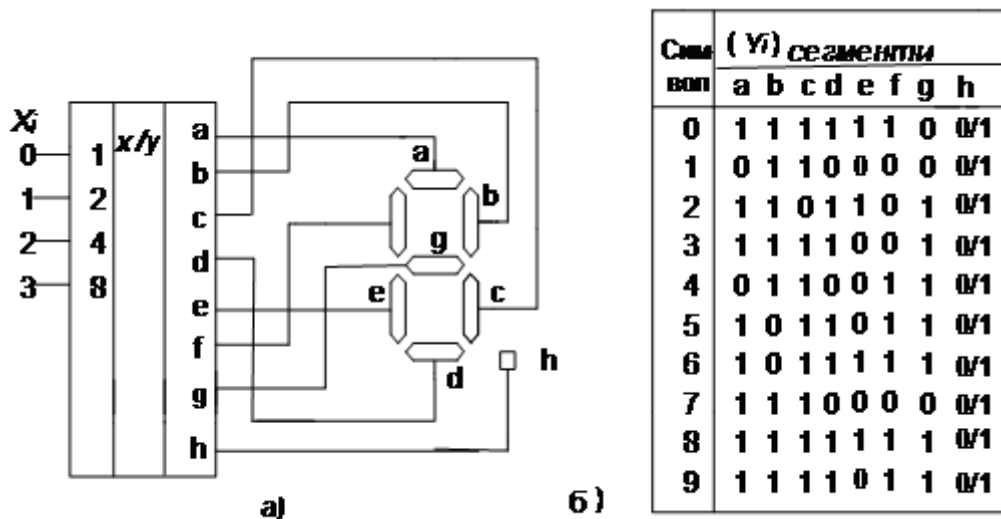
Операція зміни коду числа називається його перетворенням. Інтегральні мікросхеми, що виконують ці операції, називаються перетворювачами кодів. Інтегральні мікросхеми перетворювачів кодів випускаються лише для найбільш поширених операцій - таких як перетворювачі двійкової коди в десятковий, двійково – десятковий, шістнадцятиричний, код Грея (таблиця. 7.1) або зворотних, вказаних вище перетворень.

По своїй структурі перетворювачі кодів є дешифраторами, лише вони перетворюють двійковий код в сигнали не лише на одному, але і на декількох виходах.

Як приклад розглянемо перетворювач двійкового коду в код управління 7 – сегментним цифровим індикатором. На рис. 7.7 а приведена схема підключення індикатора. Індикатор є напівпровідниковим приладом, в якому є вісім сегментів, виконаних зі світлодіодів. Включенням і виключенням окремих сегментів можна отримати зображення окремих цифр або знаків, що світяться.

Таблиця 8.1 - Найбільш поширені двійкові коди від 0 до 15

Десяткове число	Коди			
	Двійковий	Вісімковий	Шістнадцятирічний	Двійково-десятковий
0	0000	0	0	0000
1	0001	1	1	0001
2	0010	2	2	0010
3	0011	3	3	0011
4	0100	4	4	0100
5	0101	5	5	0101
6	0110	6	6	0110
7	0111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	00010000
11	1011	13	B	00010001
12	1100	14	C	00010010
13	1101	15	D	00010011
14	1110	16	E	00010100
15	1111	17	F	00010101



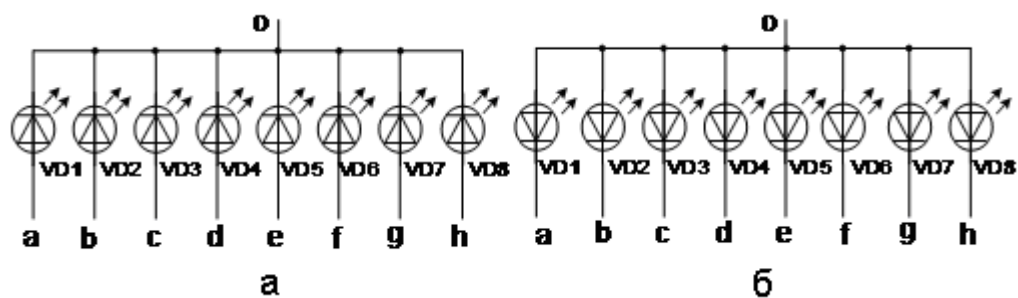
а) – схема підключення індикатора; б) – таблиця станів

Рисунок 8.7 - Перетворювач двійкового коду в код 7 – сегментного індикатора

Кожній цифрі відповідає свій набір включення певних сегментів індикатора. Відповідна таблиця відображення цифр і десяткової розділової крапки приведена на рис. 8.7, б.

За внутрішньою схемою включення індикатори підрозділяються на індикатори із загальним катодом та із загальним анодом. Схеми обох видів індикаторів приведені на рис. 8.8, а і 8.8, б відповідно.

Існує широка гамма різних модифікацій семисегментних індикаторів. Вони відрізняються один від одного розмірами, кольором свічення, яскравістю, розташуванням виводів.



а – із загальним катодом; б – із загальним анодом

Рисунок 8.8 - Схеми індикаторів

Для управління індикатором із загальним катодом використовується, наприклад, дешифратор К514ИД1, а із загальним анодом – К514ИД2. Використовуються мікросхеми дешифраторів і інших серій, наприклад, 176ИД2, 176ИД3, 564ИД4, 564ИД5, К133ПП1 і ін.

8.5 Порядок виконання роботи

При вивченні інтегральних пристроїв комбінаційного типу (дешифраторів, мультиплексорів, демультиплексорів, перетворювачів кодів) рекомендується засвоїти їх призначення, принципи функціонування і основні особливості; перевірити за довідковими даними збіг значень параметрів пристроїв і параметрів логічних елементів, використовуваних в комбінаційних прибудовах.

8.5.1 Варіанти завдань

1. Побудувати схему зведення в квадрат чотирьохрозрядного двійкового коду чисел 0 ... 9 з виведенням інформації на семисегментні шістнадцятирічні індикатори десяткових цифр.
2. Побудувати схему логічного апарату на 16 – програм, для управління чотирма ялинковими гірляндами.
3. Побудувати схему перетворювача двійкового коду двійково – десятковий.
4. Побудувати логічну схему автоматичного суддівського пристрою для 4 суддів (один з них головний суддя), з виведенням результату на світловий індикатор.
5. Побудувати схему перетворювача двійкового коду в додатковий.

Контрольні питання

1. Схема лінійного дешифратора.
2. Схема пірамідального дешифратора.
3. Схема розширення виходів дешифратора.
4. Схема шифратора з десяткового коду чисел в двійковий код.
5. Схема заданого перетворювача кодів.
6. Мультиплексор з 8 в 1.
7. Демультиплексор з 1 в 8.

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.