

Лекція 2. Системи логічних елементів і їх основні характеристики

Для апаратної реалізації булевих виразів використовується деякий набір логічних елементів, які випускаються у вигляді інтегральних мікросхем (ІМС). Існують спеціалізовані ІМС, які розроблені методами інтегральної технології спеціально для отримання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних з'єднань і мають високу надійність. Однак розробка схожих мікросхем економічно виправдана лише при великому об'ємі випуску. Прикладом може слугувати масовий випуск спеціалізованих ІМС для побутової техніки тощо.

Крім спеціалізованих ІМС, існує універсальний набір логічних елементів у вигляді ІМС, які забезпечують реалізацію будь-яких логічних функцій. До цього набору можна віднести: інвертор; кон'юнктор; диз'юнктор; повторювач; І-НІ; АБО-НІ; виняткове АБО; сумування за модулем два (непарність); сумування за модулем два з відмовою (парність); еквівалентність; нееквівалентність; І-АБО-НІ; заборона та ін.

2.1 Серії логічних елементів

При побудові комбінаційних цифрових логічних автоматів використовуються різні логічні елементи, які повинні узгоджуватися по вхідних і вихідних сигналах, напрузі живлення і так далі. Для цієї мети логічні елементи об'єднують в серії.

Серією (системою, комплексом) мікросхем називається призначений для побудови цифрових пристроїв функціонально повний набір логічних елементів, який об'єднується загальними електричними, конструктивними і технологічними параметрами, використовує однаковий спосіб представлення інформації, однакового типу міжелементних зв'язків. Система елементів найчастіше надлишкова по своєму функціональному складу, що дозволяє будувати схеми економічніші по кількості використаних елементів.

До складу серії входять елементи для виконання логічних операцій, запам'ятовувальні елементи, елементи які реалізують функції вузлів, а також спеціальні елементи для посилення, відновлення і формування сигналів стандартної форми.

Конструктивно логічні елементи являють собою інтегральні схеми (ІС), сформовані в кристалі кремнію за допомогою спеціальних технологічних процесів.

У більшості сучасних серій елементів є мікросхеми малої міри інтеграції (ІС до 100 елементів на кристал), середньої міри (СІС – до 1000 елементів на кристал), великої міри інтеграції (ВІС – до 10000 елементів на кристал) і надвеликої міри інтеграції (НВІС – більше 10000 елементів на кристал). Логічні елементи у вигляді ІС реалізують сукупність простих логічних операцій: І, АБО, І-АБО, І-НІ, АБО-НІ і так далі Логічні елементи на СІС і ВІС реалізують вузли ЕОМ, на НВІС – мікроЕОМ.

Основними характеристиками серії логічних елементів являються:

- напруга живлення і сигнали для представлення логічного 0 і логічної 1;
- коефіцієнти об'єднання по входу;
- здатність навантаження (коефіцієнт розгалуження по виходу);
- перешкодостійкість;
- розсіювана потужність;
- швидкодія.

Серія елементів характеризується кількістю використовуваної живлячої напруги і їх номінальними значеннями. Зазвичай логічному 0 відповідає низький рівень напруги, а логічною 1 – високий. Для найчастіше використовуваних серій напруга живлення складає +5В, рівень логічної одиниці 2,4 - 5В, рівень логічного нуля 0 - 0,4В.

Коефіцієнт об'єднання по входу ($K_{об}$) визначає максимально можливе число входів логічного елемента, іншими словами, функцію скількох змінних може реалізувати цей елемент. Зазвичай $K_{об}$ набуває значення від 2 до 4, рідше $K_{об}=8$. Збільшення числа входів пов'язане з ускладненням схеми елемен-

тів і наводить до погіршення інших параметрів – перешкодостійкості, швидкодії і так далі.

Коефіцієнт розгалуження по виходу ($K_{роз}$) показує на скільки логічних входів може бути одночасно навантажений вихід даного логічного елемента. Зазвичай $K_{роз}$ для найчастіше використовуваних серій рівний 10. Інколи замість $K_{роз}$ задається гранично допустиме значення вихідного струму логічного елемента в стані 0 або 1.

Перешкодостійкість – це здатність елемента правильно функціонувати за наявності перешкод. Вона визначається максимально допустимою напругою перешкоди, при якій не відбувається збою в його роботі. Звичайно це напруга порядку 0,6 - 0,9 В.

Швидкодія логічних елементів – параметр який характеризується часом затримки поширення сигналу. Цей параметр істотно залежить від технології виготовлення мікросхем і лежить в діапазоні від одиниць до сотень наносекунд.

Типи інтегральних мікросхем, які часто вживаються: вітчизняні - це потенційні елементи транзисторно-транзисторної логіки (ТТЛ) (серії К155, К555, К531, К1533 і так далі), транзисторної логіки з емітерними зв'язками (ЕСТЛ) (серії К500, К1500), елементи на КМОП транзисторах (серії К176, К561, К564 і так далі); зарубіжні – аналоги вітчизняних згідно з довідниками.

При синтезі КС на реальних логічних елементах необхідно обов'язково враховувати обмеження на $K_{об}$ і $K_{роз}$.

Умовне позначення логічної мікросхеми складається з наступних елементів:

- 1) букви, яка у великій мірі характеризують стійкість мікросхеми до дії довкілля і пов'язаного з цим типа корпусу (відсутність букви розглядається як свого роду «нульова буква»);
- 2) три або чотири цифри, що позначають номер серії;
- 3) двох букв, які характеризують виконувану функцію;

4) однієї або двох цифр, які позначають тип мікросхеми усередині функціональної групи;

5) букви, які характеризують можливі варіації значень деяких параметрів. Найчастіше цієї букви не буває.

Приклад : K555ЛА2 - мікросхема серії K555, яка виконує функцію І-НЕ, другого типу (у серії K555 цей тип має 8 входів).

Мікросхеми поміщені в стандартні корпуси, в основному з двома типами виводів.

1. Перпендикулярними площині корпусу, з кроком 2,5 мм, які вставляються в отвори монтажної плати і розпаюються на стороні плати, протилежної до корпусу. Такі корпуси називають корпусами типу DIP (Dual In line Package - корпус з двома рядами виводів). У корпуси DIP найчастіше випускаються мікросхеми широкого вживання. Букви які розташовані перед номером серії К, КМ. або КР.

2. Плоскими (планарними), які накладаються на плату і розпаюються на тій же її стороні, де знаходиться і сам корпус з кроком 1,25 мм. У таких корпусах зазвичай випускаються серії спеціального вживання без букви перед номером.

Габарити мікросхеми визначає не кристал кремнію, а виводи з корпусу. Тому якщо елементи прості, то в корпусі розміщують декілька однакових елементів.

Прості логічні елементи (ЛЕ) зазвичай розміщують в корпусах DIP14 з 14 выводами, з яких один вивід - це живлення і один вивід - загальний дріт всіх логічних входів, виходів і живлення (загальний або земля). Останні 12 виводів - логічні.

Складніші логічні вузли розміщують в корпусах з 16, 24 і більшим числом виводів.

В даний час найбільш поширено дві технології виготовлення ЛЕ: ТТЛ і КМОП.

Для технології ТТЛ (транзисторно-транзисторної логіки) найзручнішими для виготовлення є елементи І-НЕ.

Елементи ТТЛ та їх модифікація з діодами Шотки - ТТЛШ, мають хорошу швидкодію, задовільні електричні і експлуатаційні характеристики. Більшість мікропроцесорних великих інтегральних схем (ВІС) і ВІС пам'яті погоджені по живленню і рівням сигналів з елементами ТТЛ. Серії ТТЛ і ТТЛШ - найбільш поширені і популярні у розробників цифрових пристроїв.

Комплементарні (взаємно доповнюючі) МОН (метав-оксид-напівпровідник) - структури, побудовані на основі МОН транзисторів з різним типом провідності. Елементи КМОП виключно економні по споживаній потужності, що є їх основною гідністю. Вони здатні працювати в широкому діапазоні напруги живлення (3-15 В), мають високу перешкодостійкість. Недоліком їх є поки що менша ніж в ТТЛ швидкодія. КМОП мікросхеми потребують дбайливішого використання, ніж інші мікросхеми, оскільки із-за дуже високого входного опору для них небезпечна статична електрика.

У таблиці 2.1 приведені набори мікросхем окремих ЛЕ, які випускаються в рамках деяких широко поширених серій ТТЛ, ТТЛШ, КМОП. З таблиці видно, що найповніше у всіх серіях представлені елементи І-НЕ.

Таблиця 2.1 – Набори мікросхем деяких серій

| Основні параметри і виконувані функції | Технологія. Серія | | |
|--|-------------------|-------|----------|
| | ТТЛ | ТТЛШ | КМОП |
| | 133 | 533 | 564 |
| | К155 | К555 | К561 |
| Типова середня затримка, нс | 18 | 20 | 80 |
| Типова середня споживана потужність одним ЛЕ в статиці | 20 мВт | 4 мВт | 0,7 мкВт |
| 6×НЕ | ЛН1 | ЛН1 | ЛН1 |
| 4×2І-НЕ | ЛА3 | ЛА3 | ЛА7 |
| 3×3І-НЕ | ЛА4 | ЛА4 | ЛА9 |
| 2×4І-НЕ | ЛА1 | ЛА1 | ЛА8 |
| 8І-НЕ | ЛА2 | ЛА2 | - |
| 4×2І | ЛИ1 | ЛИ1 | - |
| 3×3І | - | ЛИ3 | - |
| 2×4І | - | ЛИ6 | - |
| 4×2АБО | ЛЛ1 | ЛЛ1 | - |
| 4×2М2 | ЛП5 | ЛП5 | ЛП2 |

| | | | |
|-------------------|-----|-----|------|
| 4×2АБО-НЕ | ЛЕ1 | ЛЕ1 | ЛЕ5 |
| 3×3АБО-НЕ | - | - | ЛЕ10 |
| 2×4АБО-НЕ | ЛЕ2 | - | ЛЕ6 |
| 2×2-2I-2АБО-НЕ | ЛР1 | - | - |
| 4-4I-2АБО-НЕ | ЛР4 | - | - |
| 3-2I-1-3I-4АБО-НЕ | ЛР3 | - | - |

2.2 Правила схемного включення ЛЕ

Обмеження по здатності навантаження ЛЕ задається максимальним числом входів ЛЕ тій же серії, які можна підключити до виходу даного елемента. Різні елементи різних серій мають коефіцієнт розгалуження по виходу $K_{роз.} = 5 - 20$, типове значення 10. Спеціальні буферні ЛЕ мають $K_{роз.} = 30$.

Невикористані входи І в більшості серій не повинні залишатися ні до чого не підключеними. У ТТЛ і ТТЛШ серіях сигнал від вільного входу сприймається елементом як логічна «1», але при цьому знижуються перешкодостійкість і швидкодія ЛЕ. У серіях ТТЛ і ТТЛШ невикористані входи І або об'єднують з іншими, якщо при цьому не перевищується допустиме навантаження джерела сигналу, або підключають до джерела логічної «1». Як останній використовують або елемент І-НЕ, входи якого заземлені, або резистор з опором 1 кОм, підключений до джерела живлення +5В. До такого джерела дозволяється підключати до 20 невикористаних входів І.

У КМОП елементах ні в якому разі не повинно бути вільних входів. Їх можна підключати до джерела живлення без резистора або об'єднувати з працюючими.

Невикористані входи АБО в будь-яких серіях мають бути сполучені з логічним «0», тобто із загальним дротом.

Якщо деякі ЛЕ, які входять до складу корпусу, не використовуються, то на входи неживаних ЛЕ ТТЛ серій потрібно подати такі сигнали, аби на їх виходах була «1»: у такому стані ЛЕ споживають менший струм і його можна використовувати як джерело логічної «1».

Неживані КМОП елементи можна фіксувати в будь-якому стані, лише не залишати в байдужому.

У загальному випадку виходи звичайних ЛЕ сполучати між собою не можна. Допускається з'єднання виходів, якщо між собою з'єднуються і входи, тобто значення сигналів на входах і виходах ЛЕ завжди збігаються. Це роблять для збільшення здатності навантаження елементів.

Сучасні цифрові системи будуються по магістральному принципу, коли для взаємного обміну даними різні пристрої підключені до єдиної для всієї системи магістральної шини даних.

Для запобігання конфлікту сигналів підключення виходами до магістралі повинно мати можливість відключення від неї. Таку можливість надають спеціальні ЛЕ з трьома станами виходу: два стани "0" і "1" як в звичайних ЛЕ, а третій стан "відключено", коли елемент набуває високого вихідного імпедансу (рис. 2.1). Таблиця 2.2 ілюструє роботу ЛЕ з трьома станами.

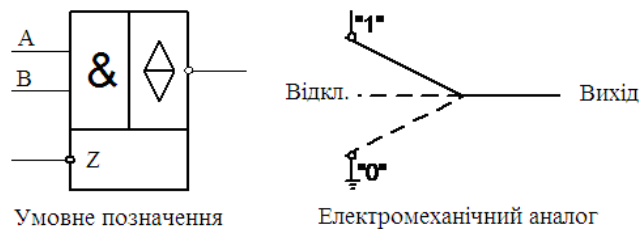


Рисунок 2.1 - Елемент з трьома станами

Таблиця 2.2 - Робота ЛЕ з трьома станами

| Z | Входи | | Вихід | Z | Входи | | Вихід |
|---|-------|---|--------|---|-------|---|-------|
| | A | B | | | A | B | |
| 1 | × | × | Відкл. | 0 | × | 0 | 1 |
| 0 | 0 | × | 1 | 0 | 1 | 1 | 0 |

З таблиці видно, що при $Z = 0$ ЛЕ не відрізняється від 2І-НЕ звичайного елемента, але при $Z=1$ вихід ЛЕ переходить в стан "відключений".

Приклади ЛЕ з трьома станами, які мають високу здатність навантаження - шинні формувачі (bus drivers), мікросхеми КР580ВА86, КР580ВА87.

Спосіб обміну за допомогою магістралей окрім невеликих витрат устаткування дуже зручний для розширення системи, коли в процесі експлуатації потрібне підключення додаткових пристроїв.

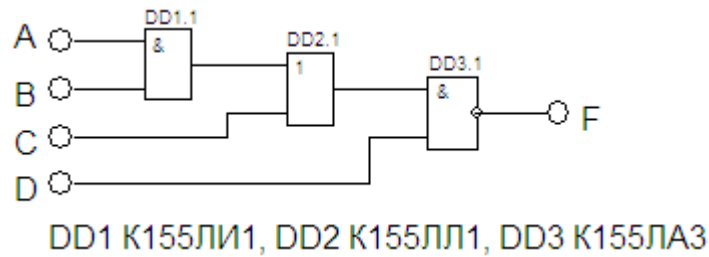


Рисунок 2.5 - Варіант схемної реалізації функції 2.1

Якщо в останньому вираженні розкрити дужки, то отримаємо ще один варіант схеми

$$F = \overline{AC} + \overline{BC} + \overline{D} = (\overline{AC} + \overline{BC}) + \overline{D} = (\overline{A} + \overline{B})\overline{C} + \overline{D} = \overline{\overline{\overline{\overline{\overline{A+B}}}}\overline{C}} + \overline{D} = \overline{\overline{\overline{\overline{A+B}}}} + \overline{C} + \overline{D} = \overline{\overline{\overline{AB}} + C} + \overline{D} = \overline{\overline{AB} + C} \cdot \overline{D} = \overline{AB \cdot D + C \cdot D}$$

Затримка цієї схеми виявилася найменшою зі всіх розглянутих (рис.2.6).

$$T = \tau; W=12/12 \text{ корпусів}$$

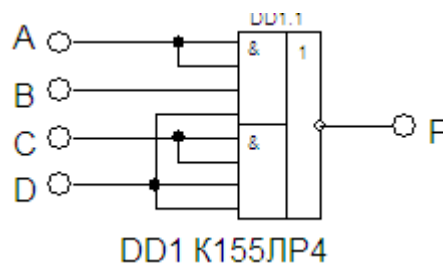


Рисунок 2.6 - Варіант схемної реалізації функції 2.1

Відзначимо, що хоча за основу була узятa МДНФ, її схемна реалізація виявилася економічнішою зі всіх. Протиріччя тут немає. МДНФ мінімальна лише в певному значенні: це вираження, яке має мінімальне сумарне число літер. Перекладаючи апаратною мовою можна сказати, що це відповідає мінімуму суми входів всіх кон'юнкторів, які реалізують елементарні кон'юнкції ДНФ в трьохярусній схемі НЕ-І-АБО показаною на рисунку 2.2 а. Витрати інверторів і диз'юнкторів цей критерій ігнорує. Звідси не витікає, що мінімізація не потрібна взагалі: чим компактніше вираження, тим зручніше обробляти його далі.

Декілька корисних рекомендацій:

- скоротити число інверторів, застосувавши теорему де Моргана;

- використовувати елементи І-АБО-НЕ (вони логічно потужніше, ніж І-НЕ, АБО-НЕ);
- підбирати такі елементи, аби по можливості використовувалися всі їх входи;
- якщо вираження погано мінімізується, спробувати застосувати елементи М2;
- замість прямої функції реалізувати її інверсію.

Алгоритму, який дозволяв би цілеспрямовано будувати хороші схеми, в загальному випадку не існує. Не існує і чітких ознак закінчення пошуку хорошої схеми. У цьому сенсі розібраний приклад не слід сприймати як вимогу завжди проводити таку ретельну обробку будь-якого вираження. Це просто ілюстрація характеру роботи при логічному проектуванні. Те ж саме можна сказати і про процес побудови складніших блоків з мікросхем середньої і великої інтеграції. Слабо алгоритмізований, пошуковий, винахідливий стиль роботи характерний для всіх етапів функціонально-логічного проектування комбінаційних цифрових логічних автоматів.

Проведемо синтез цифрового комбінаційного автомата, алгоритм функціонування якого задано таблицею 2.3.

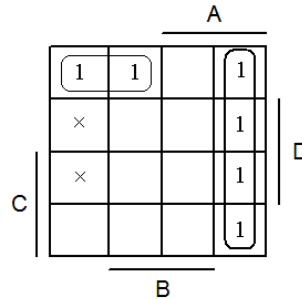
Таблиця 2.3 – Таблиця істинності цифрового комбінаційного автомата

| № | A | B | C | D | F |
|----|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | x |
| 2 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | x |
| 4 | 0 | 1 | 0 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 |

Перейдемо від таблиці істинності до структурної формули в базисі І, АБО, НІ.

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD$$

Мінімізуємо логічну функцію, з урахуванням можливості довизначення функції:



$$F = \overline{A}\overline{B} + \overline{A}C\overline{D}$$

Побудуємо логічну схему комбінаційного цифрового логічного автомата (рис. 2.7).

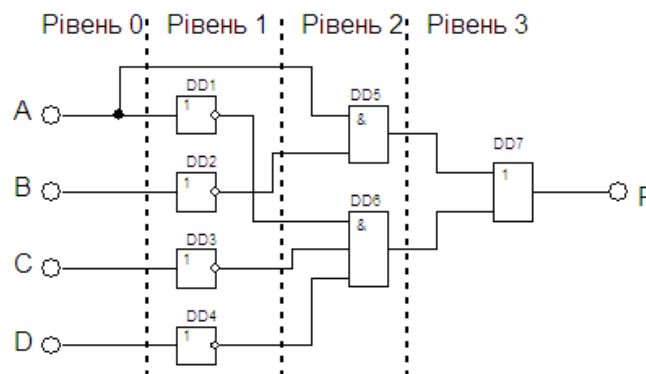


Рисунок 2.7 - Логічна схема комбінаційного цифрового логічного автомата

Проведемо аналіз схеми.

Складність схеми по Квайну 11.

Ранг схеми $r = 3$.

Швидкодія комбінаційної схеми 3τ .

Для реалізації схеми на реальних інтегральних мікросхемах необхідно: 4 елемента НІ, 1 двохвходовий елемент І, один трьохвходовий елемент І, 1 двохвходовий елемент АБО.

Оберемо для реалізації елементну базу транзисторно-транзисторної логіки 155 серії (рис. 2.8).



Рисунок 2.8 – Мікросхеми ТТЛ 155 серії

Схема електрична на інтегральних мікросхемах має вигляд представлений на рисунку 2.9.

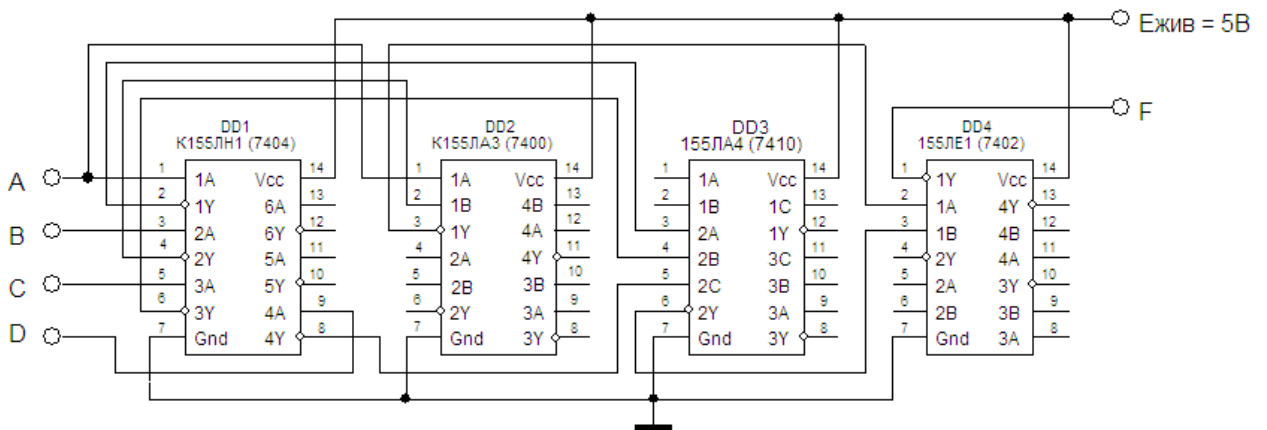


Рисунок 2.9 – Варіант електричної схеми заданого комбінаційного логічного автомата

У схемі не задіяно 10 логічних елементів, а споживна потужність чотирьох мікросхем велика, що доводить до необхідності спрощення схемного рішення та оптимізації елементної бази.

Обираємо елементний базис Шеффера (I-НІ):

$$F = \overline{AB} + \overline{ACD} = \overline{\overline{\overline{AB} + \overline{ACD}}} = \overline{\overline{AB} \cdot \overline{ACD}}$$

Логічна схема комбінаційного цифрового логічного автомата у базисі Шеффера (I-НІ) представлена на рисунку 2.10.

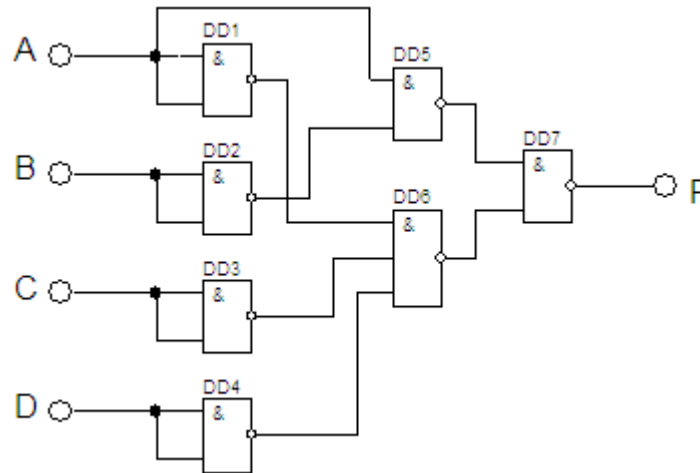


Рисунок 2.10 - Логічна схема у базисі Шеффера (I-НІ)

Схема електрична на інтегральних мікросхемах у базисі Шеффера (I-НІ) представлена на рисунку 2.11.

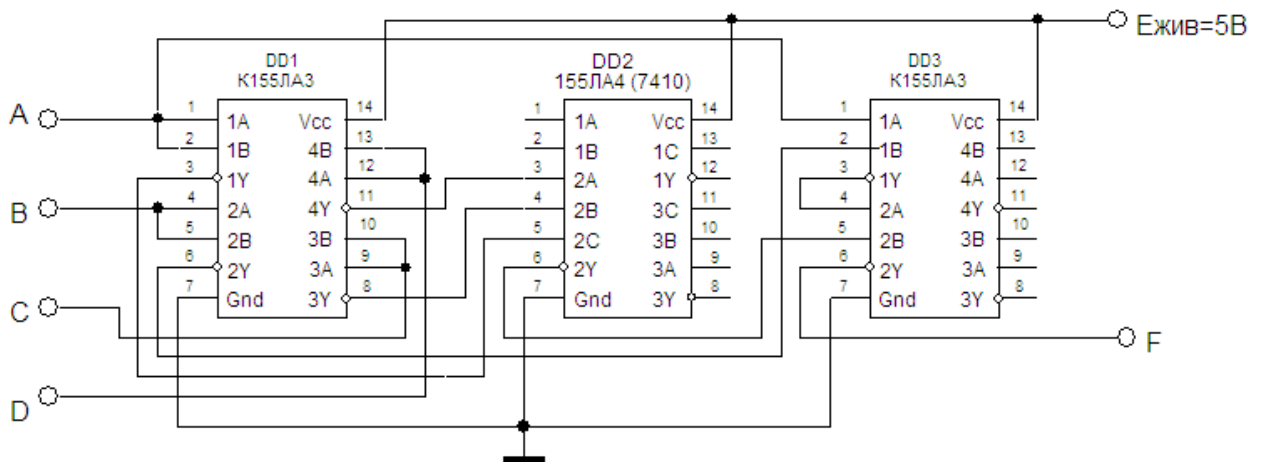


Рисунок 2.11 – Варіант електричної схеми заданого комбінаційного логічного автомата у базисі Шеффера

У схемі не задіяні 4 логічних елемента, а кількість задіяних корпусів мікросхем скоротилась до трьох.

Для застосування у схемі тільки двохвходових елементів I-НІ виконаємо перетворення:

$$\overline{\overline{ACD}} = \overline{(\overline{AC}) \cdot \overline{D}}$$

$$F = \overline{AB} + \overline{ACD} = \overline{\overline{\overline{AB}}} + \overline{\overline{\overline{ACD}}} = \overline{\overline{AB}} \cdot \overline{\overline{ACD}} = \overline{\overline{AB}} \cdot \overline{\overline{(\overline{AC}) \cdot \overline{D}}}$$

Варіант логічної схеми комбінаційного цифрового логічного автомата представлено на рисунку 2.12.

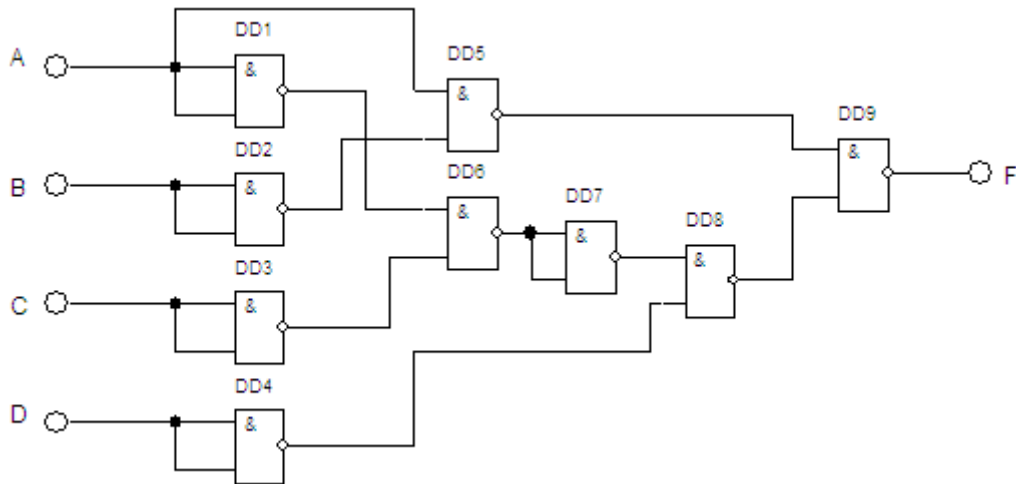


Рисунок 2.12 – Варіант логічної схеми

Проведемо аналіз схеми.

Складність схеми по Квайну 13.

Ранг схеми $r = 3$.

Швидкодія комбінаційної схеми 3τ .

Варіант схеми електричної на інтегральних мікросхемах представлено на рисунку 2.13.

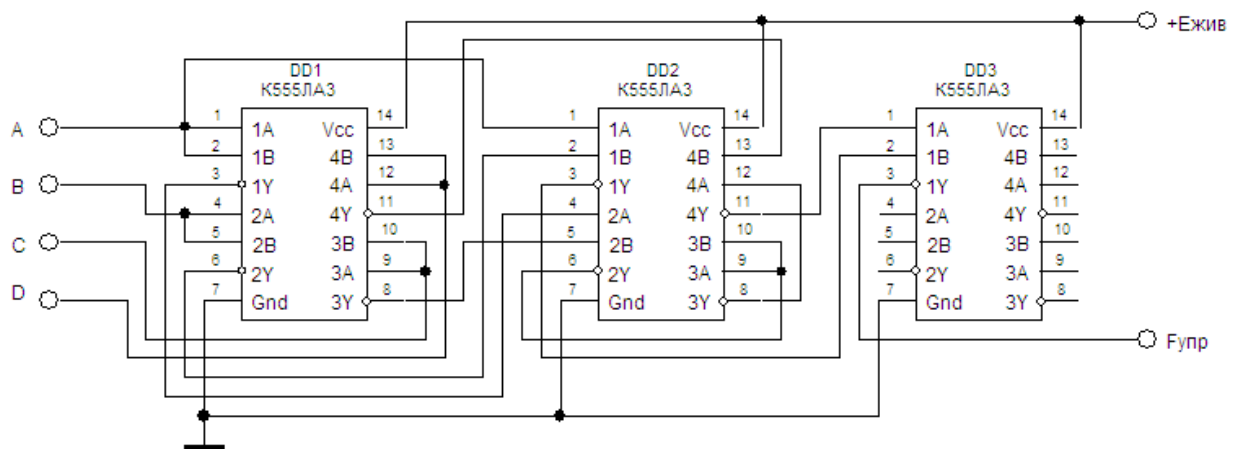


Рисунок 2.13 – Варіант електричної схеми заданого комбінаційного логічного автомата

У схемі використано три корпуси мікросхем і не задіяні три логічних елемента.

Розглянемо варіант застосування трьохвходових елементів І-НІ.

Використаємо закон тавтології (ідемпотентності):

$$\begin{cases} A \cdot A = A \\ A + A = A \end{cases}$$

$$F = \overline{AB} + \overline{ACD} = \overline{\overline{\overline{AB} + \overline{ACD}}} = \overline{\overline{AB} \cdot \overline{ACD}} = \overline{\overline{AB} \cdot \overline{ACD}}$$

Варіант логічної схеми комбінаційного цифрового логічного автомата представлено на рисунку 2.14.

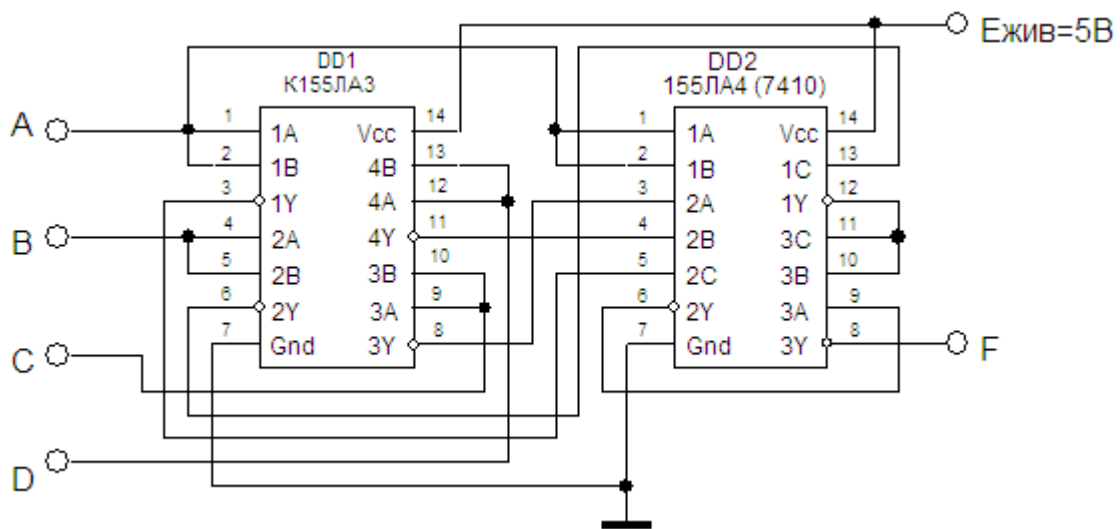


Рисунок 2.14 – Варіант електричної схеми заданого комбінаційного логічного автомата

У схемі використано два корпуси мікросхем і задіяні усі логічні елементи, що збільшує швидкодію і зменшує споживну потужність комбінаційного цифрового логічного автомата.

Проведемо аналіз правильності функціонування схеми у програмному застосуванні Electronics Workbench (рис. 2.15).

Діаграма функціонування комбінаційного цифрового логічного автомата показує відповідність алгоритму опрацювання схеми таблиці істинності (рис. 2.16).

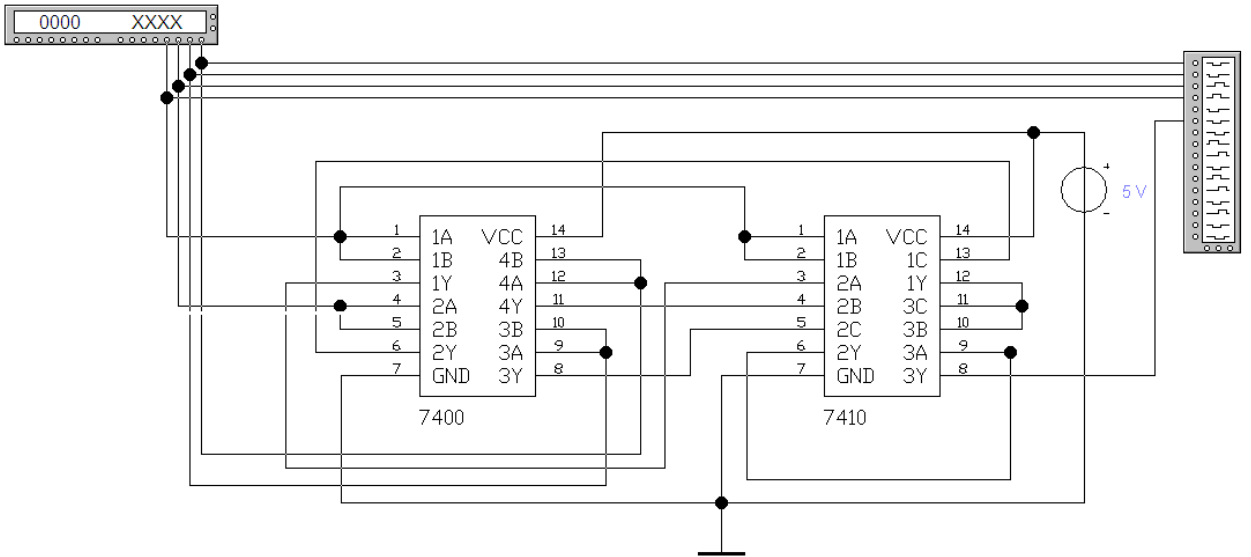


Рисунок 2.15 - Аналіз правильність функціонування схеми

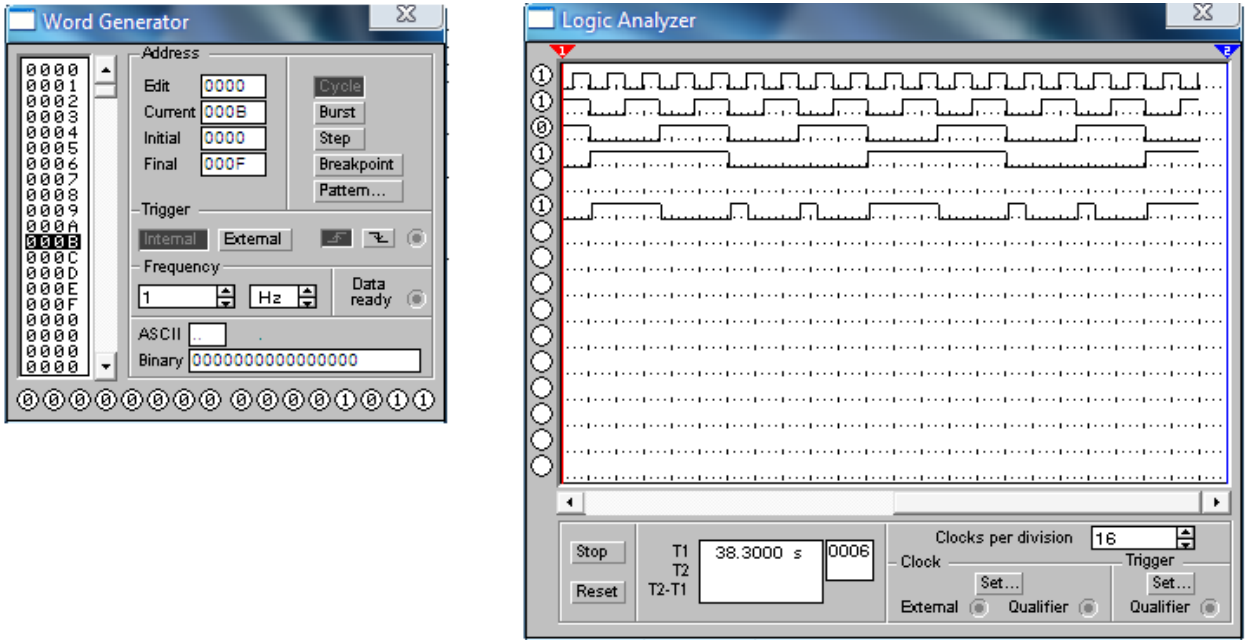


Рисунок 2.16 - Діаграма функціонування комбінаційного цифрового ав-
томата

Приклад 1 (продовження рішення прикладу з Лекції 1)

Отримана структурна схема у базисі І-НЕ (завдання практичного заняття №1)

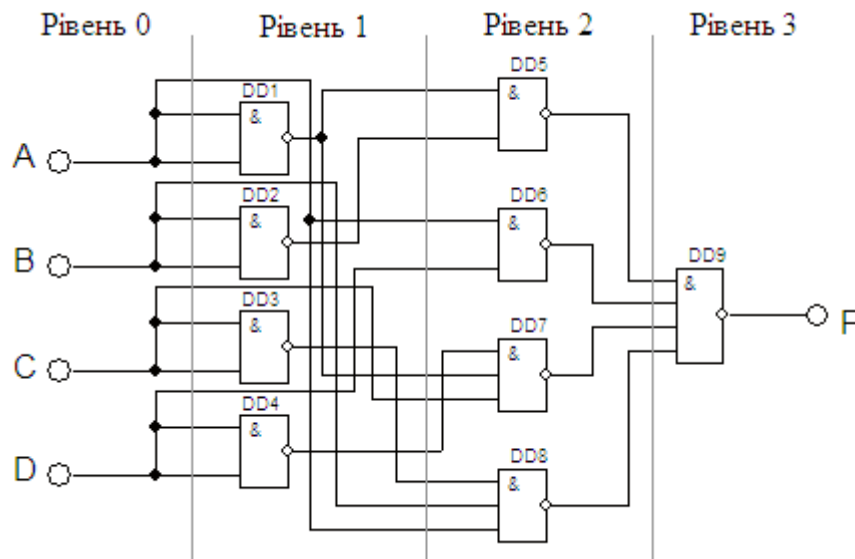


Рисунок 1.11 - Булева функція в мінімальній формі представлена в елементному базисі Шеффера.

1.6 Для реалізації схеми на реальних інтегральних мікросхемах необхідно: 4 елемента НІ, 2 двохвходових елемента І-НЕ, один чотирьохвходовий елемент І-НЕ.

Проведемо аналіз оптимізації схеми. Якщо використовувати: елементи НЕ - мікросхему К155ЛН1 (7404), буде задіяно 4 елемента з 6; елементи 2І-НЕ - мікросхему К155ЛА3 (7400), буде задіяно 2 елемента з 4; елементи 3І-НЕ - мікросхему К155ЛА4 (7410), буде задіяно 2 елемента з 3; елементи 4І-НЕ - мікросхему К155ЛА1 (7420), буде задіяно 1 елемент з 2.

Апаратні витрати;

$$W = 4 \times 1/6 + 2 \times 1/4 + 2 \times 1/3 + 1 \times 1/2 = 14/6$$

Проведемо оптимізацію елементної бази розрахунковим способом.

Враховуючи що $A = A \cdot A$, отримаємо $\overline{A} = \overline{A \cdot A}$. Таким чином замість чотирьох елементів НЕ мікросхеми К155ЛН1 (Рівень 1 DD1 – DD4)), може бути повністю задіяно 4 елемента І-НЕ (з об'єднаними входами) мікросхеми К155ЛА3.

По тому ж принципу перетворимо двохвходові елементи (Рівень 2 DD5 - DD6) в трьохвходові і буде повністю задіяно 3 елемента I-HE мікросхеми К155ЛА4. Трьохвходовий елемент (Рівень 2 DD8) перетворимо в чотириохвходовий і в схемі буде повністю задіяно 2 елемента I-HE мікросхеми К155ЛА1.

$$F = \overline{\overline{AB}} \cdot \overline{\overline{AD}} \cdot \overline{\overline{ACD}} \cdot \overline{\overline{ABC}} = \overline{\overline{(A \cdot B \cdot B)}} \cdot \overline{\overline{(A \cdot A \cdot D)}} \cdot \overline{\overline{(A \cdot C \cdot D)}} \cdot \overline{\overline{(A \cdot A \cdot B \cdot C)}}$$

Оберемо для реалізації елементну базу транзисторно-транзисторної логіки 155 серії (рис. 1.12).

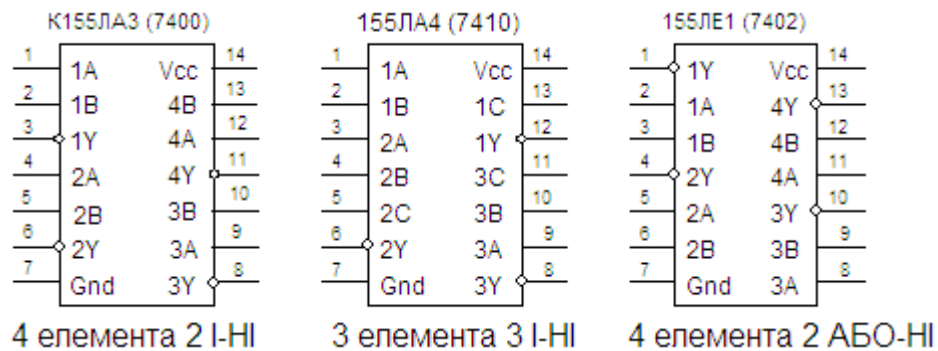


Рисунок 1.12 – Мікросхеми транзисторно-транзисторної логіки 155 серії

Таким чином в схемі задіяні усі елементи використаних мікросхем і апаратні витрати оптимальні (рис. 1.13).

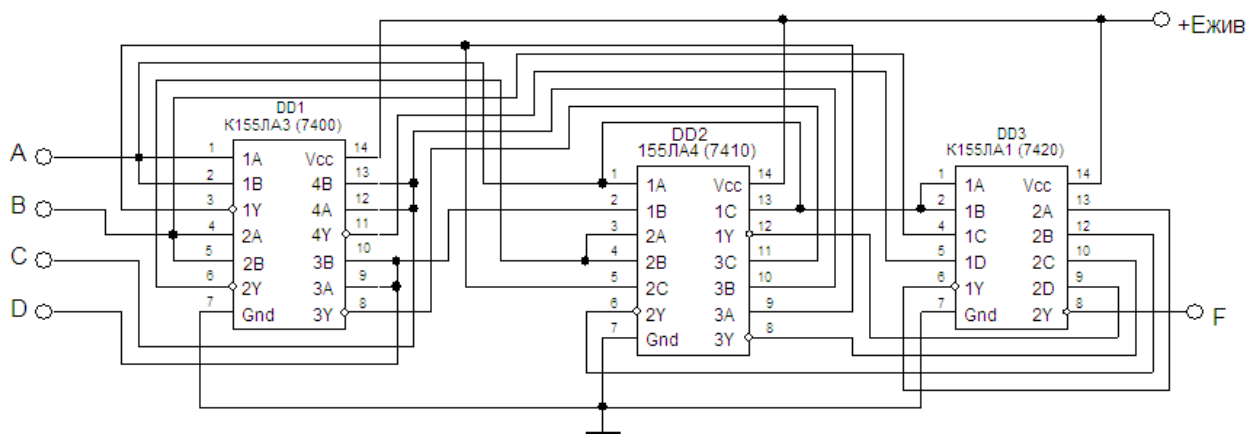


Рисунок 1.13 - Схема електрична на інтегральних мікросхемах

Проведемо аналіз правильності функціонування схеми у програмному застосуванні Electronics Workbench (рис. 1.14).

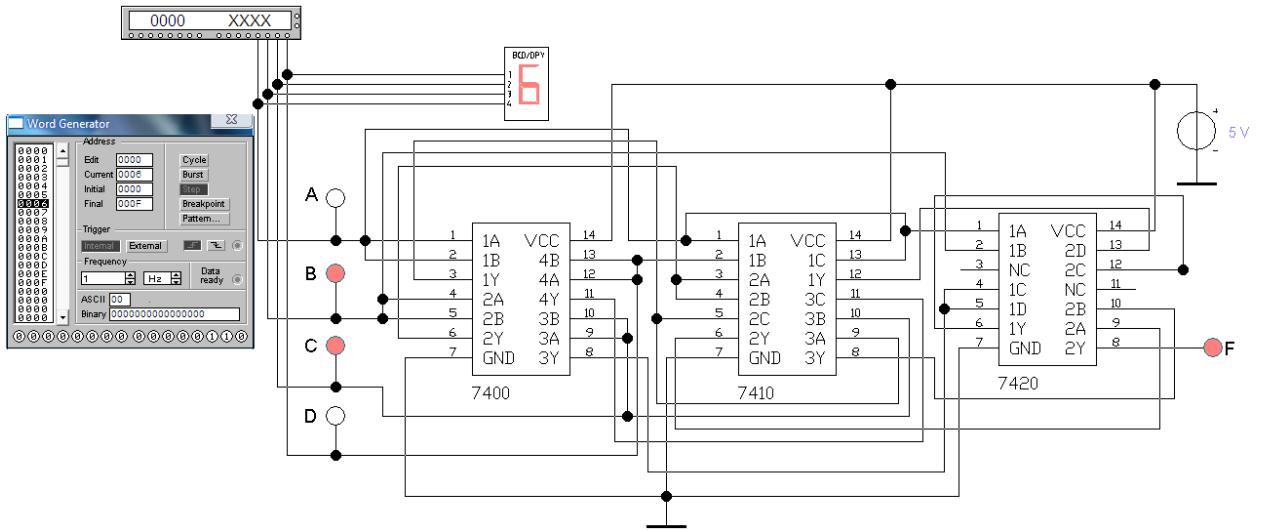


Рисунок 1.14 - Аналіз правильності функціонування схеми

Діаграма функціонування комбінаційного цифрового автомата відповідає заданій ї таблиці функціонування (рис. 1.15).

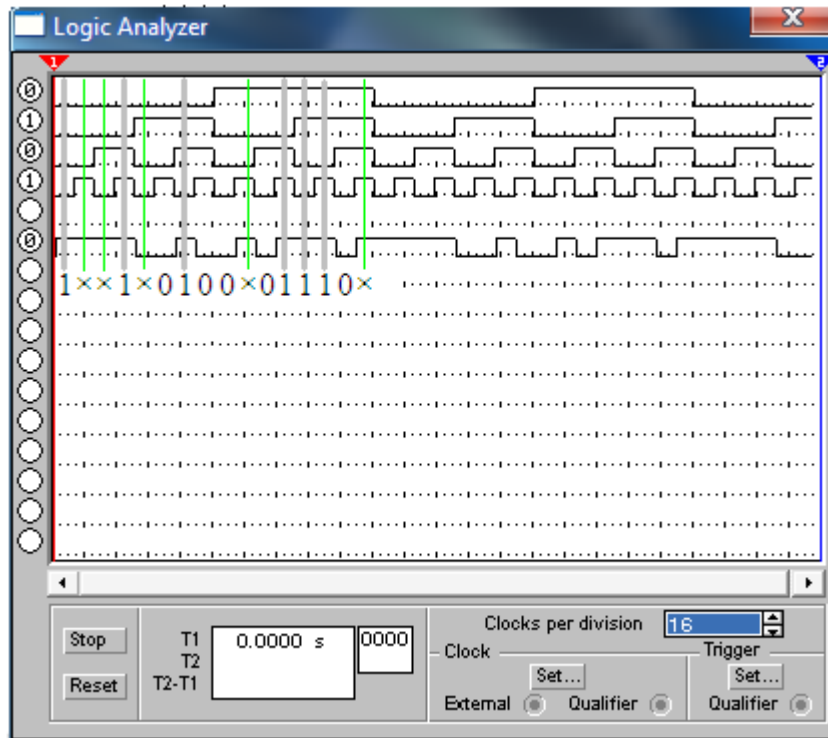


Рисунок 1.15 - Діаграма функціонування комбінаційного цифрового автомата