

## Лекція 6. Синтез комбінаційних автоматів на мультиплексорах

Мультиплексор (або селектор даних) – це комбінаційна схема, яка комутує один з  $2^m$  вхідних сигналів на один вихід. Вибір інформаційного входу, який комутується на вихід, здійснюється за допомогою  $m$  адресних входів. Умовні позначення мультиплексора показані на рисунку 6.1.

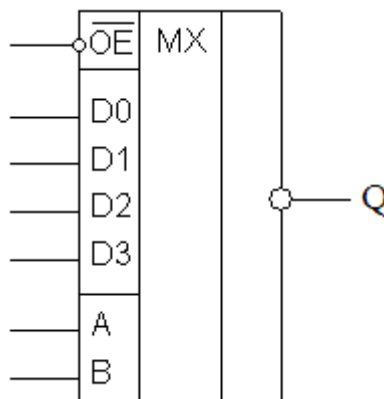


Рисунок 6.1 - Умовне позначення мультиплексора

Для вибору одного з  $n$  входів, комутованого на вихід, потрібна група з  $m$  адресних входів, де  $n = 2^m$ . Залежно від цифрового коду на адресних входах один з входів вибирається і з'єднується з виходом. Зазвичай вхід дозволу ( $\overline{OE}$ ) використовується для каскадного з'єднання мультиплексорів. Цей вхід зазвичай активний при низькому рівні, тобто дозволяє роботу мультиплексора, коли сигнал на цьому вході низький (лог. 0).

Мультиплексори можуть бути використані як логічні елементи для синтезу комбінаційних схем.

Для реалізації комбінаційних схем з використанням мультиплексора потрібно представлення функції алгебри логіки (ФАЛ) таблицею істинності або в ДДНФ, або в ДКНФ. Синтез комбінаційних схем зводиться до наступного:

- визначаються десяткові номери кожного мінтерма ФАЛ і входи мультиплексора, відповідні цим номерам з'єднуються з логічною 1;
- всі останні входи з'єднуються з логічним 0.
- вхідні змінні ФАЛ подаються на адресні входи.

Побудова логічних схем на мультиплексорах і допоміжних елементах зазвичай ведеться у вигляді деревовидних кіл, каскадних структур, які відрізняються способами функціонального розділення і розкладання булевих функцій.

При реалізації логічних функцій (ЛФ) на базі мультиплексора можуть зустрічатися три випадки:

а)  $n = m$ ;

б)  $n < m$ ;

в)  $n > m$ .

де  $n$  - кількість змінних ЛФ,  $m$  - число адресних входів мультиплексора.

У першому випадку реалізація виконується просто. Набори змінних подаються на адресні входи мультиплексора з дотриманням ваги розрядів.

У другому випадку набори змінних подаються на адресні входи мультиплексора з дотриманням ваги розряду, при цьому залишаються вільними один або декілька адресних входів з великою вагою. Ці вільні адресні входи підключаються до логічного «0», як і незадіяні інформаційні входи.

Найбільш складним є третій випадок, коли  $n > m$ . В цьому випадку доводиться використовувати розкладання ЛФ на простіші ЛФ з меншим числом змінних. Для розкладання використовують два методи:

а) декомпозиція по методу Шенона;

б) машинно-орієнтований алгоритм.

У будь-якому з методів можлива реалізація пристрою лише на мультиплексорах або на мультиплексорах і логічних елементах.

Логічні елементи (ЛЕ) можуть бути з елементарного логічного базису, або з базису «І-НІ» («АБО-НІ»), залежно від завдання синтезу.

Якщо хоч би одна з простіших ЛФ в результаті використання одного з вказаних способів розкладання виходить нетривіальною, то розкладання продовжується. На другому етапі виконується розкладання більш простих функцій першого етапу. Якщо і після другого етапу є хоч би одна ЛФ нетри-

віального вигляду, те розкладання необхідно продовжувати, і до тих пір, поки всі функції не матимуть тривіального вигляду.

Функція називається тривіальною, якщо має один з наступних виглядів:

а)  $y = 0$ ;

б)  $y = 1$ ;

в)  $y = x$ ;

г)  $y = \bar{x}$ .

При реалізації ЛФ на мультиплексорах і ЛЕ розкладання вихідної ЛФ завершується після першого етапу.

Машинно-орієнтований алгоритм не завжди забезпечує здобуття оптимальної (мінімальною) структури цифрового пристрою, оскільки не завжди розкладання ЛФ по вибраних змінних відповідає оптимальному випадку. Процес побудови оптимальних схем є багатокроковим з необхідністю комбінаторного перебору процедур розкладання ЛФ по різному числу і набору змінних на кожному кроці.

Знаходження оптимальної реалізації можливе на основі розглянутого машинно-орієнтованого алгоритму синтезу лише за умови, що будуть перебрані всі можливі варіанти перестановки в наборі змінних. Це істотно ускладнює обчислення і в більшості випадків може бути реалізоване лише на ЕОМ.

Найчастіше на практиці застосовується розкладання булевих функцій по методу Шенона, який дозволяє з першого разу отримати мінімальну схему пристрою. Метод, який використовує декомпозицію заданої ЛФ по методу Шенона, включає наступні етапи:

а) знаходиться МДНФ логічної функції;

б) визначається кількість входжень в МДНФ кожної змінної, і виділяється  $m$  змінних, які входять в МДНФ максимальну кількість разів. Ці змінні подаються на адресні входи вихідного мультиплексора;

в) виконується декомпозиція МДНФ заданої логічної функції методом Шенона по виділених як адресні змінних і визначаються залишкові функції (ЗФ) першого ярусу. Метод Шенона має вигляд:

$$f(x_1, x_2, \dots, x_n) = \bar{x}_{t_1} \bar{x}_{t_2} \dots \bar{x}_{t_k} f_0 + \bar{x}_{t_1} \bar{x}_{t_2} \dots \bar{x}_{t_{k-1}} x_{t_k} f_1 + \dots + x_{t_1} x_{t_2} \dots x_{t_{k-1}} x_{t_k} f_{2^k-1}$$

де  $f_0, f_1, \dots, f_{2^k-1}$  - залишкові функції розкладання, які виходять з функції  $f$

шляхом підстановки констант 0 і 1 замість змінної безлічі  $(x_{t_1}, x_{t_2}, \dots, x_{t_k})$ .

Для  $f_0$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_k} = 0$ ;

для  $f_1$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_{k-1}} = 0, x_{t_k} = 1$ ;

для  $f_{2^k-1}$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_k} = 1$ .

г) якщо отримані залишкові функції тривіальні, то пристрій є одноярусним і подальші дії полягають в побудові схеми на першому ярусі мультиплексорів;

д) у випадку якщо ЗФ першого ярусу не тривіальні, то після підрахунку кількості входжень в усі ЗФ першого ярусу по максимуму вибираються змінні, які подаються на адресні входи мультиплексорів другого ярусу;

е) виконується декомпозиція кожної ЗФ першого ярусу по виділенім  $m$  адресним змінним і визначаються ЗФ другого ярусу. Їх загальна кількість дорівнює  $2^{2^m}$ , по  $2^m$  на кожен з  $2^m$  мультиплексорів другого ярусу. Серед них можуть бути тривіальні і не тривіальні ЗФ. Тривіальні не вимагають подальшого розкладання і використання мультиплексорів третього ярусу для їх формування. Нетривіальні ЗФ другого ярусу реалізуються на мультиплексорах третього ярусу.

Розкладання і визначення залишкових функцій ярусів подальших порядків здійснюється до тих пір, поки всі отримані залишкові функції не стануть тривіальними.

Розкладання булевих функцій є одним з трудомістких етапів проектування комбінаційних автоматів на мультиплексорах, оскільки здобуття оптимального рішення зв'язується з частковим або повним перебором варіантів розкладання булевих функцій, по певному числу змінних, причому залежно від складності булевих функцій, які реалізуються на мультиплексорах, процес розкладання є багатоступінчастим виконанням до моменту повного зведення отримуваних залишкових функцій до простого вигляду.

З урахуванням роботи мультиплексорів і конструктивних особливостей їх реалізації з числом входів  $n$  ( $n = 2, 3$ ) і  $m$  інформаційних управляючих входів, рівним  $2^m$  (4, 8), розкладання заданої функції можна вести по двом, трьом змінним. Тоді при побудові логічної схеми на мультиплексорах ці змінні повинні підключатися до управляючих входів, а залишкові функції до інформаційних входів відповідного мультиплексора.

**Приклад 1.** Реалізувати комбінаційний автомат використовуючи мультиплексор:

$$Q(ABCD) = \sum_n(0,1,2,5,7,8,11,14)$$

Представимо логічну функцію виходу  $Q$  комбінаційного автомата у табличному вигляді (табл. 6.1).

Таблиця 6.1 – Функція виходу комбінаційного автомата

№	A	B	C	D	Q
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	0

Рішення. Логічна функція чотирьох змінних, тому мультиплексор має бути з чотирма адресними входами (рис. 6.2).

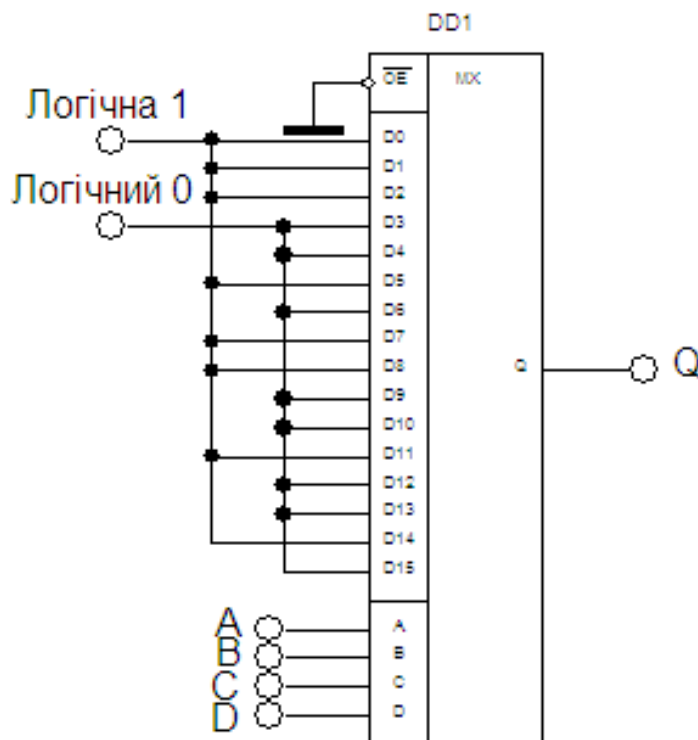


Рисунок 6.2 – Реалізація логічної функції комбінаційного автомата на мультиплексорі

### 6.1 Реалізація функції $(m+1)$ змінних на мультиплексорах з $m$ адресними входами

**Приклад 2.** Реалізувати комбінаційний автомат на мультиплексорі 8:1 з функцією виходу:

$$Q = \Sigma(X_3X_2X_1X_0),$$

задану таблицею істинності (табл. 6.2).

Рішення. Логічна функція чотирьох змінних може бути реалізована, використовуючи мультиплексор 8:1 (рис. 6.3). Змінні логічної функції  $X_3$ ,  $X_2$ ,  $X_1$  під'єднаємо до адресних входів  $A$ ,  $B$ ,  $C$  відповідно. Змінну, не приєднану до адресних входів  $X_0$ , називають «виділеною». Без «виділеної» змінної набори змінних  $X_3$ ,  $X_2$ ,  $X_1$  утворюють пари.

Таблиця 6.2 – Задана логічна функція

№	Входи				Вихід	
	X3	X2	X1	X0	Y	Q
0	0	0	0	0	1	1
	0	0	0	1	1	
1	0	0	1	0	0	X0
	0	0	1	1	1	
2	0	1	0	0	0	X0
	0	1	0	1	1	
3	0	1	1	0	1	1
	0	1	1	1	1	
4	1	0	0	0	0	0
	1	0	0	1	0	
5	1	0	1	0	1	$\overline{X0}$
	1	0	1	1	0	
6	1	1	0	0	0	X0
	1	1	0	1	1	
7	1	1	1	0	1	$\overline{X0}$
	1	1	1	1	0	

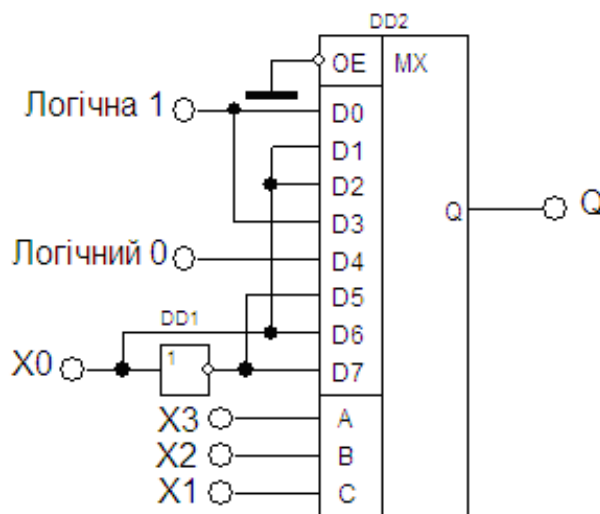


Рисунок 6.3 - Реалізація ФАЛ, з використанням мультиплексора (КР1533КП7, 74ALS151)

У таблиці істинності ці пари відокремлені. Розглянемо співвідношення між «виділеною» змінною  $X0$  і виходом для кожної пари. При цьому можливі чотири варіанти, коли вихід  $Q$  не залежить від змінної  $X0$  і дорівнює 0 або 1 і коли вихід  $Q$  залежить від змінної  $X0$  і дорівнює  $X0$  або  $\overline{X0}$ , як відмічено праворуч у таблиці істинності. Виходячи з цього на інформаційні входи му-

льтиплексора подається логічний 0, логічна 1,  $X0$  або  $\overline{X0}$ , як показано на рисунку 6.3.

Для синтезу логічної функції можна використовувати карти Карно (рис. 6.4). Парні набори на ній розташовані поруч, тобто є сусідніми. Об'єднаємо ці набори і помітимо числом, відповідним наборам карти Карно трьох змінних  $X3X2X1$ . Можна відмітити, що парні набори легко виділяються проведенням розділових ліній по змінних  $X3, X2, X1$  (рис. 6.4, б).

Y		X3				
	0	4	12	8		
	1	5	13	9		
	3	7	15	11		
	2	6	14	10		
X1						X0
					X2	
					а	

Q		X3				
	0	2	6	4		
	1	3	7	5		
X1						
					X2	
					б	

Q		X3				
	1	0	0	0		
	1	1	1	0		
	0	1	1	1		
	1	1	0	0		
X1						
					X2	
					в	

Рисунок 6.4 – Синтез логічної функції за допомогою карт Карно

Задамо тепер логічну функцію за допомогою карти Карно (рис. 6.4, в). Зіставляючи рисунок 6.4, б і рисунок 6.4, в, можна відмітити, що в клітці з номером 0 ( $Q0 = 1$ ). В клітці з номером 1 ( $Q1 = X0$ ). Продовжуючи розгляд далі, отримаємо підсумковий результат:

$$Q0 = 1; \quad Q1 = X0; \quad Q2 = X0; \quad Q3 = 1; \quad Q4 = 0; \quad Q5 = \overline{X0}; \quad Q6 = X0; \quad Q7 = \overline{X0}.$$

Розрізнялися парні набори по змінній  $X0$ , яка потім подавалася на інформаційні входи. Проте в якості «виділеній» може бути узята будь-яка змінна. Для технічної реалізації не байдуже, яку змінну слід «виділяти». Це пов'язано з тим, що вибір виділеної змінної визначає кількість інформаційних входів, на які подаються константи 0, 1. Такі інформаційні входи не навантажують попередні кола, тому їх бажано мати більше. Вочевидь, що для досягнення цього як «виділену» слід використовувати змінну, від якої ФАЛ залежить менше всього. Останнє можна встановити по мінімальній диз'юнктивній формі, підрахував кількість входжень змінної в цю форму як з інверсією, так і без неї.



**Приклад 3.** Розробка комбінаційного логічного автомата на двохвходових мультиплексорах

Синтезувати комбінаційну схему з використанням мультиплексора з двома адресними входами і логічних елементів:

$$Q = \Sigma(0,10,11,12,20,21,22,30,31)$$

Представимо цю функцію у вигляді таблиці істинності (табл. 6.3).

Таблиця 6.3 – Таблиця істинності заданої функції

№	X4	X3	X2	X1	X0	Q	№	X4	X3	X2	X1	X0	Q
0	0	0	0	0	0	1	16	1	0	0	0	0	0
1	0	0	0	0	1	0	17	1	0	0	0	1	0
2	0	0	0	1	0	0	18	1	0	0	1	0	0
3	0	0	0	1	1	0	19	1	0	0	1	1	0
4	0	0	1	0	0	0	20	1	0	1	0	0	1
5	0	0	1	0	1	0	21	1	0	1	0	1	1
6	0	0	1	1	0	0	22	1	0	1	1	0	1
7	0	0	1	1	1	0	23	1	0	1	1	1	0
8	0	1	0	0	0	0	24	1	1	0	0	0	0
9	0	1	0	0	1	0	25	1	1	0	0	1	0
10	0	1	0	1	0	1	26	1	1	0	1	0	0
11	0	1	0	1	1	1	27	1	1	0	1	1	0
12	0	1	1	0	0	1	28	1	1	1	0	0	0
13	0	1	1	0	1	0	29	1	1	1	0	1	0
14	0	1	1	1	0	0	30	1	1	1	1	0	1
15	0	1	1	1	1	0	31	1	1	1	1	1	1

Мінімізуємо задану функцію по карті Карно (рис. 6.5).

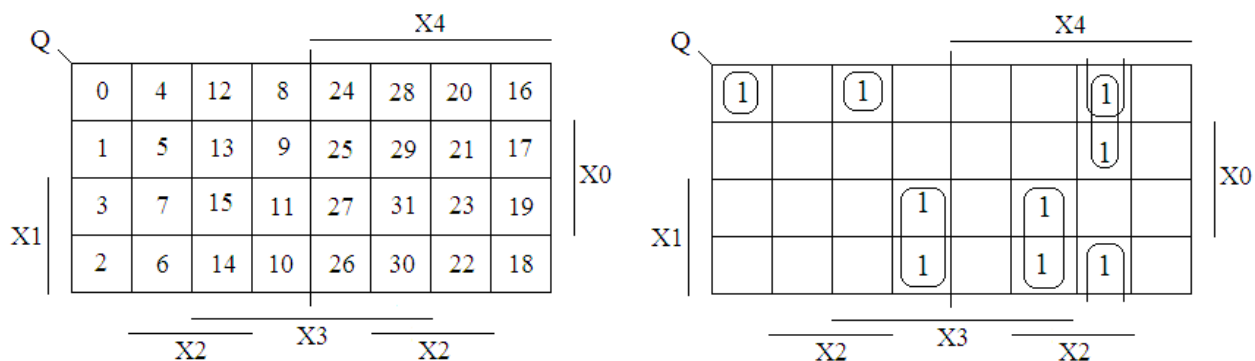


Рисунок 6.5 – Мінімізація логічної функції

Запишемо рівняння функції у вигляді МДНФ;

$$Q = \overline{X_4}\overline{X_3}\overline{X_2}\overline{X_1}\overline{X_0} + \overline{X_4}\overline{X_3}\overline{X_2}X_1\overline{X_0} + \overline{X_4}\overline{X_3}X_2\overline{X_1} + X_4\overline{X_3}\overline{X_2}X_1 + X_4\overline{X_3}X_2\overline{X_0} + X_4\overline{X_3}X_2X_1.$$

Оскільки число адресних входів у мультиплексора два, а змінних п'ять виконаємо декомпозицію логічної функції. Після декомпозиції отримаємо залишкові функції меншого числа змінних.

Виберемо дві змінні з МДНФ які подаватимуться на вхід першого мультиплексора.

$X_4$  - 6 (зустрічається 6 разів в МДНФ)

$X_3$  - 6

$X_2$  - 6

$X_1$  - 5

$X_0$  - 3

Виберемо  $X_4 X_3$ .

$$Q = \overline{X_4}\overline{X_3}Y_0 + \overline{X_4}\overline{X_3}Y_1 + X_4\overline{X_3}Y_2 + X_4X_3Y_3.$$

$$Y_0 = \overline{X_2}\overline{X_1}\overline{X_0};$$

$$Y_1 = \overline{X_2}X_1 + X_2\overline{X_1}\overline{X_0};$$

$$Y_2 = X_2\overline{X_1} + X_2\overline{X_0};$$

$$Y_3 = X_2X_1.$$

Число змінних велике, виконаємо ще одну декомпозицію.

$X_4$  - ×

$X_3$  - ×

$X_2$  - 6

$X_1$  - 5

$X_0$  - 3

Виконаємо декомпозицію відносно  $X_2X_1$ .

$$Y_0 = \overline{X_2}\overline{X_1}Y_{0_0} + \overline{X_2}X_1Y_{1_0} + X_2\overline{X_1}Y_{2_0} + X_2X_1Y_{3_0}$$

$$(Y_0 = \overline{X_2}\overline{X_1}\overline{X_0}) \rightarrow Y_{0_0} = \overline{X_0}; Y_{1_0} = 0; Y_{2_0} = 0; Y_{3_0} = 0.$$

$$Y1 = \overline{X2}\overline{X1}Y0_1 + \overline{X2}X1Y1_1 + X2\overline{X1}Y2_1 + X2X1Y3_1.$$

$$(Y1 = \overline{X2}X1 + X2\overline{X1}\overline{X0}) \rightarrow Y0_1 = 0; Y1_1 = 1; Y2_1 = \overline{X0}; Y3_1 = 0.$$

$$Y2 = \overline{X2}\overline{X1}Y0_2 + \overline{X2}X1Y1_2 + X2\overline{X1}Y2_2 + X2X1Y3_2.$$

$$(Y2 = X2\overline{X1} + X2\overline{X0}) \rightarrow Y0_2 = 0; Y1_2 = 0; Y2_2 = 1 + \overline{X0} = 1; Y3_2 = \overline{X0}.$$

$$Y3 = \overline{X2}\overline{X1}Y0_3 + \overline{X2}X1Y1_3 + X2\overline{X1}Y2_3 + X2X1Y3_3.$$

$$(Y3 = X2X1) \rightarrow Y0_3 = 0; Y1_3 = 0; Y2_3 = 0; Y3_3 = 1.$$

За цими даними рисуємо схему заданої логічної функції (рис. 6.6).

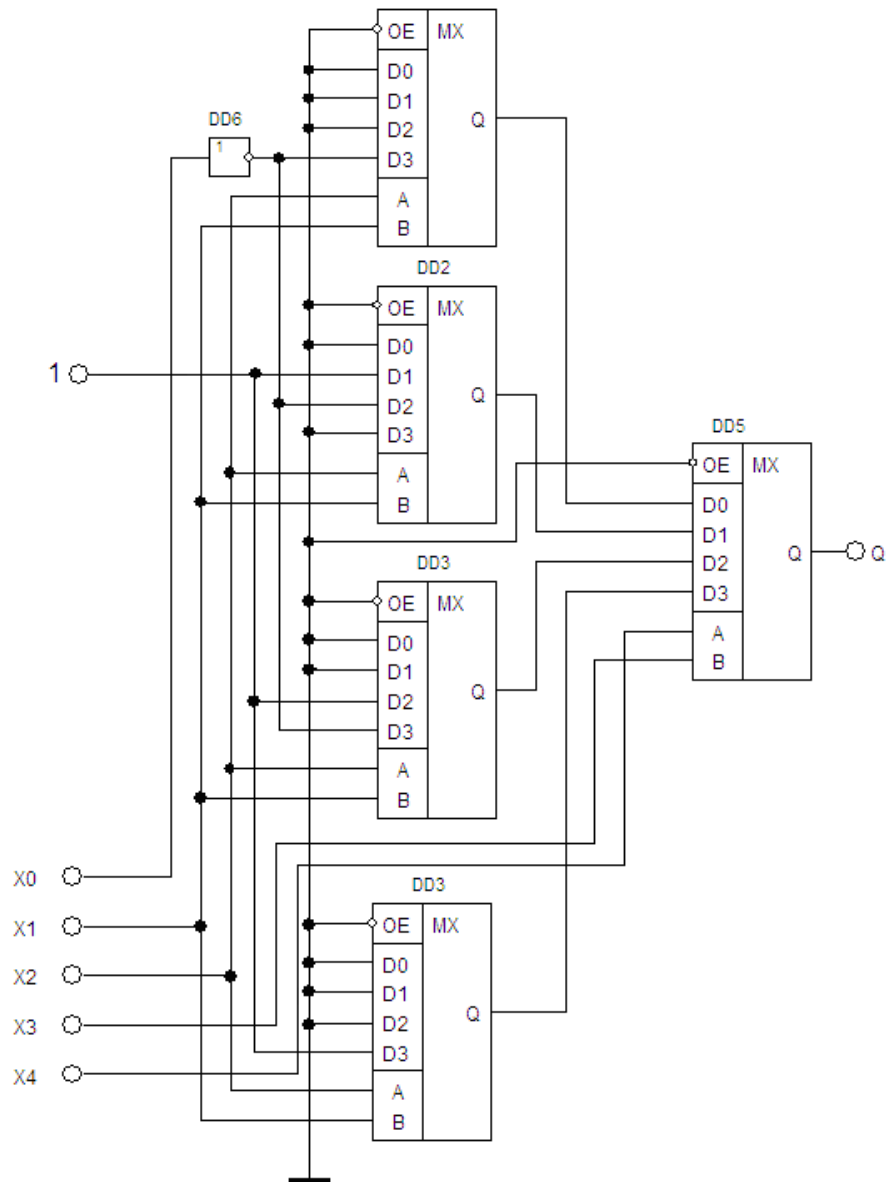


Рисунок 6.6 - Логічний пристрій управління на двоадресних мультиплексах

Проведемо аналіз функціонування схеми в програмному забезпеченні Electronics Workbench (рис. 6.7 – 6.8).

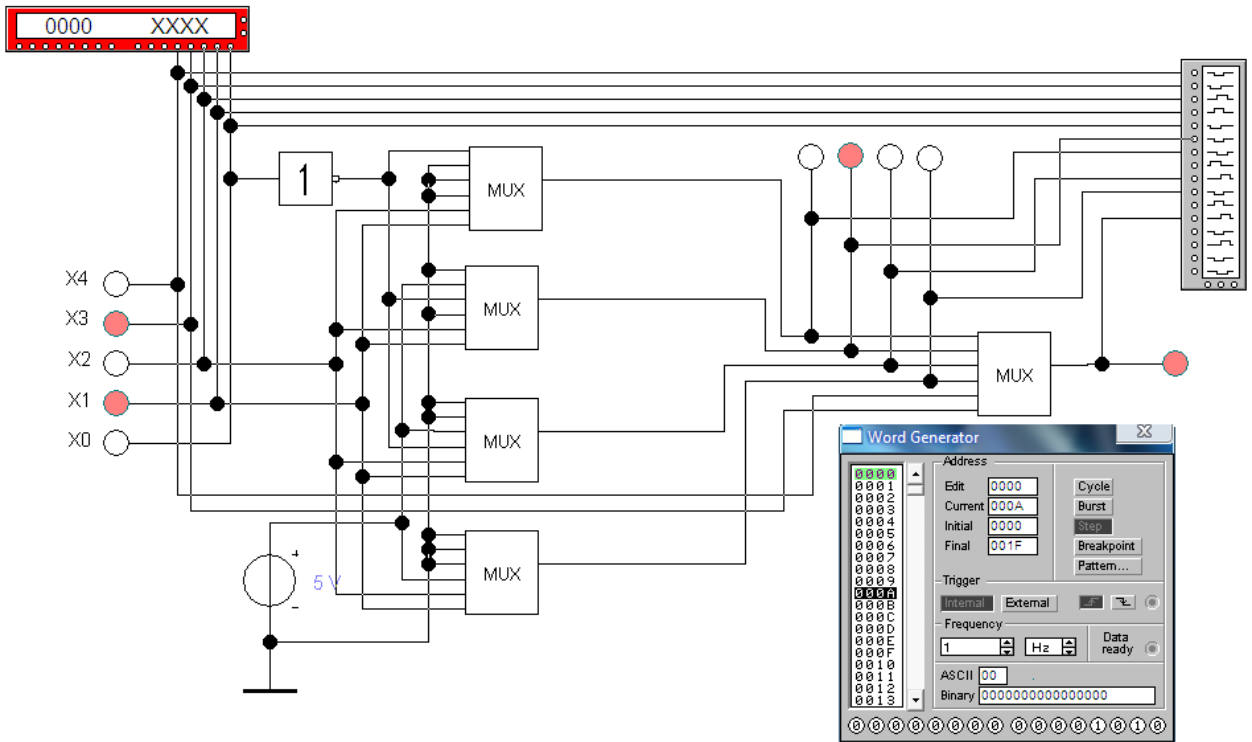


Рисунок 6.7 – Аналіз функціонування розрахованої схеми

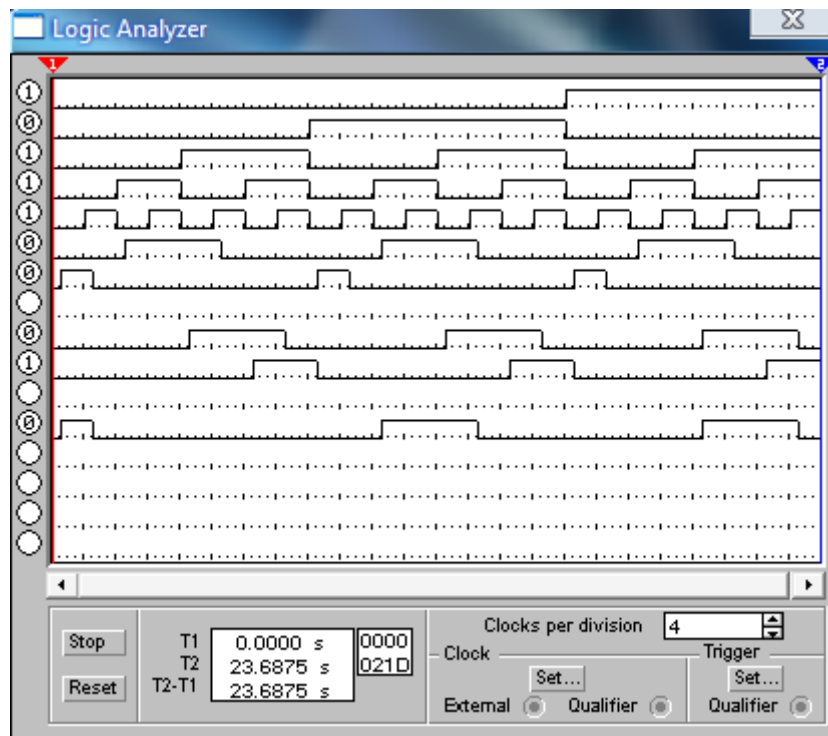


Рисунок 6.8 – Діаграма функціонування схеми логічного пристрою управління

Аналіз функціонування комбінаційного логічного автомата з використанням мультиплексора показує правильність отриманої інформації і відповідність її заданій таблиці функціонування.

**Приклад 4.** Розробка логічного пристрою управління на трьохвходових мультиплексорах.

Використовуючи МДНФ з **Прикладу 3** виконаємо декомпозицію для трьох входів і отримаємо вісім залишкових функцій.

$$Q = X_4\bar{X}_3 + \bar{X}_3X_2 + \bar{X}_3\bar{X}_1\bar{X}_0 + \bar{X}_3X_1X_0 + X_4\bar{X}_2\bar{X}_1 + \bar{X}_4\bar{X}_2X_1X_0$$

Виберемо три змінні з МДНФ які подаватимуться на вхід першого мультиплексора.

$X_4$  - 3 (зустрічається 3 рази в МДНФ)

$X_3$  - 4

$X_2$  - 3

$X_1$  - 4

$X_0$  - 3

Проведемо декомпозицію відносно змінних  $X_3X_2X_1$ .

$$Q = \bar{X}_3\bar{X}_2\bar{X}_1Y_0 + \bar{X}_3\bar{X}_2X_1Y_1 + \bar{X}_3X_2\bar{X}_1Y_2 + \bar{X}_3X_2X_1Y_3 + X_3\bar{X}_2\bar{X}_1Y_4 + X_3\bar{X}_2X_1Y_5 + X_3X_2\bar{X}_1Y_6 + X_3X_2X_1Y_7.$$

$$Y_0 = X_4 + \bar{X}_0 + X_4 = X_4 + \bar{X}_0 = X_4 \cdot 1 + \bar{X}_0 \cdot 1 = X_4(X_0 + \bar{X}_0) + \bar{X}_0(X_4 + \bar{X}_4) = X_4X_0 + X_4\bar{X}_0 + X_4\bar{X}_0 + \bar{X}_4X_0 = X_4X_0 + X_4\bar{X}_0 + \bar{X}_4X_0.$$

$$Y_1 = X_4 + X_0 + \bar{X}_4X_0 = X_4 \cdot 1 + X_0 \cdot 1 + \bar{X}_4X_0 = X_4(X_0 + \bar{X}_0) + X_0(X_4 + \bar{X}_4) + \bar{X}_4X_0 = X_4X_0 + X_4\bar{X}_0 + X_4X_0 + \bar{X}_4X_0 + \bar{X}_4X_0 = X_4X_0 + X_4\bar{X}_0 + \bar{X}_4X_0.$$

$$Y_2 = X_4 + 1 + X_0 = X_4 + X_0 = X_4(X_0 + \bar{X}_0) + X_0(X_4 + \bar{X}_4) = X_4X_0 + X_4\bar{X}_0 + X_4X_0 + \bar{X}_4X_0 = X_4X_0 + X_4\bar{X}_0 + \bar{X}_4X_0.$$

$$Y_3 = X_4 + 1 = X_4.$$

$$Y_4 = X_4$$

$$Y_5 = \bar{X}_4X_0$$

$$Y_6 = 0.$$

$$Y_7 = 0.$$

$X_4 - 12$  (зустрічається 12 разів у рівняннях  $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$  першої декомпозиції)

$$X_3 - 0$$

$$X_2 - 0$$

$$X_1 - 0$$

$$X_0 - 10$$

Проведемо декомпозицію відносно  $X_4 X_0$ .

$$Y_0 = \overline{X_4 X_0} Y_{0_0} + \overline{X_4} X_0 Y_{1_0} + \overline{X_4 X_0} Y_{2_0} + \overline{X_4} X_0 Y_{3_0} + X_4 \overline{X_0} Y_{4_0} + X_4 X_0 Y_{5_0} + X_4 \overline{X_0} Y_{6_0} + X_4 X_0 Y_{7_0}.$$

$$Y_{0_0} = 1; Y_{1_0} = 0; Y_{2_0} = 0; Y_{3_0} = 0; Y_{4_0} = 1; Y_{5_0} = 0; Y_{6_0} = 0; Y_{7_0} = 0.$$

$$Y_1 = \overline{X_4 X_0} Y_{0_1} + \overline{X_4} X_0 Y_{1_1} + \overline{X_4 X_0} Y_{2_1} + \overline{X_4} X_0 Y_{3_1} + X_4 \overline{X_0} Y_{4_1} + X_4 X_0 Y_{5_1} + X_4 \overline{X_0} Y_{6_1} + X_4 X_0 Y_{7_1}.$$

$$Y_{0_1} = 1; Y_{1_1} = 0; Y_{2_1} = 0; Y_{3_1} = 0; Y_{4_1} = 1; Y_{5_1} = 0; Y_{6_1} = 0; Y_{7_1} = 0.$$

$$Y_2 = \overline{X_4 X_0} Y_{0_2} + \overline{X_4} X_0 Y_{1_2} + \overline{X_4 X_0} Y_{2_2} + \overline{X_4} X_0 Y_{3_2} + X_4 \overline{X_0} Y_{4_2} + X_4 X_0 Y_{5_2} + X_4 \overline{X_0} Y_{6_2} + X_4 X_0 Y_{7_2}.$$

$$Y_{0_2} = 1; Y_{1_2} = 0; Y_{2_2} = 0; Y_{3_2} = 0; Y_{4_2} = 1; Y_{5_2} = 0; Y_{6_2} = 0; Y_{7_2} = 0.$$

За цими даними рисуємо схему заданої логічної функції (рис. 6.7).

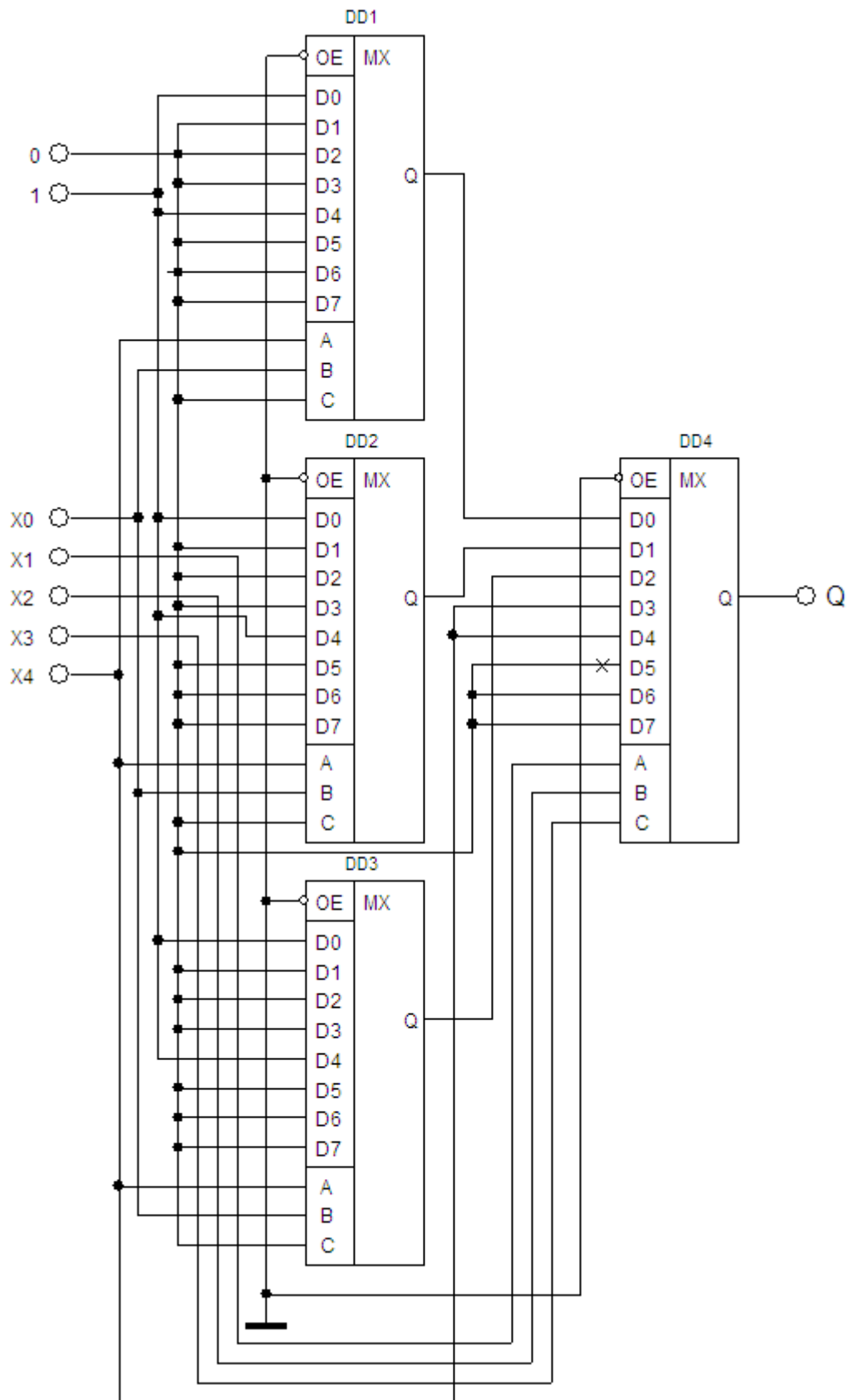


Рисунок 6.7 - Логічний пристрій управління на трьохвходових мультиплексах

## 6.1 Синтез логічних комбінаційних схем на мультиплексорах методом згортання

Основне призначення мультиплексорів полягає в управлінні потоками даних, проте, вживання мультиплексорів може спростити і вирішення традиційних завдань синтезу довільних логічних комбінаційних схем.

Розглянемо процедуру синтезу комбінаційної схеми на конкретному прикладі.

$$Q = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}CD + ABCD$$

Логічна функція погано піддається спрощенню з використанням карт Карно і для її реалізації було б потрібно близько 6 мікросхем. Простіше рішення засноване на використанні мультиплексора. Логічне вираження представлено у вигляді таблиці істинності (табл. 6.4).

Таблиця 6.4 – Таблиця істинності логічної функції

A	B	C	D	Q
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

На рисунку 6.8 представлено мультиплексор K155КП1 з організацією «16 в 1». Якщо на адресні входи ABCD подати сигнали, то на виході буде інформація від одного з 16 входів мультиплексора. Якщо тепер на інформаційні входи подати комбінацію нулів і одиниць F відповідно до таблиці істинно-



сті, то на виході Q буде реалізована задана логічна функція. Таким чином, можна реалізувати будь-яку таблицю істинності від 4 вхідних змінних на єдиній мікросхемі мультиплексора K155КП1.

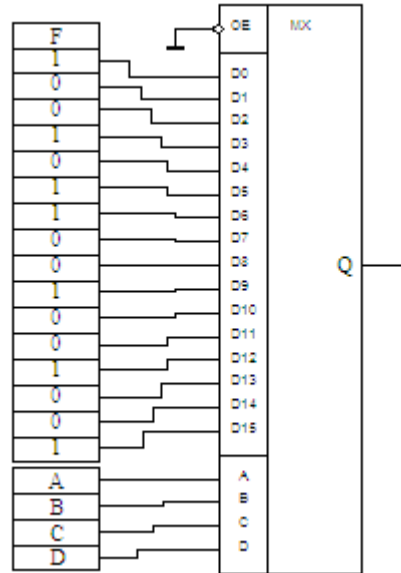


Рисунок 6.8 – Подача сигналів на мультиплексор 16 в 1

Недоліком такого рішення порівняно до реалізації на логічних елементах є збільшення затримок поширення сигналів.

Розглянуте завдання можна вирішити і з використанням компактнішого мультиплексора «8 в 1» застосовуючи метод згортання.

Мультиплексор «8 в 1» має лише 3 адресних входи. Візьмемо один мультиплексор «8 в 1», подамо на його адресні входи сигнали BCD, а інформацію на інформаційних входах змусимо мінятися залежно від адресного сигналу A.

Залежно від адресного сигналу A таблиця істинності розіб'ється на дві частини:  $A = 0$  і  $A = 1$ . Відповідно до цього перепишемо таблицю істинності декілька в іншому вигляді (табл. 6.5).

Деякі значення не залежать від A і на відповідні інформаційні входи мультиплексора необхідно подати константи (0 або 1). Інші значення вихідної логічної функція залежать від A. У цих випадках значення Q може або дорівнювати A, або  $\bar{A}$ .

Таблиця 6.5 – Таблиця істинності в залежності від адресного сигналу А

A	B	C	D	F	A	B	C	D	F	Вихідна логічна функція Q
0	0	0	0	1	1	0	0	0	0	$\overline{A}$
0	0	0	1	0	1	0	0	1	1	A
0	0	1	0	0	1	0	1	0	0	0
0	0	1	1	1	1	0	1	1	0	$\overline{A}$
0	1	0	0	0	1	1	0	0	1	A
0	1	0	1	1	1	1	0	1	0	$\overline{A}$
0	1	1	0	1	1	1	1	0	0	$\overline{A}$
0	1	1	1	0	1	1	1	1	1	A

Логічна комбінаційна схема на мультиплексорі 8 в 1, яка отримана методом згортання представлена на рисунку 6.9.

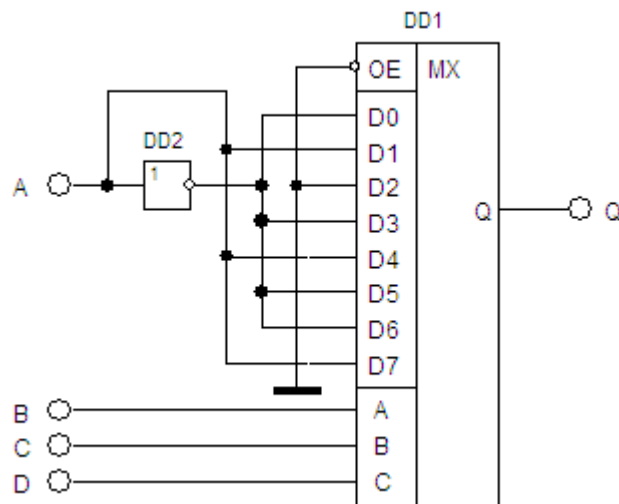


Рисунок 6.9 – Логічна схема заданої функції