

*Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного
забезпечення*

Лабораторна робота №3

з дисципліни Комп'ютерна електроніка

Статична ОЗП з одномірною адресацією

Студента (ки) 4 курсу, групи _____

(прізвище та ініціали)

Викладач _____ Верьовкін Л.Л. _____

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала _____

Кількість балів: _____ Оцінка: ECTS _____

м. Запоріжжя – 202_ рік

Мета роботи: дослідження принципів побудови та функціонування статичних ОЗП з одномірною адресацією.

3.1 Короткі теоретичні відомості

Цифрові запам'ятовувальні пристрої (ЗП), скорочено називаються пам'яттю, служать для зберігання інформації і обміну нею з іншими пристроями. Це один з найважливіших цифрових пристроїв (ЦП), які визначають багато характеристик ПК. Для короткочасного зберігання кодових слів використовують регістри, а для тривалого зберігання і для великих об'ємів інформації служать спеціалізовані мікросхеми. Оскільки далі мова піде тільки про напівпровідникову пам'ять, то відзначимо, що мікросхеми пам'яті займають до 40% від загального випуску мікросхем.

Найважливішими характеристиками ЗП є їх інформаційна ємкість, організація і швидкодія.

Основною класифікаційною ознакою ЗП є спосіб доступу до даних (спосіб звернення до масиву елементів пам'яті), по якому вони підрозділяються на адресні, послідовні і асоціативні.

Адресні ЗП у свою чергу підрозділяються на RAM (Random Access Memory - пам'ять з довільним доступом) і ROM (Read-Only Memory - пам'ять тільки для читання). У вітчизняній літературі ці типи ЗП називаються відповідно оперативним запам'ятовуючим пристроєм (ОЗП) і постійним запам'ятовуючим пристроєм (ПЗП). Перші, як правило, енергозалежні, а другі, навпаки - енергонезалежні. Серед ОЗП розрізняють пристрої статичні - Statik RAM (SRAM) і динамічні - Dynamic RAM (DRAM).

3.2 Моделювання статичних ОЗП з одновимірною адресацією

В ЗП з довільним доступом для зберігання кожного біта інформації використовується окремий запам'ятовувальний елемент - комірка пам'яті (КП). Зазвичай в цій якості використовуються різного роду тригери. Двійкова інформація, занесена в подібну КП, зберігається там скільки завгодно довго,

поки не буде замінена іншої або не буде відключено живлення (енергозалежна пам'ять).

У залежності від способу, яким знаходиться кожна КП в масиві, розрізняють структури з одновимірною (лінійною) і двовимірною адресацією.

На рисунку 3.1 представлена модель SRAM з лінійною (послівною) адресацією.

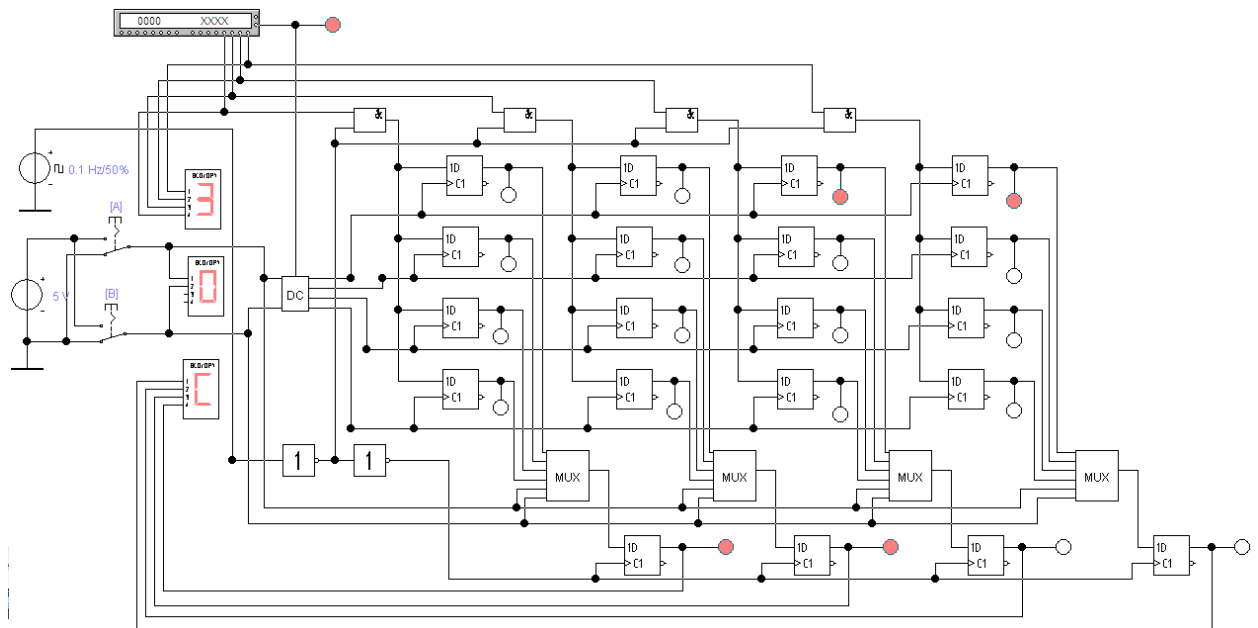


Рисунок 3.1 - Логічна структура ОЗП з одновимірною адресацією

Тут 16 КП з D-тригерів утворюють квадратну матрицю 4×4 . Через відповідний вхід D в КП вводиться інформація, по команді на вході C. Інформація зберігається на виході Q або прочитується з нього по аналогічній команді. Адресація до КП проводиться ключами A і B і далі декодером DC 2 в 4.

Порядок побудови дешифратора DC 2 в 4.

1. Розрахувати схему декодера 2 в 4 згідно з таблицею функціонування та рівняннями функціонування (рис. 3.2, а).
2. Виділити фрагмент схеми між контактними клемами (рис. 3.2, б).
3. Розмістити схему в буфер Create Subcircuit (рис. 3.2, в).
4. Присвоїти назву схемі (рис. 3.2, г,д).
5. Включити схему для можливого редагування Copy from Circuit (рис. 3.2, д,е) и після завершення вийти.

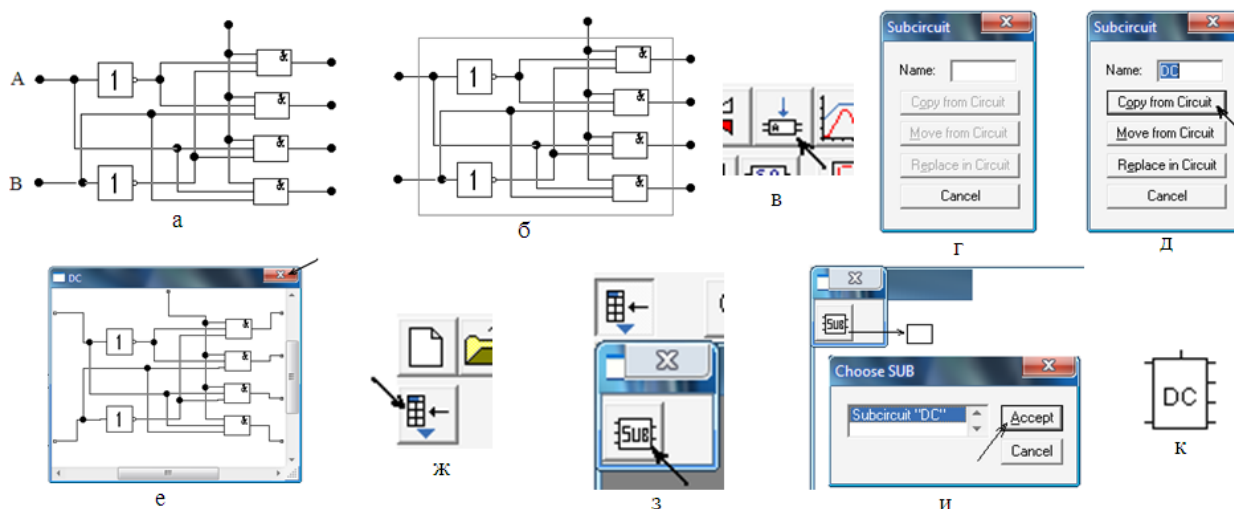


Рисунок 3.2 – Послідовність дій при формуванні на схемі дешифратора DC 2 в 4

6. Натиснути на панелі кнопку Favorites і дістати на робоче поле Sub у вигляді прямокутника (рис. 3.2, з,и).

7. Активізувати Subcircuit “DC” кнопкою Асерт, дістати блок-схему (субблок) на робоче поле для підключення (рис. 3.2, к)

Біти інформації, які заносяться в конкретні комірки, набираються на генераторі слів. Тактовий сигнал з генератора використовується для синхронізації тригерів, декодера і мультиплексорів. Виведення інформації (читання) проводиться по стовпцях через мультиплексори MUX 4 в 1 (рис. 3.3).

Порядок розрахунку і побудови і розміщення в схемі у вигляді блок-схеми мультиплексора такий же як і у дешифратора.

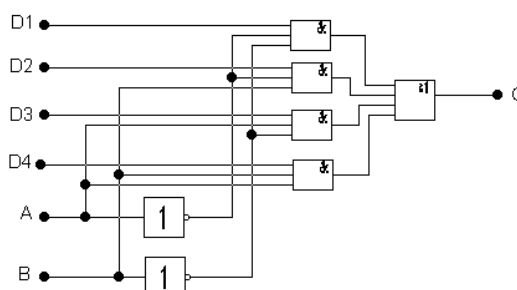


Рисунок 3.3 – Схема розрахованого згідно з таблицею функціонування і рівнянь функціонування мультиплексора MUX 4 в 1

Для наочності роботи моделі вона забезпечена трьома дисплеями, які (зверху вниз) відображають: слово, яке вводиться, адресу КП і слово, яке зчитується. Крім того, в кожній КП поставлений індикатор її стану.

На рисунку 3.1 показано, що ключі $A=B=0$, тобто проведено зчитування з верхнього ряду комірок пам'яті, занесеного туди раніше слова 0011. У даній системі зчитана інформація зникає з пам'яті.

3.3 Завдання і порядок виконання роботи

Дослідження оперативно запам'ятовуючого пристрою з одновимірною адресацією.

1. Побудувати віртуальну лабораторну установку для дослідження моделі ОЗП з одновимірною адресацією (рис. 3.1) використовуючи розраховані субблоки.

2. В роботі привести таблиці функціонування, рівняння функціонування, схемне моделювання та аналіз функціонування розрахованих субблоків дешифратора і мультиплексора.

3. Запустити установку на моделювання та провести дослідження ОЗП.

4. Результати досліджень роботи ОЗП з одновимірною адресацією занести в звіт та зробити аналітичні висновки.

Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенький В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

3. Бабіч Н.П., Андреев В.І., Жуков І.А. Схемотехніка ЕОМ. Київ : КМУЦА. 1996. 96с.