

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного  
забезпечення*

## **Лабораторна робота №5**

з дисципліни Комп'ютерна електроніка

**Дослідження оперативного запам'ятовувального пристрою для  
мікропроцесора**

Студента (ки) 4 курсу, групи \_\_\_\_\_

\_\_\_\_\_  
(прізвище та ініціали)

Викладач Верьовкін Л.Л.

\_\_\_\_\_  
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала \_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка: ECTS \_\_\_\_\_

м. Запоріжжя – 202\_ рік

Мета роботи: дослідження принципів побудови та функціонування оперативного запам'ятовувального пристрою для мікропроцесора.

### 5.1 Короткі теоретичні відомості

Статична пам'ять (Static Random Access Memory - SRAM) здатна як завгодно довго зберігати дані за відсутності звернень (за наявності напруги живлення), тобто в статичному режимі. Елементи статичної пам'яті будуються на елементах з двома стійкими станами (на бістабільних осередках або тригерах). У порівнянні з динамічними ємнісними елементами пам'яті вони простіше в управлінні і не вимагають регенерації, однак є більш складними в схемном відношенні і займають більше місця на кристалі. Швидкодія і енергоспоживання статичної пам'яті визначаються технологією виготовлення і схемотехнікою запам'ятовуючих осередків. Найбільш економічна КМОП-пам'ять (CMOS Memory) придатна для тривалого зберігання даних під час від малопотужної батареї. Вона застосовується в пам'яті конфігурації персональних комп'ютерів. Час доступу КМОП-пам'яті становить понад 100 нс. Сама швидкодіюча статична пам'ять має час доступу в кілька наносекунд (і навіть десятих часток наносекунди). Така пам'ять здатна функціонувати на частоті системної шини спільно з процесором, не вимагаючи від нього тактів очікування.

Існують три різновиди мікросхем статичної пам'яті: Async SRAM, Sync Burst SRAM і Pipelined Burst SRAM. Відносно висока питома вартість зберігання даних при низькій щільності упаковки не дозволяє використовувати SRAM в якості основної пам'яті комп'ютерів.

Щоб уникнути збільшення вартості в комп'ютерах встановлюється невеликий обсяг високошвидкісної статичної пам'яті SRAM, яка використовується в якості кеша. Кеш-пам'ять здатна працювати на тактових частотах, близьких або рівних тактовим частотам процесора. Тому вона безпосередньо використовується процесором при читанні і запису, що дозволяє скоротити кількість його простоїв і збільшити швидкодію комп'ютера в цілому. Контро-

лер кеша передбачає потреби процесора в даних і попередньо завантажує необхідні дані в високошвидкісну кеш-пам'ять. При видачі процесором адреси пам'яті дані передаються не з повільної оперативної пам'яті, а з кешу.

Для скорочення часу очікування та простоїв процесора при зчитуванні даних з низькошвидкісної оперативної пам'яті в сучасних комп'ютерах передбачено до трьох рівнів кешу. При цьому кеш-пам'ять першого і другого рівнів може розташовуватися на одному кристалі з процесором. Використання синхронної роботи з процесором і конвеєрного пакетного режиму супроводжує підвищення швидкодії та ефективності кеш-пам'яті. Можливості та ефективність кеш-пам'яті зумовлює контролер, який розташовується в мікросхемах (зазвичай North Bridge) системної логіки або на платі процесора.

Таким чином, до основних особливостей статичних ОЗП слід віднести:

- здатність при включеному комп'ютері як завгодно довго зберігати дані (інформацію) за відсутності звернень. Така здатність забезпечується бістабільними осередками пам'яті з двома стійкими станами, які виконуються на біполярних або КМОП-структурах;

- порівняно високу швидкодію мікросхем на біполярних структурах (час доступу складає одиниці наносекунд), що дозволяє працювати синхронно з процесорами на частотах вище 500 МГц;

- низьке енергоспоживання КМОП-мікросхем, що забезпечує тривале зберігання параметрів системи вводу-виводу (BIOS);

- порівняно великі габарити мікросхем і висока вартість, що пов'язано з великим числом транзисторів і кластеризованим їх розміщенням (використовуються кластери з шести транзисторів);

- типовий обсяг пам'яті мікросхем SRAM досягає 1 Мбіт і більше;

- основна область застосування - кеш-пам'ять і пам'ять конфігурації комп'ютера.

## 5.2 Моделювання статичних ОЗП з двовимірною адресацією

Створимо модель ОЗП для подальшого використання в моделі мікропроцесора. Обмежимося пам'яттю  $4 \times 4$  з послівною організацією, але виконаємо її так, щоб інформація не руйнувалася після її прочитування і була забезпечена розв'язка з відповідними лініями.

Проведемо моделювання окремого елемента пам'яті у вигляді субблоку BSC (рис. 5.1).

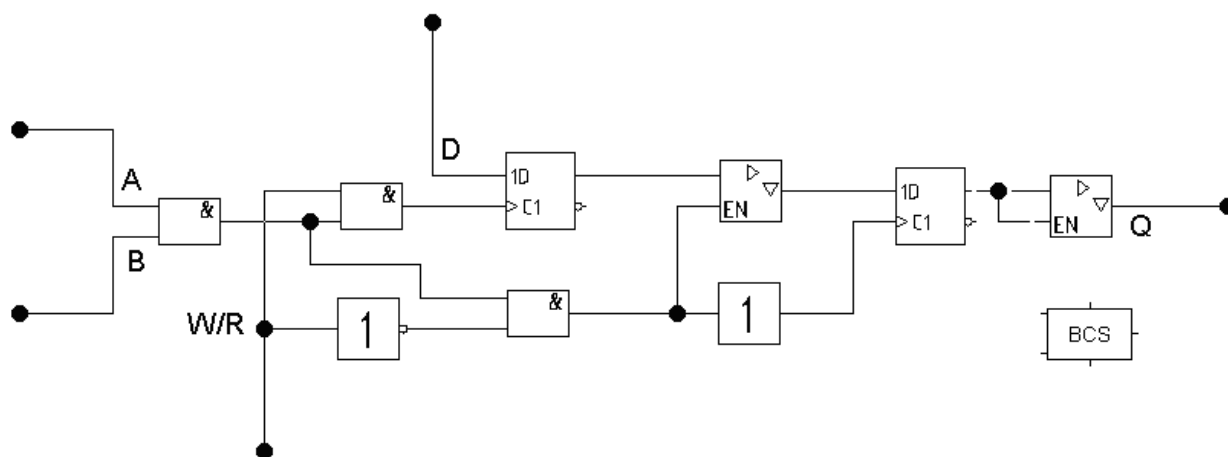


Рисунок 5.1 – BSC – двійкова запам'ятовувальна комірка, представлена у вигляді субблоку

Далі з чотирьох подібних комірок створимо чотири «рядкових» елемента з відповідними порозрядними адресами: BSC\_00, BSC\_01, BSC\_10 і BSC\_11 (рис. 5.2).

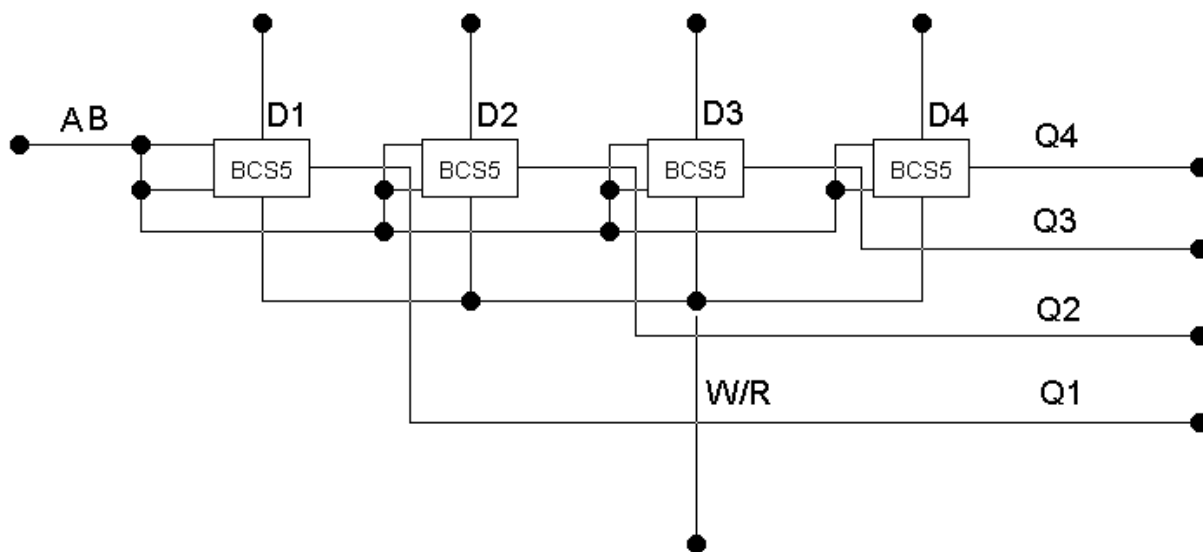


Рисунок 5.2 – Модель рядкового елемента BSC\_00

Зібравши з цих компонентів за допомогою ліній необхідну логічну структуру і доповнивши її дешифратором адреси, отримаємо RAM4×4 (рис. 5.3). Для роботи на загальну шину даних створимо також субблок EN\_D з чотирма буферами шини, які мають три стани виходу (рис. 5.4).

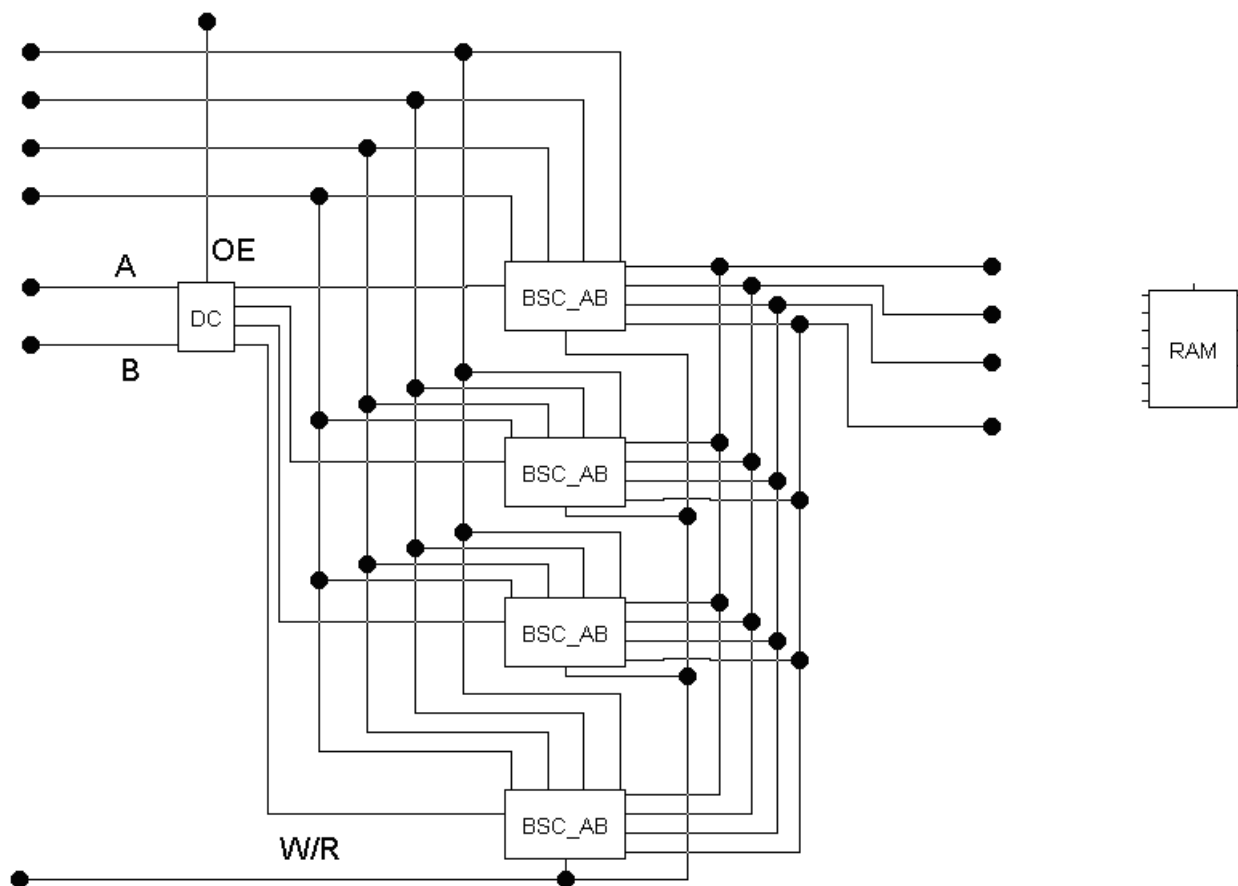


Рисунок 5.3 – Логічна структура матриці пам'яті RAM4×4

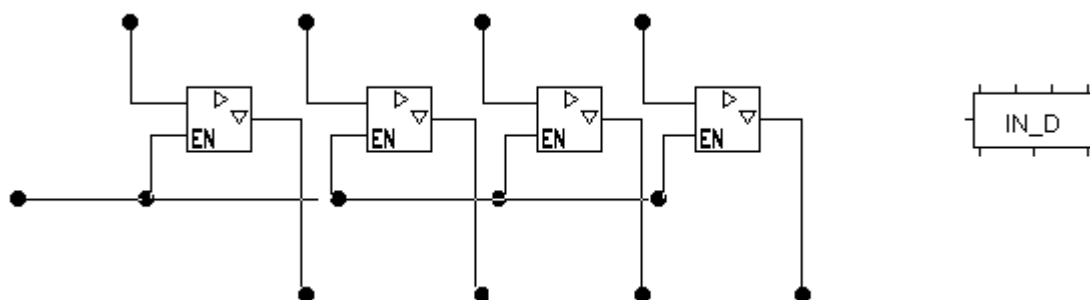


Рисунок 5.4 - Субблок EN\_D з чотирма буферами шини

Робота моделі ОЗП з вказаних компонентів показана на рисунку 5.5.

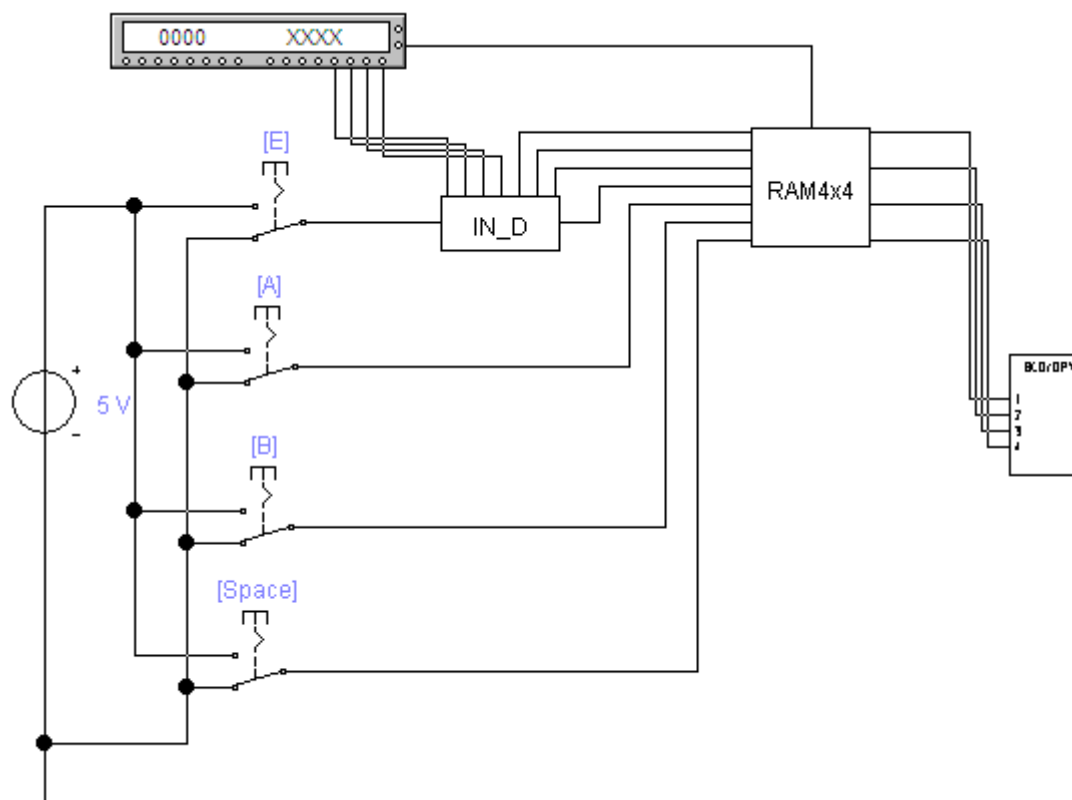


Рисунок 5.5 – Розроблена модель ОЗП

### 5.3 Завдання і порядок виконання роботи

Дослідити оперативний запам'ятовуючий пристрій для мікропроцесора.

1. Побудувати віртуальну лабораторну установку для дослідження ОЗП моделі мікропроцесора (рис. 5.5) використовуючи субблоки, які зображені на рисунках 5.1...5.4.
2. Запустити установку на моделювання та провести дослідження ОЗП.
3. Зробити розгорнутий висновок.

### Література

1. Верьовкін Л.Л., Світанько М.В., Кісельов Є.М., Хрипко С.Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.
2. Рябенський В.М., Жуйков В.Я., Гулий В.Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.

