

## Лекція 4. Організація схемотехніки оперативних запам'ятовувальних пристроїв

### 4.1 Статичні ОЗП з одновимірною адресацією

В ЗП з вільним доступом для зберігання кожного біта інформації використовується окремий ЗЕ. Залежно від способу знаходження потрібного елемента в масиві інших однотипних елементів розрізняють структури з одновимірною (лінійною) і двовимірною адресацією.

На рисунку 4.1 як приклад наведена структурна схема ЗП ( $M = 16$ , організація  $4 \times 4$ ) з одновимірною адресацією. Дана структура містить матрицю  $4 \times 4$  ЗЕ, кожен з яких забезпечений трьома виводами: входом інформації (IN), виходом інформації (OFF) і виходом дозволу роботи - вибору кристала (CS - chip select), дешифратор адреси, вхідні і вихідні ключі на елементах 2І.

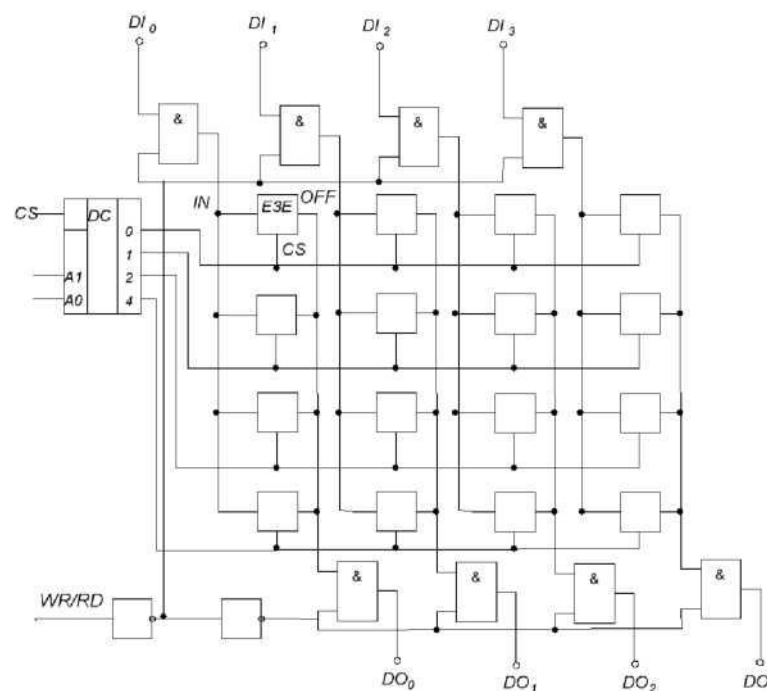


Рисунок 4.1 - Структурна схема ЗП з одновимірною адресацією

З погляду спрощення дешифратора бажано виконувати матрицю прямокутною. Проте при використанні розглянутої структури це припускає збільшення розрядності вихідного слова.

Вирішити цю суперечність можна, якщо в якості вхідних і вихідних ключі ІС використовувати відповідно схеми демультимплексорів і мультиплексорів. Стосовно ЗП їх прийнято називати селекторами. При цьому частина розрядів адресного слова використовується для управління селекторами.

Структурна схема ЗП з організацією  $256 \times 4$ , яка реалізує описаний принцип, наведена на рисунку 4.2.

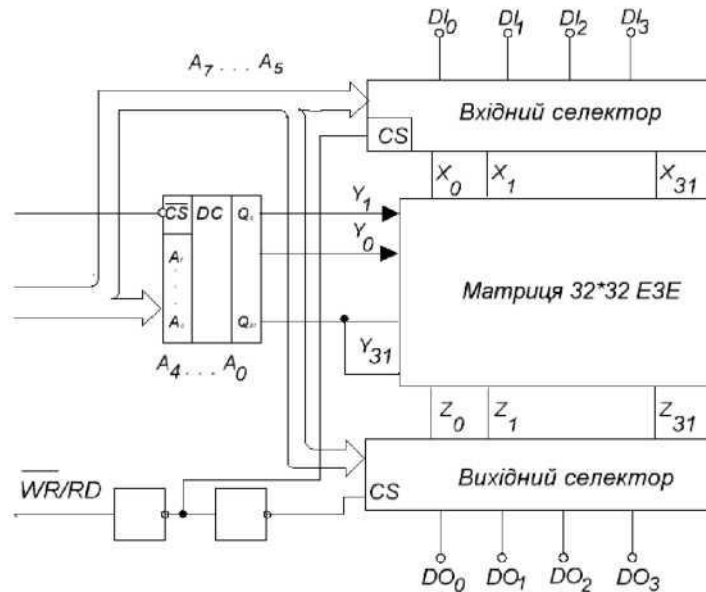


Рисунок 4.2 - Структурна схема запам'ятовувального пристрою з селекторами

Вона включає матрицю ЗЕ розміром  $32 \times 32$  елемента, дешифратор адреси, вхідний і вихідний селектори і елементи управління режимами читання-запису. Кожен ЗЕ (рис. 4.1) забезпечений трьома виводами: входом і виходом інформації і виводом дозволу роботи (вибірки).

Управління доступом до такого об'єму інформації вимагає подачі на вхід ЗП 256 різних адрес, тобто припускає використання 8-розрядного адресного слова. Молодші його розряди  $A_4 \dots A_0$ , надходячи на дешифратор адреси, вибирають з матриці одну з 32 рядків ЗЕ. При цьому інформація в залежності від заданого режиму роботи може або прочитуватися ( $\overline{WR}/RD = 1$ ), або записуватися ( $\overline{WR}/RD = 0$ ) у всі елементи вибраного рядка. Вибір потрібних ЗЕ проводиться відповідно або вхідним, або вихідним селекторами, які залежно

від значення старших розрядів адреси  $A_7 \dots A_5$  вибирають з рядків потрібні елементи.

Описані структури вигідно використовувати при одночасному записі-зчитуванні інформаційних слів великої розрядності. У протилежному випадку практична реалізація даних структур приводить до великих апаратних витрат.

#### 4.2 Статичні ОЗП з двовимірною адресацією

При необхідності побітного запису-зчитування інформації використовують структуру пам'яті з двовимірною адресацією (рис. 4.3).

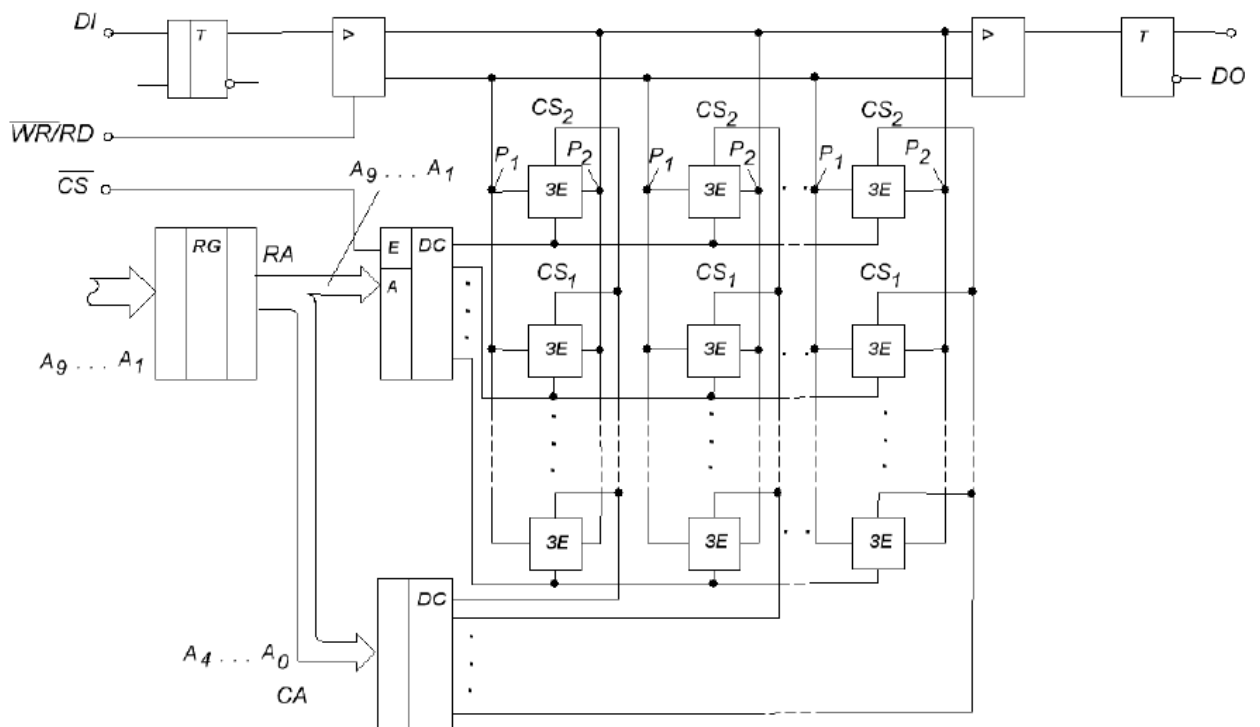


Рисунок 4.2 - Структурна схема ЗП з двовимірною адресацією

Дана структура містить матрицю 3Е, статичний регістр адреси, дешифратори рядка і стовпця, підсилювачі запису і зчитування, вхідний і вихідний буферні тригери. Проте, на відміну від схеми рис. 4.1, кожен 3Е матриці містить не один, а два виводи дозволу роботи ( $CS_1$  і  $CS_2$ ). При цьому інформаційні виводи  $p_1$  і  $p_2$  є оборотними, тобто дозволяють як записувати так і про-

читувати інформацію. Для вибору потрібного ЗЕ на обидва входи CS необхідно подати активні логічні рівні.

Кола управління матрицею ЗЕ забезпечують реалізацію одного з трьох режимів роботи:

- зберігання, при якому ЗЕ відключені від входу і виходу ІС;
- читання, при якому інформація з ЗЕ, вибраного по відповідній адресі, видається на вихід ІС;
- запису, при якому інформація з входу ІС записується за вказаною адресою.

Кожному ЗЕ матриці привласнюється певна адреса, пошук якої проводиться вказівкою номерів відповідних рядка і стовпця. Ці номери формуються на виходах дешифраторів. Адреса ЗЕ у вигляді двійкового числа приймається по адресній шині регістром адреси. Число розрядів регістра адреси однозначно пов'язано з об'ємом пам'яті ІС. Число рядків і стовпців матриці ЗЕ звичайно вибирається рівним цілому ступеню числа 2 причому загальний об'єм пам'яті визначається добутком числа рядків  $N_{\text{ряд.}}$  на число стовпців  $N_{\text{стовп.}}$ :

$$M = N_{\text{ряд.}} \cdot N_{\text{стовп.}} = 2^{n_1} 2^{n_2} = 2^{n_1+n_2} \quad (4.1)$$

де  $n = n_1 + n_2$  - число розрядів регістра адреси.

Припустимо, як і в схемі на рисунку 4.2,  $M = 210 = 1024$  (1К). Проте, оскільки в цьому випадку організація пам'яті  $1K \times 1$ , то для доступу до всієї інформації необхідно 10-розрядне адресне слово  $A_9 \dots A_0$ , тобто  $n = 10$ . Якщо вибрати  $n_1 = n_2 = 5$ , то число рядків і стовпчиків буде рівне 32 і матриця ЗЕ буде квадратною. Розряди регістра адреси діляться на дві групи: одна ( $n_1$ ) визначає двійкову адресу рядка (RA), інша ( $n_2$ ) - двійковий адрес стовпця (CA). Кожна група розрядів адреси подається на відповідний дешифратор (рядків і стовпчиків). Вихідні сигнали дешифраторів вибирають необхідний ЗЕ з матриці.

При читанні ( $\overline{WR} / RD = 1$ ) вміст цього ЗЕ через підсилювач зчитування виводиться у вихідний тригер.

Режим запису встановлюється шляхом подачі в підсилювач запису сигналу дозволу запису ( $\overline{WR} / RD = 0$ ). Цей сигнал відкриває підсилювач запису, і біт вхідної інформації надходить на внутрішню шину ІС, з якої переписується у вибраний по відповідній адресі ЗЕ.

Вказані процеси зчитування-запису можуть здійснюватися тільки у випадку, якщо на вхід CS, сполучений з входом стробування дешифратора рядка, подано сигнал дозволу. Звичайно це сигнал лог. 0. За відсутності цього сигналу робота дешифратора рядка блокується, що еквівалентно забороні вибірки ЗЕ за вказаною адресою. В цьому випадку ІС знаходиться в режимі зберігання інформації і її виходи відключені від матриці ЗЕ.

Розглянута організація пам'яті забезпечує зберігання  $2^n \times 1$  кодових слів, тобто заданій адресі відповідає один біт інформації. Використання методу двовимірної адресації дозволяє максимально спростити схему ІС, що при заданій площі кристала є передумовою отримання максимально великих об'ємів пам'яті.

### 4.3 Надоперативні запам'ятовувальні пристрої

Біполярні тригерні мікросхеми володіють значною швидкістю, а МДН мікросхеми – більшою ємкістю ЗП. Крім того, МДП мікросхеми споживають значно менше енергії.

Типовий приклад тригерного ОЗП – паралельний регістр (рис. 4.3). При чотирьох бітах інформації, що зберігається, всі його компоненти уміщаються в одному корпусі з 14-у виводами, які забезпечують доступ до всіх входів і виходів чотирьох елементів пам'яті. Організація пам'яті у вигляді окремих регістрів застосовується при створенні ОЗУ малої ємкості (наприклад НОЗП).

Попереднє очищення регістра виробляється за допомогою асинхронних входів R установки тригерів в нульовий стан.

Як приклад на рисунку 4.4 приведена схема 4-розрядного паралельного регістра, побудованого на RS, – тригерах D5.D8.

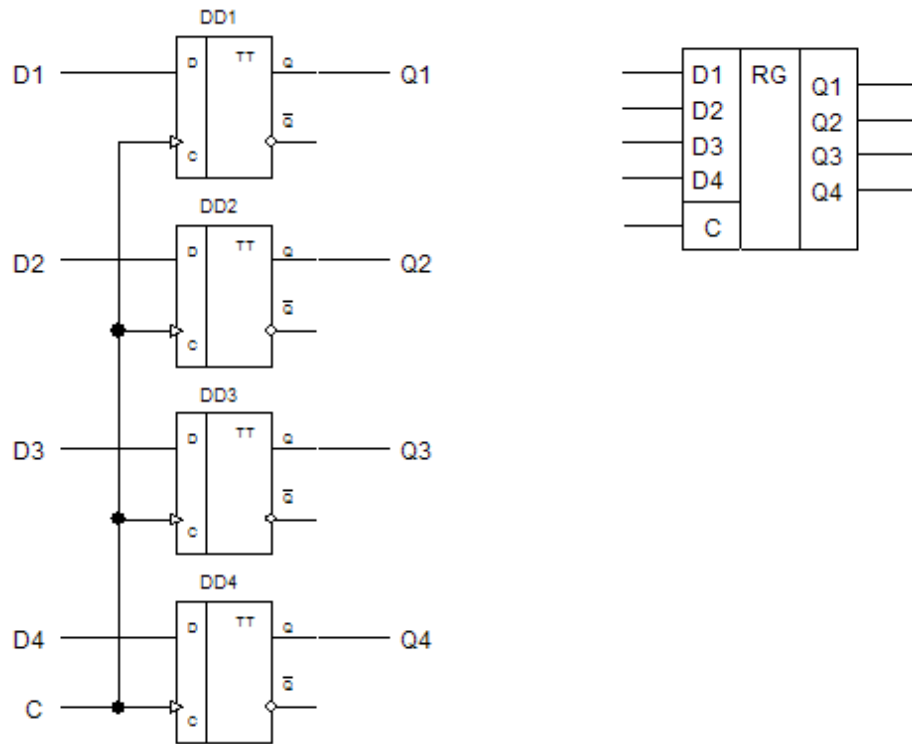


Рисунок 4.3 – Паралельний регістр на тактованих D-триггерах

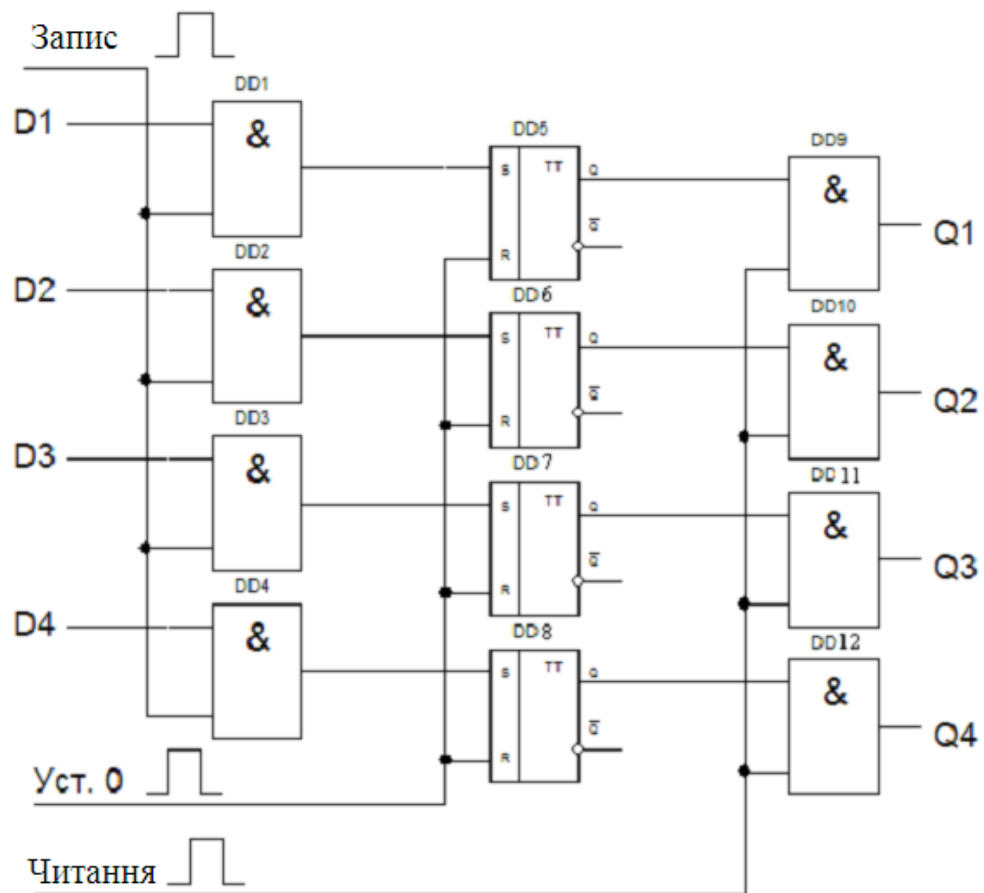


Рисунок 4.4 – Функціональна схема паралельного регістра на RS-триггерах

Елементи D1...D4 утворюють колом управління записом, а елементи D9.D12 – колом управління читанням.

Перед записом інформації всі тригери регістра встановлюють в стан «0» шляхом подачі імпульсу «1» на їх R – входи.

Записувана інформація подається на входи D1...D4. Для запису інформації подається імпульс «Зп», що відкриває вхідні елементи «I». Код вхідного числа записується в регістр. Після закінчення імпульсу «Зп» елементи D1...D4 закриваються, а інформація, записана в регістр, зберігається, не дивлячись на те, що вхідна інформація може змінюватися.

Для прочитування інформації подають сигнал «1» на вхід «чт». По цьому сигналу на вихідні шини регістра на час дії сигналу передається код числа, записаний в регістр. По закінченню операції читання вихідні ключі закриваються, а інформація, записана в регістр, зберігається. Тобто, можливе багатократне прочитування інформації.

При збільшенні ємкості ОЗП виникає проблема доступу до кожного елемента пам'яті при обмеженому числі виводів корпусу. Це завдання вирішується за допомогою адресної організації ЗП з використанням дешифратора коди адреса. Дешифратор з n адресними входами дешифрує  $2^n$  станів. Таким чином, при чотирьох входах можна організувати звернення до  $2^4 = 16$  елементам пам'яті, при 10 входах – до 1024 елементів і так далі

Запам'ятовувальний пристрій адресного типу складається з трьох основних блоків: масиву елементів пам'яті (накопичувач), блоку адресної вибірки (дешифратор адреси) і блоку управління.

Розглянемо призначення і взаємодію складових частин ОЗП на 64 біта з адресною організацією вибірки 16 чотирьохрозрядних слів ( $16 \text{ слів} \times 4 \text{ розряди} = 64 \text{ біт}$ ). Умовне зображення і функціональна схема такої мікросхеми приведені на рисунку 4.5. Масив пам'яті утворений 16 чотирьохрозрядними колами тригерів. При сигналі  $V = 0$  одне з кіл, що відповідає виставленій адресі A1. A4, переходить в робочий стан і його сигнали поступають на входи елементів I (DD8 . DD11).

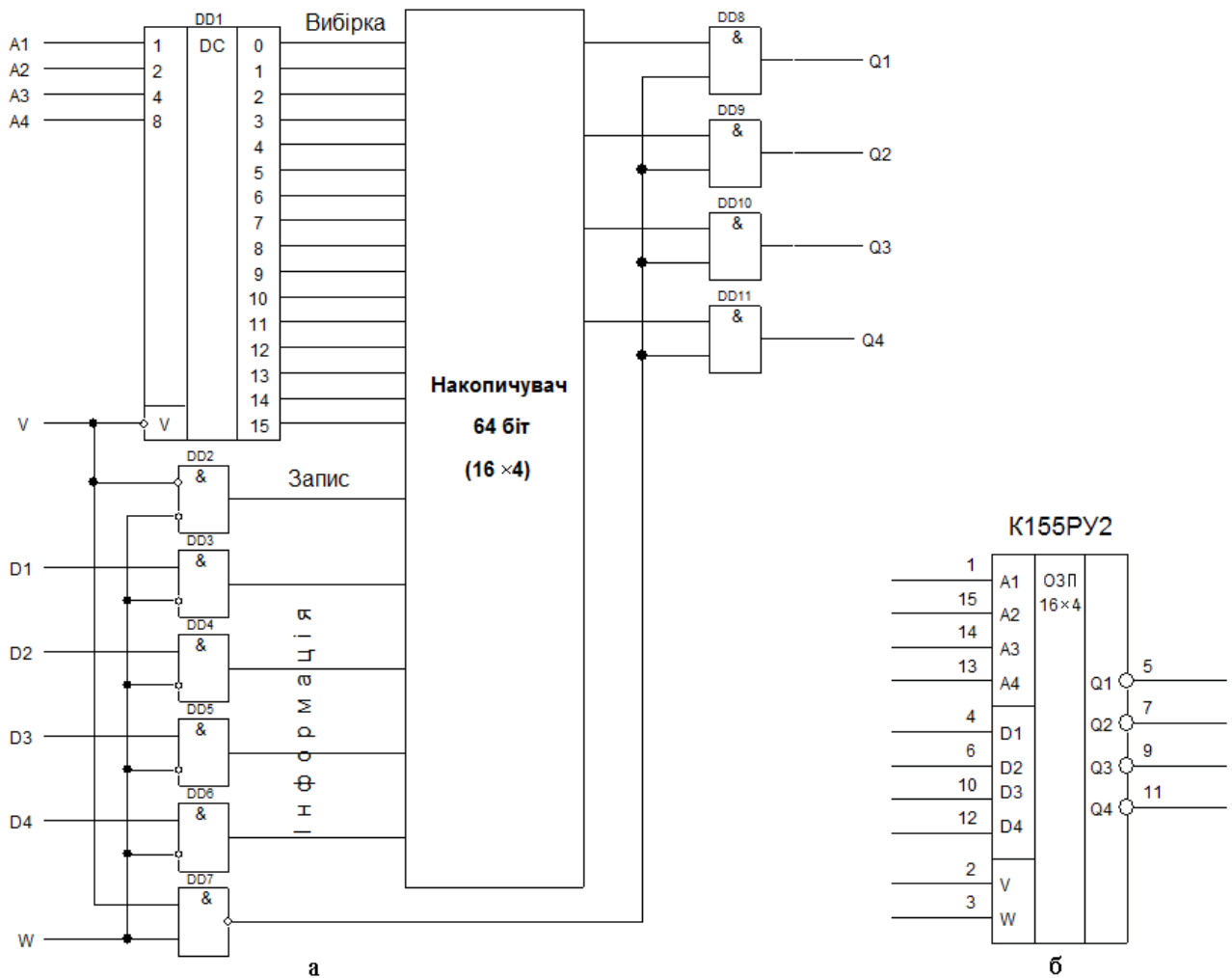


Рисунок 4.5 – Функціональна схема і умовне позначення ОЗП на 64 біт

При сигналі  $V = 1$  на всіх виходах дешифратора низькі рівні і всі тригери відключені від вихідних шин накопичувача. При  $V = 0$  і  $W = 0$  на вибраному коло поступають інформаційні сигнали (вхоть  $D1 \dots D4$ ) і елементом DD1 виконується сигнал запису. В цьому режимі при зміні інформації на вході ОЗП відбувається перезапис інформації у даному слові масиву. При сигналах  $V = 1$  і  $W = 0$  вхідна інформація проходить безпосередньо на вихід мікросхеми, минувши масив тригерів (дешифратор не вибирає жодного з кіл). При  $V = 1$  і  $W = 1$  боронує робота дешифратора, вузла, що генерує сигнал «Запис» і вхідних елементів I.

Блок управління (десять елементів I) забезпечує роботу ОЗП в режимах: запис, зчитування, наскрізне перенесення, зберігання інформації.



Вихідні логічні елементи I (DD8 ... DD11) виконані за відкритим колектором, що дозволяє сполучати разом виходи Q декількох мікросхем ОЗП. При цьому відбувається нарощування ємності ОЗП (дві мікросхеми - 32 слова, три - 48 і т. д.). Адресне управління A1 ... A4, інформаційні входи D1... D4 і виходи Q1 ... Q4 всіх мікросхем об'єднують в загальні шини, а вибір робочого масиву здійснюють додатковим дешифратором по входах V і W. Так виглядає структура мікросхеми K155PY2 (рис. 4.3 б).

Жорсткий магнітний диск – це алюмінієва пластина, покрита шаром магнітної речовини. Накопичувач на жорстких магнітних дисках (іноді його називають вінчестером) має невеликі розміри і монтується в корпусі системного блоку комп'ютера. На жорсткому диску записується найважливіша для роботи комп'ютера інформація – програми управління комп'ютером та обслуговування різних пристроїв, «лікарі» для лікування від комп'ютерних вірусів (програм, що псуєть інформацію та заважають роботі ЕОМ), а також потрібні користувачеві дані та так звані інструментальні засоби (редактори текстів, засоби створення програм, баз даних тощо). Для постійного зберігання великої кількості різних програм та інформації, які завжди повинні бути під рукою, потрібний великий об'єм пам'яті. Сучасні жорсткі диски мають об'єм від кількох мегабайтів до десятків гігабайтів (1 гігабайт =  $2^{10}$  мегабайтів –  $2^{30}$  байтів).

#### 4.4 Робота мікроконтролера сімейства x51 із зовнішньою пам'яттю даних

Усередині мікроконтролера розташовано 128 комірок пам'яті даних. Вона внутрішня, тобто розташована на тому ж кристалі, що і останні елементи мікроконтролера. Але x51 може працювати і із зовнішньою пам'яттю даних. Остання представляє собою одну або декілька самостійних мікросхем пам'яті. Частіше всього використовують статичну пам'ять з байтовою організацією об'ємом  $2K \times 8$  або  $8K \times 8$  біт ( $1K = 1024$ ) (рис. 4.6). Такі мікросхеми мають 8 виводів даних (D0...D7), по яких здійснюється одночасний запис в мікросхему всіх 8 біт у вибраній елемент пам'яті або читання 8 біт з цієї ко-

мірки. Далі, в таких мікросхемах є 11 або 13 адресних входів (A0...A10 або A0...A12), комбінація сигналів на яких задає адреса комірки, до якої іде звернення. Вхід WE визначає характер звернення: якщо на ньому встановлена 1, то здійснюється читання з обраної комірки; при WE = 0 у комірку буде записана інформація. Вхід CE активізує мікросхему пам'яті, коли на її вході CE встановлена 1, вона вимкнена, при CE = 0 вона допускає запис в неї інформації і читання з неї записаних даних.

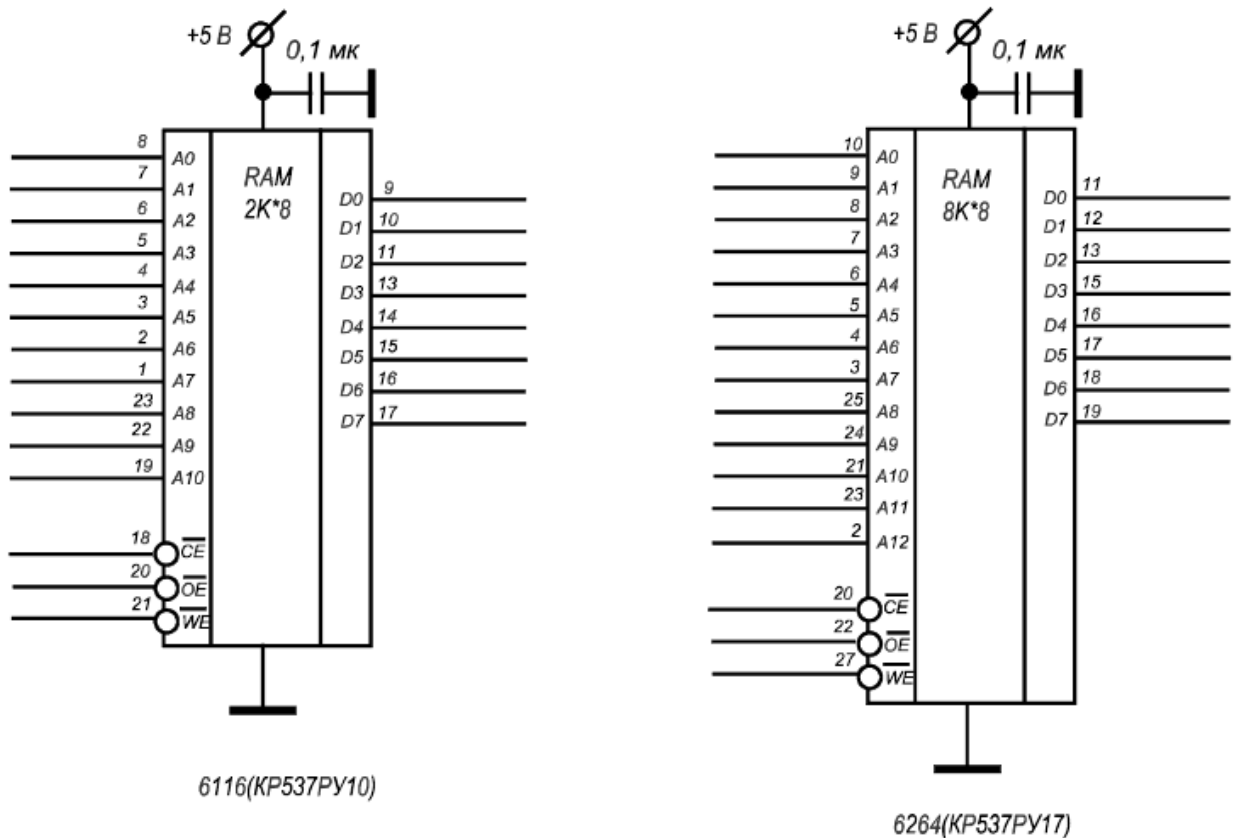


Рисунок 4.6 – Статична пам'ять з байтовою організацією

Нульовий сигнал на вході OE включає вихідні буфери мікросхеми пам'яті на пропускання інформації по лініях даних D0...D7, одиничний сигнал переводить ці лінії в сірий стан, тобто відключає усередині мікросхеми елемент пам'яті від її виводів.

Активними сигналами для виводів CE, OE, WR є негативні імпульси.

Робота з подібними мікросхемами повинна здійснюватися таким чином. Наприклад необхідно записати число  $145_D = 10010001_B$  у комірку з адресою  $84_D = 54_H = 1010100_B$ . Для цього мікроконтролер повинен встановити

записуване число на лініях даних  $D0\dots D7$  мікросхеми ( $D0=D4=D7=1$ ,  $D1=D2=D3=D5=D6=0$ ), а адреса комірки – на адресних лініях ( $A2=A4=A6=1$ ,  $A0=A1=A3=A5=0$ ;  $A7, A8$  і подальші старші адреси аж до  $A10$  для мікросхем об'ємом  $2K\times 8$  або до  $A12$  для мікросхем  $8K\times 8$  також мають бути встановлені в 0). Встановивши адресну інформацію і дані, мікроконтролеру одночасно з цим або декілька пізніше необхідно встановити 0 на вході  $WE$  мікросхеми (буде запис) і 0 на  $CE$  (знак того, що ми звертаємося саме до цієї мікросхеми). Як тільки після цього на вході  $OE$  мікросхеми пам'яті мікроконтролер встановить 0, здійсниться запис числа 145 в її 84-у комірку.

Відповідно, якщо необхідно прочитати дані з тієї ж, наприклад, 84-ї комірки, ми повинні, як і у попередньому випадку, встановити адресу комірки на адресних лініях, і одночасно з цим або декілька пізніше встановити 1 на вході  $WE$  мікросхеми (читання) і 0 на  $CE$  (знак того, що ми звертаємось саме до цієї мікросхеми). Як тільки після цього на вході  $OE$  мікросхеми пам'яті мікроконтролер встановить 0, здійсниться читання числа з вибраної комірки, і воно з'явиться на лініях даних  $D0\dots D7$  мікросхеми пам'яті. Сказане пояснюється часовими діаграмами, приведеними на рисунку. 4.7.



Рисунок 4.7 - Часові діаграмами запису та читання інформації



дах даних D0...D7 процесора з'явиться байт, який необхідно записати в пам'ять, і трохи пізніше за його появу нульовий сигнал на виході WR (RD при цьому залишиться в 1). Мікросхема DD2 в будь-якому циклі звернення (як читання, коли RD = 0, так і записи, коли WR = 0), сформує нуль на входах ОУ мікросхем ОЗП. Таким чином Z80 формує на входах мікросхем пам'яті потрібну для запису комбінацію сигналів.

Відповідно при читанні виводи даних перетворюються на входи, і на них процесор нічого не виводить, а після установки адреси він переводить в 0 сигнал RD (WR при цьому залишається в 1).

На рисунку 4.6 окрім процесора і мікросхем 555-ої серії представлено дві мікросхеми пам'яті. У кожній з них свій нульова, перший, другий і так далі елементи пам'яті, аж до 2048-го. При записуванні інформації, наприклад, в 84-у комірку, то як визначити, в 84-у комірку якої з них мікропроцесор занесе інформацію.

Входи CE мікросхем сполучені з виходами дешифратора DD3, зокрема CE DD4 з DD3(15), а CE DD5 з DD3(14). На виході DD3(15) нульовий сигнал виникне у тому випадку, коли на своїх трьох старших адресних виходах мікропроцесор встановить наступну комбінацію сигналів: A15=0, A14=0, A13=0. Відповідно, нуль на DD3(14) з'явиться, якщо A15=0, A14=0, A13=1. Отже, аби вести обмін з 84-м вічком мікросхеми DD4, мікропроцесор повинен встановити на адресних виходах комбінацію A0=A1=0; A2=1; A3=0; A4=1; A5=0; A6=1; A7=A8=A9=A10=A13=A14=A15=0. Оскільки в DD4 відсутні входи A11 і A12, і ці адресні лінії до неї не підводяться, то їх стан (нулі або одиниці) ніяк не позначається на адресі вибраного вічка в цій мікросхемі. Для визначеності покладемо, що і вони мають бути при зверненні до DD4 нульовими. Таким чином, в представленій на рисунку 4.8 системі до 84-го вічка мікросхеми DD4 мікропроцесор звернеться, встановивши на адресній шині 0000000001010100<sub>B</sub> = 0054<sub>H</sub> = 84. Іншими словами, 84-й елемент пам'яті нашої системи знаходиться саме в DD4.

Проаналізуємо 84-у комірку DD5. Для звернення до неї процесор повинен встановити на адресній шині  $0010000001010100_B = 2054_H = 8276$ . Інакше, 84-я елемент пам'яті мікросхеми DD5 є 8276-ю коміркою системи.

Звернемо увагу – на схемі шини адреси і даних позначаються у вигляді ліній, які, як би, розширилися за рахунок ліній адрес і даних, що увійшли до них,. Завдяки цьому схеми стають більш читаними, і лінії шин перестають з'їдати лівову частку площі схеми.

Для оптимізації схемних рішень, на відміну від Z80, розробники x51 пішли на багатофункціональне використання ніжок мікросхеми. Так, лінії порту P2 при зверненні до зовнішньої пам'яті виводять адресні біти A8...A15. Сигнал RD формується на P3(7), а WR на P3(6).

Можна було б використовувати лінії порту P1 для адресних бітів A0...A7, а лінії P0 для D0...D7. Але цей спосіб має один недолік: у розпорядженні залишається всього шість ліній (P3(0)...P3(5)), на яких інформація може зберігатися незмінною незалежно від того, чи є звернення до зовнішньої пам'яті, чи нема. На останніх же лініях вона пропадає на час циклу звернення до зовнішньої пам'яті.

Для вирішення проблеми (збільшення числа ліній, інформація на яких зберігається незалежно від того, чи працює мікроконтролер із зовнішнім ОЗП, чи ні) було зроблено наступне (рис. 4.9).

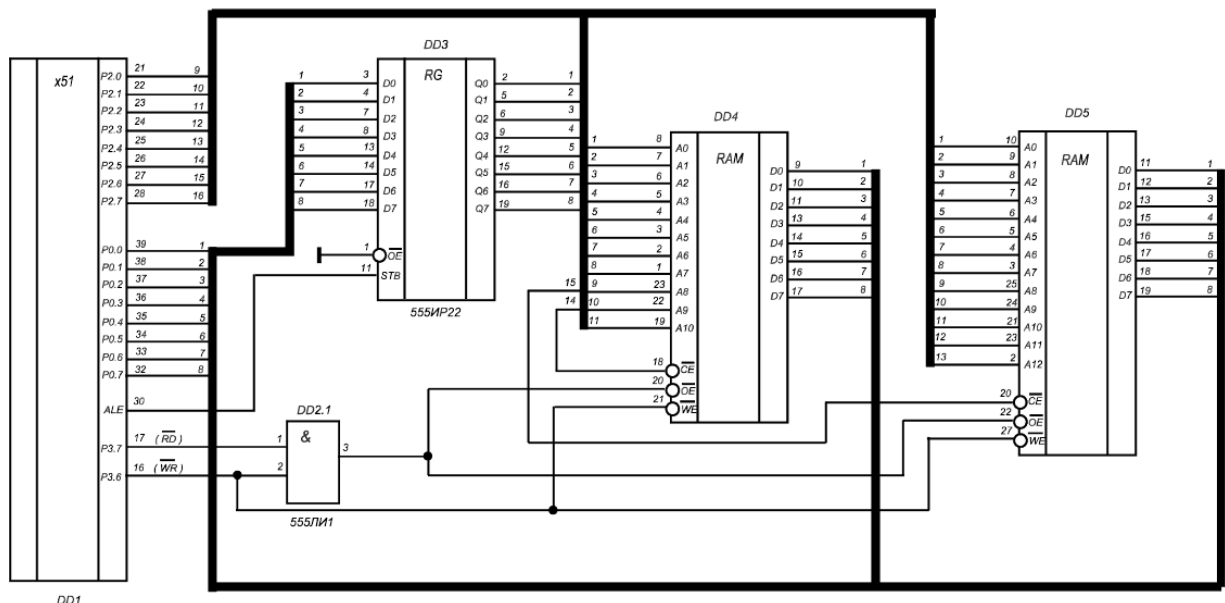


Рисунок 4.9 - Оптимізація схемних рішень в мікросхемі x51

Лінії порту P0 використовуються для введення/виведення інформації з шини даних. Але, крім того, в перший момент звернення до пам'яті по цих же лініях виводяться адреси A0...A7 і одночасно з цим встановлюється в 1 сигнал на виході ALE. Після двох періодів тактового генератора ALE звалюється в 0, і через декілька наносекунд після цього адресна інформація пропадає з ліній порту P0, даючи можливість вести по ним обмін даними. А для того, щоб використовувати адреси A0...A7 застосовують 8-розрядний регістр-клямку типа 555IP22, інформація в якому фіксується по спаду сигналу на його вході STB. Як цей сигнал використовується сигнал ALE (це основне його призначення).

Таким чином, робота мікроконтролера із зовнішньою пам'яттю даних здійснюється таким чином. Прочитавши команду звернення до зовнішньої пам'яті, мікроконтролер виводить по лініях порту P2 старші 8 біт адреси, а по лініях P0 молодші. Одночасно з цим він встановлює в 1 сигнал на виході ALE. Коли ця 1 поступає на вхід STB регістра-клямки DD3, інформація з його входів D0...D7 безпосередньо поступає на виходи Q0...Q7, сполучені з молодшими 8 лініями шини адреси. Через деякий час ALE встановлюється в 0. Перепад з 1 в 0 на вході STB DD3 наводить до замикання в регістрах виходів Q0...Q7 інформації, яка поступає на них, і замкнуті молодші 8 біт адреси залишаються незмінними на виходах Q0...Q7 до наступного циклу обміну із зовнішньою пам'яттю. Старші 8 біт, які виводяться через P2, також не міняються до завершення поточного циклу роботи із зовнішнім ОЗП.

Оскільки A0-A7 запам'яталися в регістрі-клямці, вони забираються з виводів порту P0, і останні перетворюються на виходи шини даних. Якщо мікроконтролер записує дані у зовнішнє ОЗП, байт який записується виводиться їм на P0(0)...P0(7), і встановлюється в 0 сигнал на його виході WR (P3(6)). Поява нульових сигналів на входах WE і OE відповідної мікросхеми пам'яті наводить до запису в неї байта, поданого на її входи D0...D7. Нульовий сигнал на OE формує мікросхема DD2. Сказане ілюструється часовими діаграмами на рисунку 4.10.

У схемі на рисунку 4.7 відсутній дешифратор, який управлявся адресами A13...A15. Замість цього на входи CE мікросхем пам'яті подані сигнали з A13 і A14. Таке рішення можливе, якщо в системі не використовуватиметься більше трьох мікросхем зовнішньої пам'яті (дешифратор DD3 на рисунку 4.6 дозволяв працювати з вісьма мікросхемами).



Рисунок 4.10 – Часові діаграми режимів роботи з зовнішньою пам'ятю

При зверненні до DD4 мікроконтролер повинен встановити наступну комбінацію старших адрес: A13=0, A14=A15=1. Відповідно для DD5 A13=1, A14=0, A15=1.

Процес читання інформації мікроконтролером аналогічний тільки що розглянутому процесу запису з тією лише різницею, що мікроконтролер встановлює в 0 не WR, а RD, і дані на шину даних поступають не з нього, а з відповідної мікросхеми пам'яті.

Описаний спосіб видачі адресної інформації по виводах шини даних дуже поширений і називається мультиплексуванням шин адреси/даних.