

*Міністерство освіти і науки України
Запорізький національний університет
Інженерний навчально-науковий інститут ім Ю. М. Потєбні*

*Кафедра: Електроніки, інформаційних систем та програмного
забезпечення*

Лабораторна робота №6

з дисципліни Комп'ютерна електроніка

Дослідження функціональних вузлів оперативної частини мікропроцесора

Студента (ки) 4 курсу, групи _____

(прізвище та ініціали)

Викладач Верьовкін Л.Л.

(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала _____

Кількість балів: _____ Оцінка: ECTS _____

м. Запоріжжя – 202_ рік

Мета роботи: ознайомитись з принципами побудови суматорів оперативної частини АЛП, на прикладі чотирьох розрядного суматора-віднімача з накопиченням інформації.

6.1 Короткі теоретичні відомості

Основна арифметична операція, яку можна виконати на будь-якому АЛП, є операція складання двох n -розрядних кодів ($X_n \dots X_1$ та $Y_n \dots Y_1$). Складання по всіх розрядах, починаючи з молодшого, проходить по певним правилам. У кожному i -му розряді здійснюється складання $X_i + Y_i + P_{i-1}$, де P_{i-1} – перенос з молодшого ($i-1$)-го до старшого розряду. Підсумок можна виразити кодами суми S_i та переносу P_i .

Суматори можуть складати позитивні і негативні числа, використовуючи представлення числа в додатковому коді. Віднімання виконується майже також просто: міняється знак другого числа, потім числа складаються. Зміна знаку числа в додатковому коді виконується шляхом інверсії бітів і збільшення 1 (рис. 6.1).

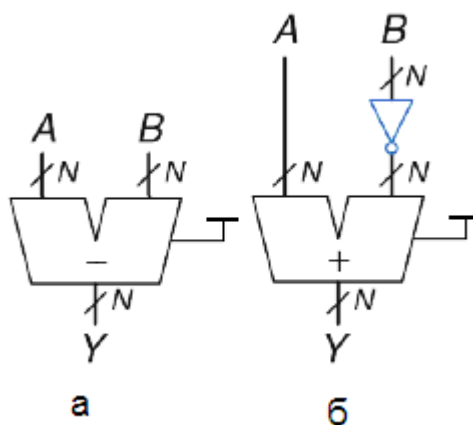


Рисунок 6.1 – Пристрій віднімання: а – умовне позначення; б - реалізація

Для того, щоб мати малі витрати на апаратурну частину (hard ware) комп'ютера, були зроблені зусилля по зведенню до одного алгоритму віднімання і складання. Цього можна досягти, якщо застосовувати двійкові цифри в їх доповнюючій формі. Розрізняють одиничне доповнення (зворотний код,

порозрядне доповнення) і подвійне доповнення (точне доповнення). Порозрядне доповнення формується шляхом заміни всіх нулів на одиниці і назад. Отже, порозрядним доповненням (one's complement) 0001 є 1110. Нижче порозрядне доповнення двійкового числа A позначено \bar{A} . Вочевидь, що при представленні n -бітового слова маємо:

$$\bar{A} + A = 2^n - 1. \quad (6.1)$$

Наприклад, при представленні 8-бітового слова маємо:

$$10110011 + 01001100 = 11111111 = 2^8 - 1.$$

Можна перетворити рівняння (6.1), аби отримати формулу для розрахунку порозрядного доповнення:

$$\bar{A} = 2^n - 1 - A. \quad (6.2)$$

Точне доповнення (two's complement) A_d утворюється з порозрядного доповнення \bar{A} шляхом додавання 1:

$$A_d = \bar{A} + 1. \quad (6.3)$$

Отже, з урахуванням (1.2) буде справедливо:

$$A_d = 2^n - 1 - A + 1 = 2^n - A. \quad (6.4)$$

Видно, що в даному представленні міститься « $-A$ », завдяки чому воно зручне для проведення віднімання. Врахуємо також, що 2^n в двійковому представленні маємо $n + 1$ розрядів. Нижче приклад точного доповнення для 10101100:

$$A_d = \bar{A} + 1 = 01010011 + 1 = 01010100.$$

Таким чином, цілочисельне віднімання двох чисел A і B генерується в двійковій системі точно так, як і в десятковій системі – по розрядам. При цьому до зменшуваного додається від'ємник, представлений в точному додатковому коді. Наприклад десяткова операція віднімання $46 - 36 = 10$, у вигляді двійкової арифметичної операції виглядатиме таким чином:

$$A_{10} = 46 \quad A_2 = 101110$$

$$B_{10} = 36 \quad B_2 = 100100 \quad \bar{B}_2 = 011011 \quad B_{2d} = 011100$$

$$\begin{array}{r}
 101110 \\
 + 011100 \\
 \hline
 \textcircled{1} 001010
 \end{array}$$

Число напівсуматорів у розробляемому суматорі-віднімачі дорівнює числу розрядів. Вихід перенесення P кожного повного напівсуматора сполучений з входом перенесення наступного, більш старшого розряду (рис. 6.2). Доданки A_i і B_i складаються у всіх розрядах одночасно, а перенесення P поступає із закінченням операції складання в попередньому розряді.

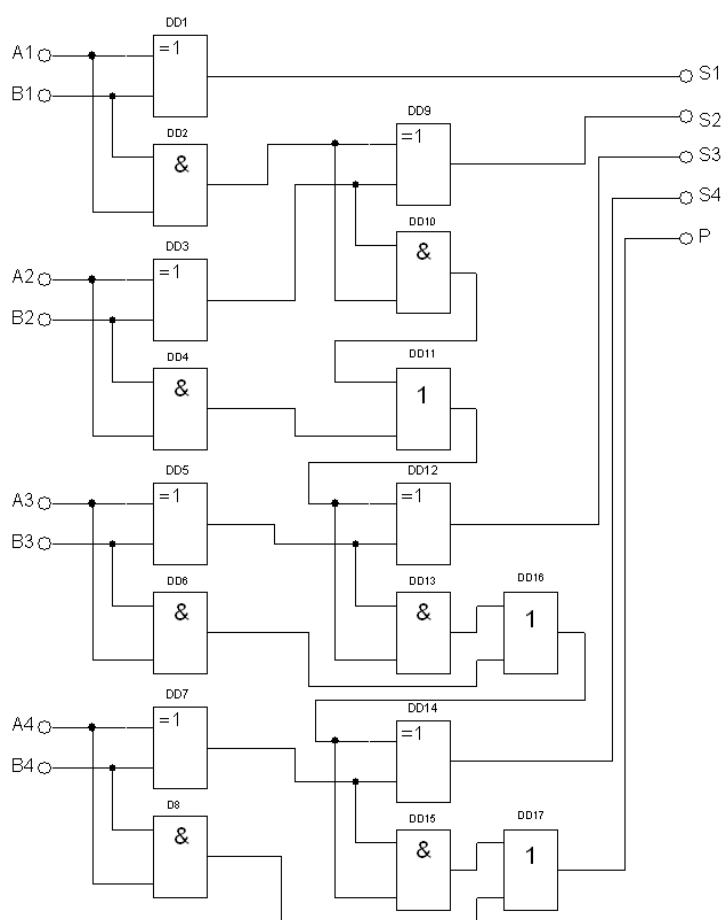


Рисунок 6.2 - Схема функціонування чотирьох розрядного суматора з послідовним перенесенням

Для того, щоб суматор виконував функції віднімача, число B слід представити в додатковому коді. Як результат отримаємо чотирьохрозрядний код. Стан перенесення 1 – позитивне число, 0 – негативне число. Таблиця перет-

ворювача двійкового коду в додатковий (табл. 6.1) дозволяє отримати рівняння функціонування.

Таблиця 6.1 – Таблиця функціонування перетворювача

B4	B3	B2	B1	$\overline{B4}$	$\overline{B3}$	$\overline{B2}$	$\overline{B1}$	X4	X3	X2	X1
0	0	0	0	1	1	1	1	0	0	0	0
0	0	0	1	1	1	1	0	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	0
0	0	1	1	1	1	0	0	1	1	0	1
0	1	0	0	1	0	1	1	1	1	0	0
0	1	0	1	1	0	1	0	1	0	1	1
0	1	1	0	1	0	0	1	1	0	1	0
0	1	1	1	1	0	0	0	1	0	0	1
1	0	0	0	0	1	1	1	1	0	0	0
1	0	0	1	0	1	1	0	0	1	1	1
1	0	1	0	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	0	1	0	1
1	1	0	0	0	0	1	1	0	1	0	0
1	1	0	1	0	0	1	0	0	0	1	1
1	1	1	0	0	0	0	1	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Поєднавши схему функціонування чотирьох розрядного суматора з послідовним перенесенням з схемою перетворювача двійкового коду в додатковий маємо у результаті суматор-віднімач.

Для накопичення (запам'ятовування) інформації до виходів розрядів пристрою необхідно підключити чотирьохрозрядний паралельний регістр пам'яті (НОЗП).

Паралельні регістри - це пристрої, призначені для запису, зберігання і надання інформації, представленій у вигляді двійкового коду. Запис інформації в паралельні регістри здійснюється паралельним кодом, тобто у всі розряди регістра одночасно. Їх функція зводиться лише до прийому, зберігання і передачі інформації.

Інформація (число) записується у всі розряди регістра, (D-тригери) одночасно, тобто паралельним кодом. При подачі управляючого сигналу $C = 1$, інформація по входах D1 – D4 записується одночасно у відповідні розряди

чотирьох D-тригерів (рис. 6.3). При $C = 0$ інформація зберігається в регістрі пам'яті.

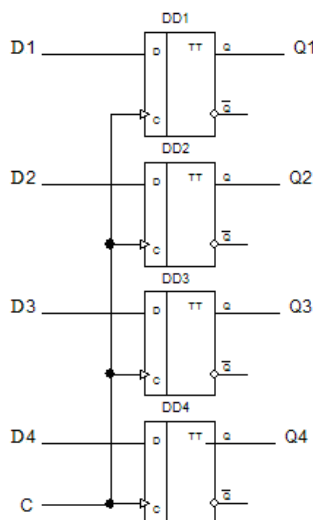


Рисунок 6.3 – Паралельний регістр на тактованих D – тригерах

Загальна функціональна схема суматора-віднімача представлена на рисунку 6.4.

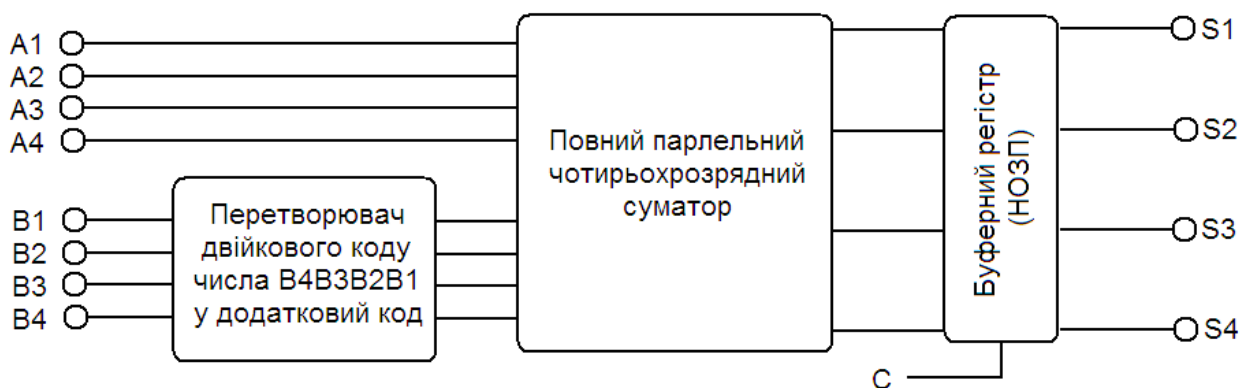


Рисунок 6.4 - Загальна функціональна схема суматора-віднімача

6.2 Послідовність і порядок виконання роботи

1. Провести розрахунки рівнянь схеми перетворювача двійкового чотирьохрозрядного коду від'ємного числа V у додатковий код згідно з таблицею 6.1.

2. Спростити рівняння методом карт Карно.

3. Привести рівняння до єдиного базису І-НЕ (Штрих Шеффера).

4. Згідно з рівняннями побудувати структурну схему перетворювача

двійкового коду в додатковий в програмному застосуванні EWB.

5. Виконати аналіз функціонування схеми перетворювача за допомогою існуючого інструментарію.

6. Поєднати схему суматора віднімача з буферним регістром для отримання накопичення інформації.

7. Підключити до схеми 8 клавіш (розряди чисел A4A3A2A1 і B4B3B2B1), семисегментні індикатори BCD / DP Y, для індикації цифр вводу і результату виводу у шістнадцятиричному коді, проміжні світлодіодні індикатори, тактовий генератор для буферного регістра.

8. Виконати аналіз функціонування схеми чотирьох розрядного суматора-віднімача з накопиченням інформації.

9. Зробити розгорнутий висновок.

Контрольні питання

1. Принципи побудови напівсуматорів.
2. Арифметичні операції комп'ютерної електроніки.
3. Призначення елементів «Виключне АБО».
4. Структура і принцип функціонування АЛП.

Література

1. Верьовкін Л. Л., Світанько М. В., Кісельов Є. М., Хрипко С. Л. Цифрова схемотехніка: підручник. Запоріжжя : ЗДІА, 2016. 214 с. ISBN 978-617-685-023-6.

2. Рябенський В. М., Жуйков В. Я., Гулий В. Д.. Цифрова схемотехніка: навчальний посібник. Львів : "Новий Світ-2000", 2019. 736 с. ISBN 978-966-418-067-9.