

*Міністерство освіти і науки України  
Запорізький національний університет  
Інженерний навчально-науковий інститут ім Ю. М. Потєбні  
Кафедра: Електроніки, інформаційних систем та програмного  
забезпечення*

**Практичне заняття №4**

з дисципліни Цифрові логічні автомати

**Синтез комбінаційних автоматів з використанням  
мультиплексорів.**

Студента (ки) 4 курсу, групи \_\_\_\_\_

\_\_\_\_\_  
(прізвище та ініціали)

Викладач \_\_\_\_\_ Верьовкін Л.Л. \_\_\_\_\_

\_\_\_\_\_  
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Національна шкала \_\_\_\_\_

Кількість балів: \_\_\_\_\_ Оцінка: ECTS \_\_\_\_\_

м. Запоріжжя – 2024 рік

## 1. Синтез комбінаційних схем з використанням мультиплексорів

Мультиплексор (або селектор даних) – це комбінаційна схема, яка комутує один з  $2^m$  вхідних сигналів на один вихід. Вибір інформаційного входу, який комутується на вихід, здійснюється за допомогою  $m$  адресних входів. Умовні позначення мультиплексора показані на рисунку 1.1.

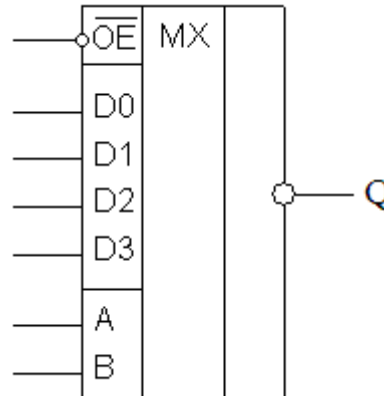


Рисунок 1.1 - Умовне позначення мультиплексора

Для вибору одного з  $n$  входів, комутованого на вихід, потрібна група з  $m$  адресних входів, де  $n = 2^m$ . Залежно від цифрового коду на адресних входах один з входів вибирається і з'єднується з виходом. Зазвичай вхід дозволу ( $\overline{OE}$ ) використовується для каскадного з'єднання мультиплексорів. Цей вхід зазвичай активний при низькому рівні, тобто дозволяє роботу мультиплексора, коли сигнал на цьому вході низький (лог. 0).

Мультиплексори можуть бути використані як логічні елементи для синтезу комбінаційних схем.

Для реалізації комбінаційних схем з використанням мультиплексора потрібно представлення функції алгебри логіки (ФАЛ) таблицею істинності або в ДДНФ, або в ДКНФ. Синтез комбінаційних схем зводиться до наступного:

- визначаються десяткові номери кожного мінтерма ФАЛ і входи мультиплексора, відповідні цим номерам з'єднуються з логічною 1;
- всі останні входи з'єднуються з логічним 0.
- вхідні змінні ФАЛ подаються на адресні входи.

Побудова логічних схем на мультиплексорах і допоміжних елементах зазвичай ведеться у вигляді деревовидних кіл, каскадних структур, які відрізняються способами функціонального розділення і розкладання булевих функцій.

При реалізації логічних функцій (ЛФ) на базі мультиплексора можуть зустрічатися три випадки:

а)  $n = m$ ;

б)  $n < m$ ;

в)  $n > m$ .

де  $n$  - кількість змінних ЛФ,  $m$  - число адресних входів мультиплексора.

У першому випадку реалізація виконується просто. Набори змінних подаються на адресні входи мультиплексора з дотриманням ваги розрядів.

У другому випадку набори змінних подаються на адресні входи мультиплексора з дотриманням ваги розряду, при цьому залишаються вільними один або декілька адресних входів з великою вагою. Ці вільні адресні входи підключаються до логічного «0», як і незадіяні інформаційні входи.

Найбільш складним є третій випадок, коли  $n > m$ . В цьому випадку доводиться використовувати розкладання ЛФ на простіші ЛФ з меншим числом змінних. Для розкладання використовують два методи:

а) декомпозиція по методу Шенона;

б) машинно-орієнтований алгоритм.

У будь-якому з методів можлива реалізація пристрою лише на мультиплексорах або на мультиплексорах і логічних елементах.

Логічні елементи (ЛЕ) можуть бути з елементарного логічного базису, або з базису «І-НІ» («АБО-НІ»), залежно від завдання синтезу.

Якщо хоч би одна з простіших ЛФ в результаті використання одного з вказаних способів розкладання виходить нетривіальною, то розкладання продовжується. На другому етапі виробляється розкладання більш простих функцій першого етапу. Якщо і після другого етапу є хоч би одна ЛФ нетри-

віального вигляду, те розкладання необхідно продовжувати, і до тих пір, поки всі функції не матимуть тривіального вигляду.

Функція називається тривіальною, якщо має один з наступних виглядів:

а)  $y = 0$ ;

б)  $y = 1$ ;

в)  $y = x$ ;

г)  $y = \bar{x}$ .

При реалізації ЛФ на мультиплексах і ЛЕ розкладання вихідної ЛФ завершується після першого етапу.

Машинно-орієнтований алгоритм не завжди забезпечує здобуття оптимальної (мінімальною) структури цифрового пристрою, оскільки не завжди розкладання ЛФ по вибраних змінних відповідає оптимальному випадку. Процес побудови оптимальних схем є багатокроковим з необхідністю комбінаторного перебору процедур розкладання ЛФ по різному числу і набору змінних на кожному кроці.

Знаходження оптимальної реалізації можливе на основі розглянутого машинно-орієнтованого алгоритму синтезу лише за умови, що будуть перебрані всі можливі варіанти перестановки в наборі змінних. Це істотно ускладнює обчислення і в більшості випадків може бути реалізоване лише на ЕОМ.

Найчастіше на практиці застосовується розкладання булевих функцій по методу Шенона, який дозволяє з першого разу отримати мінімальну схему пристрою. Метод, який використовує декомпозицію заданої ЛФ по методу Шенона, включає наступні етапи:

а) знаходиться МДНФ логічної функції;

б) визначається кількість входжень в МДНФ кожної змінної, і виділяється  $m$  змінних, які входять в МДНФ максимальну кількість разів. Ці змінні подаються на адресні входи вихідного мультиплекса;

в) виконується декомпозиція МДНФ заданої логічної функції методом Шенона по виділених як адресні змінних і визначаються залишкові функції (ЗФ) першого ярусу. Метод Шенона має вигляд:

$$f(x_1, x_2, \dots, x_n) = \bar{x}_{t_1} \bar{x}_{t_2} \dots \bar{x}_{t_k} f_0 + \bar{x}_{t_1} \bar{x}_{t_2} \dots \bar{x}_{t_{k-1}} x_{t_k} f_1 + \dots + x_{t_1} x_{t_2} \dots x_{t_k} f_{2^k-1}$$

де  $f_0, f_1, \dots, f_{2^k-1}$  - залишкові функції розкладання, які виходять з функції  $f$

шляхом підстановки констант 0 і 1 замість змінної безлічі  $(x_{t_1}, x_{t_2}, \dots, x_{t_k})$ .

Для  $f_0$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_k} = 0$ ;

для  $f_1$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_{k-1}} = 0, x_{t_k} = 1$ ;

для  $f_{2^k-1}$  маємо  $x_{t_1} = x_{t_2} = \dots = x_{t_k} = 1$ .

г) якщо отримані залишкові функції тривіальні, то пристрій є одноярусним і подальші дії полягають в побудові схеми на першому ярусі мультиплексорів;

д) у випадку якщо ЗФ першого ярусу не тривіальні, то після підрахунку кількості входжень в усі ЗФ першого ярусу по максимуму вибираються змінні, які подаються на адресні входи мультиплексорів другого ярусу;

е) виконується декомпозиція кожної ЗФ першого ярусу по виділенім  $m$  адресним змінним і визначаються ЗФ другого ярусу. Їх загальна кількість дорівнює  $2^{2^m}$ , по  $2^m$  на кожен з  $2^m$  мультиплексорів другого ярусу. Серед них можуть бути тривіальні і не тривіальні ЗФ. Тривіальні не вимагають подальшого розкладання і використання мультиплексорів третього ярусу для їх формування. Нетривіальні ЗФ другого ярусу реалізуються на мультиплексорах третього ярусу.

Розкладання і визначення залишкових функцій ярусів подальших порядків здійснюється до тих пір, поки всі отримані залишкові функції не стануть тривіальними.

Розкладання булевих функцій є одним з трудомістких етапів проектування логічних схем на мультиплексорах, оскільки здобуття оптимального рішення зв'язується з частковим або повним перебором варіантів розкладання булевих функцій, по певному числу змінних, причому залежно від складності булевих функцій, що реалізуються на мультиплексорах, процес розкладан-

ня є багатоступінчастим виконанням до моменту повного зведення отримуваних залишкових функцій до простого вигляду.

З врахуванням роботи мультиплексорів і конструктивних особливостей їх реалізації з числом входів  $n$  ( $n = 2, 3$ ) і  $m$  інформаційних управляючих входів, рівним  $2^m$  (4, 8), розкладання заданої функції можна вести по двом, трьом змінним. Тоді при побудові логічної схеми на мультиплексорах ці змінні повинні підключатися до управляючих входів, а залишкові функції до інформаційних входів відповідного мультиплексора.

**Приклад 1.1** Реалізувати логічну функцію використовуючи мультиплексор:

$$Q(X_3X_2X_1X_0) = \sum_n(0,1,2,5,7,8,11,14)$$

Рішення. ФАЛ чотирьох змінних, тому мультиплексор має бути з чотирма адресними входами (рис. 1.2).

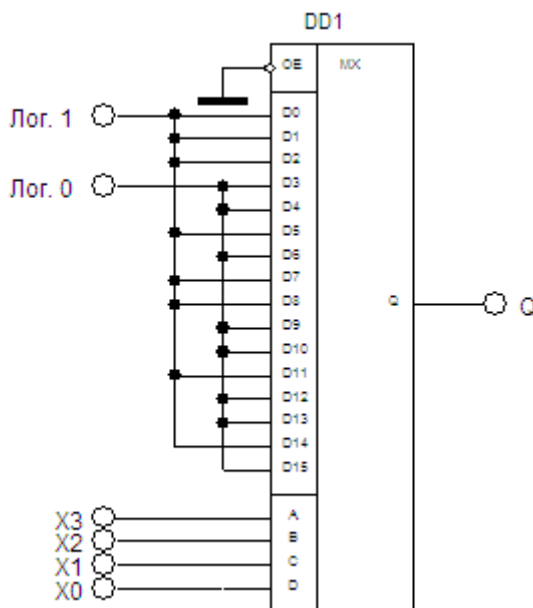


Рисунок 1.2 – Реалізація функції алгебри логіки

1.1 Реалізація функції  $(m+1)$  змінних на мультиплексорах  
з  $m$  адресними входами

Приклад 1.2 Реалізувати ФАЛ  $Q = \sum(X_3X_2X_1X_0)$ , задану таблицею істинності (табл. 1.1), мультиплексором 8:1.

Рішення. ФАЛ чотирьох змінних може бути реалізована, використовуючи мультиплексор розмірністю 8:1 (рис. 1.3). Змінні ФАЛ  $X_3$ ,  $X_2$ ,  $X_1$  під'єднаємо до адресних входів  $A$ ,  $B$ ,  $C$  відповідно. Змінну, не приєднану до адресних входів  $X_0$ , називають «виділеною». Без «виділеної» змінної набори змінних  $X_3$ ,  $X_2$ ,  $X_1$  утворюють пари. У таблиці істинності ці пари відокремлені. Розглянемо співвідношення між «виділеною» змінною  $X_0$  і виходом для кожної пари. При цьому можливі чотири варіанти, коли вихід  $Q$  не залежить від змінної  $X_0$  і дорівнює 0 або 1 і коли вихід  $Q$  залежить від змінної  $X_0$  і дорівнює  $X_0$  або  $\overline{X_0}$ , як відмічено праворуч у таблиці істинності. Виходячи з цього на інформаційні входи мультиплексора і подається логічний 0, логічна 1,  $X_0$  або  $\overline{X_0}$ , як показано на рисунку 1.3.

Таблиця 1.1 – Задана логічна функція

№	Входи				Вихід	
	$X_3$	$X_2$	$X_1$	$X_0$	$Y$	$Q$
0	0	0	0	0	1	1
	0	0	0	1	1	
1	0	0	1	0	0	$X_0$
	0	0	1	1	1	
2	0	1	0	0	0	$X_0$
	0	1	0	1	1	
3	0	1	1	0	1	1
	0	1	1	1	1	
4	1	0	0	0	0	0
	1	0	0	1	0	
5	1	0	1	0	1	$\overline{X_0}$
	1	0	1	1	0	
6	1	1	0	0	0	$X_0$
	1	1	0	1	1	
7	1	1	1	0	1	$\overline{X_0}$
	1	1	1	1	0	

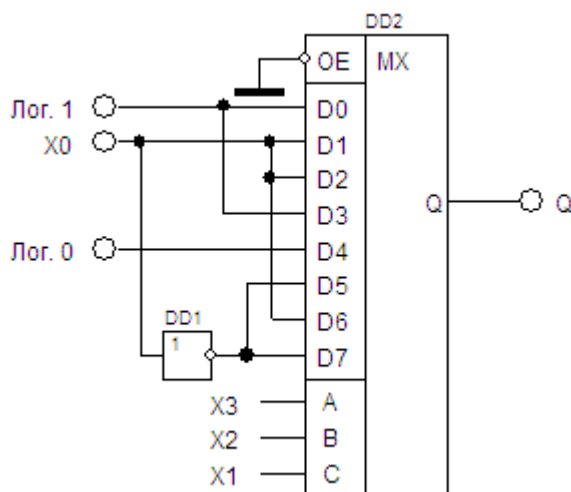


Рисунок 1.3 - Реалізація ФАЛ, з використанням мультиплексора КР1533КП7 (74ALS151)

Для синтезу ФАЛ можна використовувати карти Карно (рис. 1.4). Парні набори на ній розташовані поруч, тобто є сусідніми. Об'єднаємо ці набори і помітимо числом, відповідним наборам карти Карно трьох змінних  $X_3X_2X_1$ . Можна відмітити, що парні набори легко виділяються проведенням розділових ліній по змінних  $X_3, X_2, X_1$  (рис. 1.4, б).

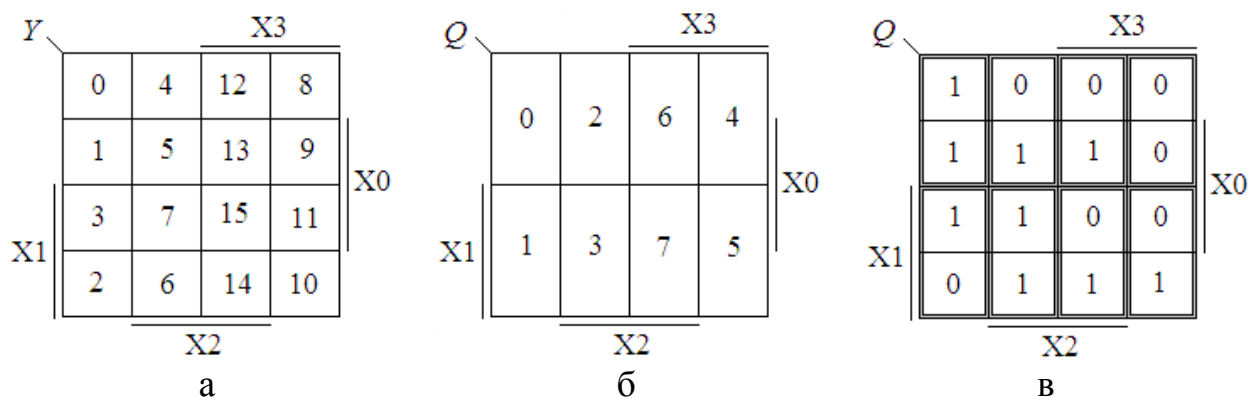


Рисунок 1.4 – Синтез ФАЛ за допомогою карт Карно

Задамо тепер ФАЛ за допомогою карти Карно (рис. 1.4, в). Зіставляючи рисунок 1.4, б і рисунок 1.4, в, можна відмітити, що в клітці з номером 0 ( $Q_0 = 1$ ). В клітці з номером 1 ( $Q_1 = X_0$ ). Продовжуючи розгляд далі, отримуємо підсумковий результат:

$$Q_0 = 1; \quad Q_1 = X_0; \quad Q_2 = \overline{X_0}; \quad Q_3 = 1; \quad Q_4 = 0; \quad Q_5 = \overline{X_0}; \quad Q_6 = X_0; \quad Q_7 = \overline{X_0}.$$

Розрізнялися парні набори по змінній  $X_0$ , яка потім подавалася на інформаційні входи. Проте в якості «виділень» може бути узята будь-яка



змінна. Для технічної реалізації не байдуже, яку змінну слід «виділяти». Це пов'язано з тим, що вибір виділеної змінної визначає кількість інформаційних входів, на які подаються константи 0, 1. Такі інформаційні входи не навантажують попередні кола, тому їх бажано мати більше. Вочевидь, що для досягнення цього як «виділену» слід використовувати змінну, від якої ФАЛ залежить менше всього. Останнє можна встановити по мінімальній диз'юнктивній формі, підрахував кількість входжень змінної в цю форму як з інверсією, так і без неї.

**Приклад 1.3** Розробка логічного пристрою управління на мультиплексах з двохрозрядним адресним управлінням комутацією інформаційних входів.

Задана функція представлена у числовому вигляді

$$Q = \Pi(1,2,8,9,10,11,12,13,14,26,27,28,29,30,31)$$

Представимо цю функцію у вигляді таблиці істинності (таблиця 1.2)

Таблиця 1.2 – Таблиця істинності заданої функції

№	X4	X3	X2	X1	X0	Q	№	X4	X3	X2	X1	X0	Q
0	0	0	0	0	0	1	16	1	0	0	0	0	1
1	0	0	0	0	1	0	17	1	0	0	0	1	1
2	0	0	0	1	0	0	18	1	0	0	1	0	1
3	0	0	0	1	1	1	19	1	0	0	1	1	1
4	0	0	1	0	0	1	20	1	0	1	0	0	1
5	0	0	1	0	1	1	21	1	0	1	0	1	1
6	0	0	1	1	0	1	22	1	0	1	1	0	1
7	0	0	1	1	1	1	23	1	0	1	1	1	1
8	0	1	0	0	0	0	24	1	1	0	0	0	1
9	0	1	0	0	1	0	25	1	1	0	0	1	1
10	0	1	0	1	0	0	26	1	1	0	1	0	0
11	0	1	0	1	1	0	27	1	1	0	1	1	0
12	0	1	1	0	0	0	28	1	1	1	0	0	0
13	0	1	1	0	1	0	29	1	1	1	0	1	0
14	0	1	1	1	0	0	30	1	1	1	1	0	0
15	0	1	1	1	1	1	31	1	1	1	1	1	0

Мінімізуємо задану функцію по карті Карно (рис. 1.5).

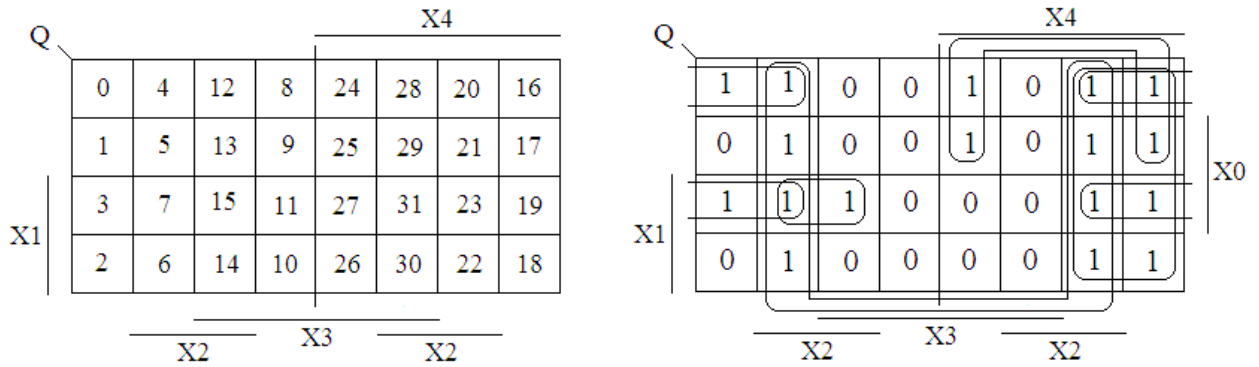


Рисунок 1.5 – Мінімізація логічної функції

Запишемо рівняння функції у вигляді МДНФ;

$$Q = X4\overline{X3} + \overline{X3}X2 + \overline{X3}\overline{X1}\overline{X0} + \overline{X3}X1X0 + X4\overline{X2}X1 + \overline{X4}X2X1X0$$

Оскільки число адресних входів у мультиплексора два, а змінних п'ять виконаємо декомпозицію логічної функції. Після декомпозиції отримаємо залишкові функції меншого числа змінних.

Виберемо дві змінні з МДНФ які подаватимуться на адресні входи результуючого мультиплексора.

$X4 - 3$  (зустрічається в МДНФ у прямому або інверсному вигляді 3 рази)

$X3 - 4$

$X2 - 3$

$X1 - 4$

$X0 - 3$

Обираємо  $X3 X1$ , як адресні входи (табл. 1.3).

Таблиця 1.3 – Адресна комутація  $X3X1$  управлінням інформаційними входами  $Y0... Y3$

Адресні входи		Інформаційні входи			
$X3$	$X1$	$Y0$	$Y1$	$Y2$	$Y3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Використаємо декомпозицію отриманої МДНФ заданої функції за методом Шенона:

$$Q = \overline{X_3}\overline{X_1}Y_0 + \overline{X_3}X_1Y_1 + X_3\overline{X_1}Y_2 + X_3X_1Y_3;$$

Отримаємо рівняння вхідних інформаційних сигналів для  $Y_0 = 1$ , урахувавши, що в МДНФ  $X_3 = 0$ ,  $X_1 = 0$  (табл. 1.3), тоді  $\overline{X_3} = \overline{0} = 1$ ,  $\overline{X_1} = \overline{0} = 1$ :

$$\begin{aligned} Y_0 &= X_4\overline{X_3} + \overline{X_3}X_2 + \overline{X_3}\overline{X_1}\overline{X_0} + \overline{X_3}X_1X_0 + X_4\overline{X_2}\overline{X_1} + \overline{X_4}X_2X_1X_0 = \\ &= (X_4 \cdot 1) + (1 \cdot X_2) + (1 \cdot 1 \cdot \overline{X_0}) + (1 \cdot 0 \cdot X_0) + (X_4 \cdot \overline{X_2} \cdot 1) + (\overline{X_4} \cdot X_2 \cdot 0 \cdot X_0) = \\ &= X_4 + X_2 + \overline{X_0} + 0 + X_4\overline{X_2} + 0 = X_4 + X_2 + \overline{X_0} + X_4\overline{X_2} = \\ &= X_4(1 + \overline{X_2}) + X_2 + \overline{X_0} = X_4 \cdot 1 + X_2 + \overline{X_0} = X_4 + X_2 + \overline{X_0}. \end{aligned}$$

Аналогічно розмірковуючи:

$$\begin{aligned} Y_1 &= X_4\overline{X_3} + \overline{X_3}X_2 + \overline{X_3}\overline{X_1}\overline{X_0} + \overline{X_3}X_1X_0 + X_4\overline{X_2}\overline{X_1} + \overline{X_4}X_2X_1X_0 = \\ &= (X_4 \cdot 1) + (1 \cdot X_2) + (1 \cdot 0 \cdot \overline{X_0}) + (1 \cdot 1 \cdot X_0) + (X_4 \cdot \overline{X_2} \cdot 0) + (\overline{X_4} \cdot X_2 \cdot 1 \cdot X_0) = \\ &= X_4 + X_2 + 0 + X_0 + 0 + \overline{X_4}X_2X_0 = X_4 + X_2 + X_0 + \overline{X_4}X_2X_0 = \\ &= X_4 + X_2(1 + \overline{X_4}X_0) + X_0 = X_4 + X_2 \cdot 1 + X_0 = X_4 + X_2 + X_0. \end{aligned}$$

$$\begin{aligned} Y_2 &= X_4\overline{X_3} + \overline{X_3}X_2 + \overline{X_3}\overline{X_1}\overline{X_0} + \overline{X_3}X_1X_0 + X_4\overline{X_2}\overline{X_1} + \overline{X_4}X_2X_1X_0 = \\ &= (X_4 \cdot 0) + (0 \cdot X_2) + (0 \cdot 1 \cdot \overline{X_0}) + (0 \cdot 0 \cdot X_0) + (X_4 \cdot \overline{X_2} \cdot 1) + (\overline{X_4} \cdot X_2 \cdot 0 \cdot X_0) = \\ &= 0 + 0 + 0 + 0 + X_4\overline{X_2} + 0 = X_4\overline{X_2}. \end{aligned}$$

$$\begin{aligned} Y_3 &= X_4\overline{X_3} + \overline{X_3}X_2 + \overline{X_3}\overline{X_1}\overline{X_0} + \overline{X_3}X_1X_0 + X_4\overline{X_2}\overline{X_1} + \overline{X_4}X_2X_1X_0 = \\ &= (X_4 \cdot 0) + (0 \cdot X_2) + (0 \cdot 0 \cdot \overline{X_0}) + (0 \cdot 1 \cdot X_0) + (X_4 \cdot \overline{X_2} \cdot 0) + (\overline{X_4} \cdot X_2 \cdot 1 \cdot X_0) = \\ &= 0 + 0 + 0 + 0 + 0 + \overline{X_4}X_2X_0 = \overline{X_4}X_2X_0. \end{aligned}$$

1) За умовами завдання необхідно побудувати логічний пристрій управління на мультиплексорі та логічних елементах (МХ та ЛЕ).

Проведемо аналіз функціонування логічного пристрою управління у програмному забезпеченні EWB (рис. 1.6).

Діаграма функціонування (рис. 1.6) відповідає таблиці істинності заданої функції (табл. 1.2).

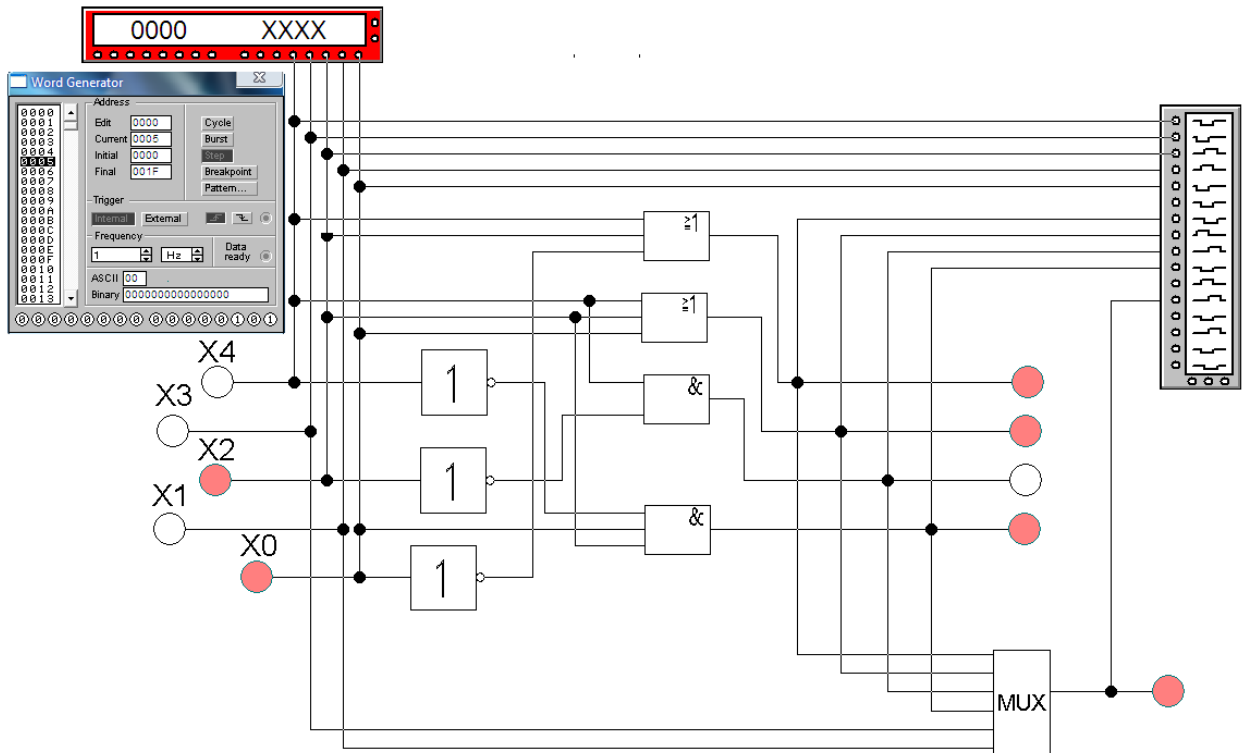


Рисунок 1.5 – Аналіз функціонування схеми логічного пристрою управління на мультиплексорі та логічних елементах (МХ та ЛЕ)

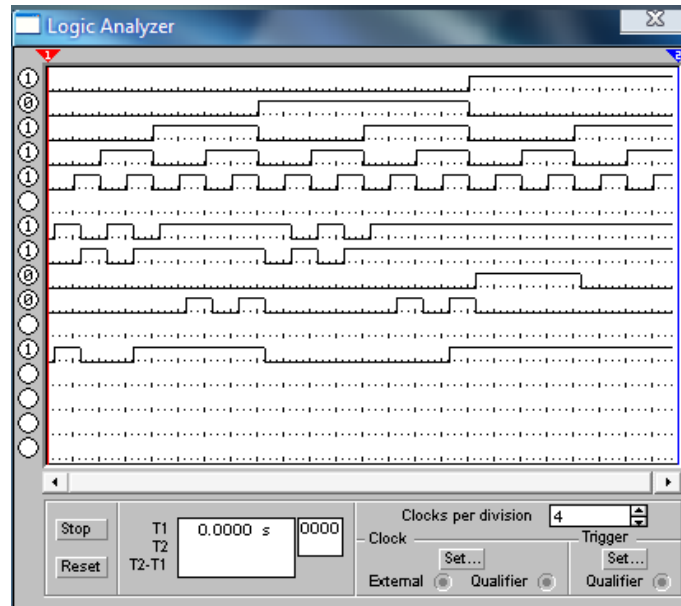


Рисунок 1.6 – Діаграма функціонування логічного пристрою управління на мультиплексорі та логічних елементах (МХ та ЛЕ)

Побудуємо схему логічного пристрою управління на реальній елементній базі (рис. 1.7).

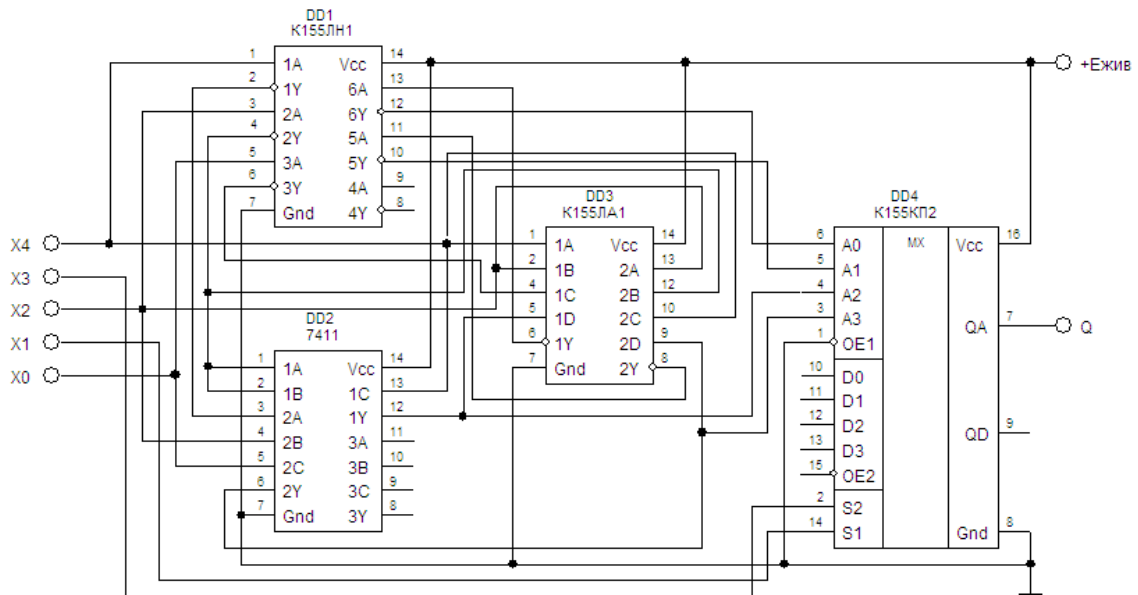


Рисунок 1.7 – Схема логічного пристрою управління на мультиплексорі та логічних елементах (МХ та ЛЕ)

2) За умовами завдання необхідно побудувати логічний пристрій управління тільки на мультиплексорах (МХ). Проаналізуємо отримані після першої декомпозиції рівняння.

Число змінних велике, виконаємо ще одну декомпозицію.

$X_4$  - 4 (зустрічається у прямому або інверсному вигляді 6 разів в рівняннях  $Y_0, Y_1, Y_2, Y_3$ , першої декомпозиції).

$X_3$  - ×

$X_2$  - 4

$X_1$  - ×

$X_0$  - 3

Виконаємо декомпозицію відносно  $X_4 X_2$ .

$$Y_0 = \overline{X_4} \overline{X_2} Y_{0_0} + \overline{X_4} X_2 Y_{1_0} + X_4 \overline{X_2} Y_{2_0} + X_4 X_2 Y_{3_0}.$$

Для рівняння першої декомпозиції  $Y_0 = X_4 + X_2 + \overline{X_0}$ .

Ураховуючи що  $\overline{X_4} = 1, \overline{X_2} = 1$ :

$$Y_0 = X_4 + X_2 + \overline{X_0} = X_4 + X_2 + 1 \cdot 1 \cdot \overline{X_0} = X_4 + X_2 + \overline{X_4} \overline{X_2} \overline{X_0}$$

$$Y_{0_0} = \overline{X_0}; Y_{1_0} = 1; Y_{2_0} = 1; Y_{3_0} = 1.$$

$$Y1 = \overline{X4}\overline{X2}Y0_1 + \overline{X4}X2Y1_1 + X4\overline{X2}Y2_1 + X4X2Y3_1.$$

Для рівняння першої декомпозиції  $Y1 = X4 + X2 + X0$ .

Ураховуючи що  $\overline{X4} = 1$ ,  $X2 = 1$ :

$$Y1 = X4 + X2 + X0 = X4 + X2 + 1 \cdot 1 \cdot X0 = X4 + X2 + \overline{X4}X2X0$$

$$Y0_1 = X0; Y1_1 = 1; Y2_1 = 1; Y3_1 = 1.$$

$$Y2 = \overline{X4}\overline{X2}Y0_2 + \overline{X4}X2Y1_2 + X4\overline{X2}Y2_2 + X4X2Y3_2.$$

Для рівняння першої декомпозиції  $Y2 = X4\overline{X2}$ :

$$Y0_2 = 0; Y1_2 = 0; Y2_2 = 1; Y3_2 = 0.$$

$$Y3 = \overline{X4}\overline{X2}Y0_3 + \overline{X4}X2Y1_3 + X4\overline{X2}Y2_3 + X4X2Y3_3.$$

Для рівняння першої декомпозиції  $Y3 = \overline{X4}X2X0$ :

$$Y0_3 = 0; Y1_3 = X0; Y2_3 = 0; Y3_3 = 0.$$

За цими даними проведемо аналіз функціонування логічного пристрою управління у програмному забезпеченні EWB (рис. 1.8).

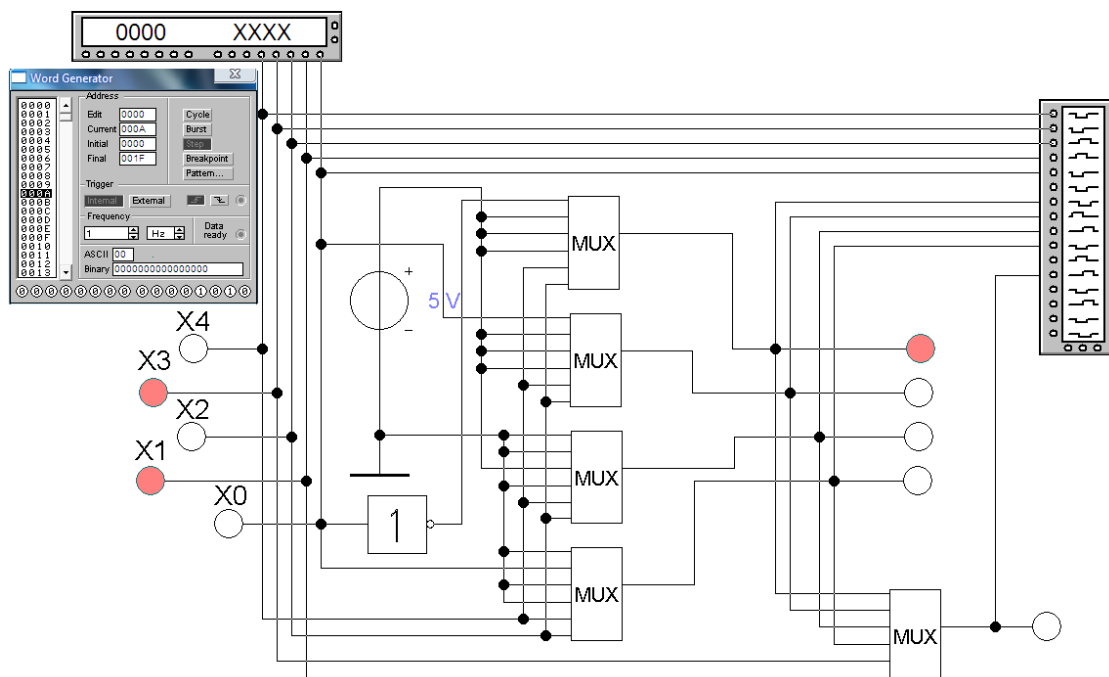


Рисунок 1.8 - Аналіз функціонування схеми логічного пристрою управління на мультиплексорах (MX)

Діаграма функціонування (рис. 1.9) відповідає таблиці істинності заданої функції (табл. 1.2).

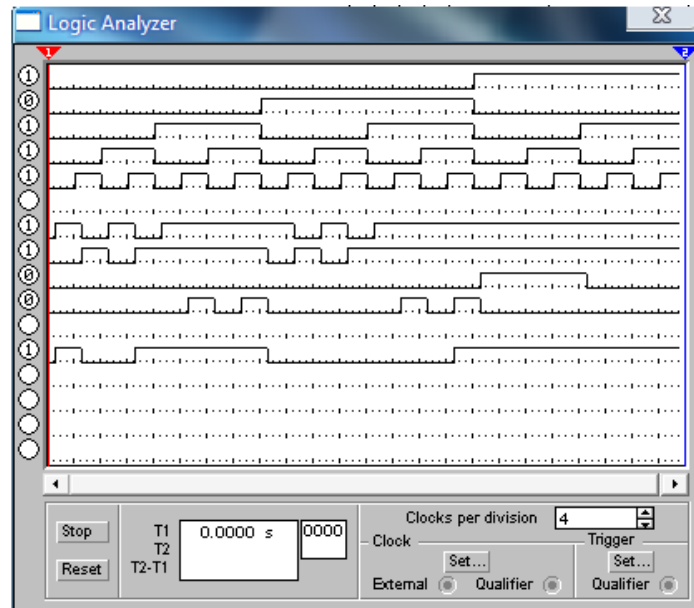


Рисунок 1.9 - Діаграма функціонування логічного пристрою управління на мультиплексах (MX)

Побудуємо схему логічного пристрою управління на реальній елементній базі (рис. 1.10).

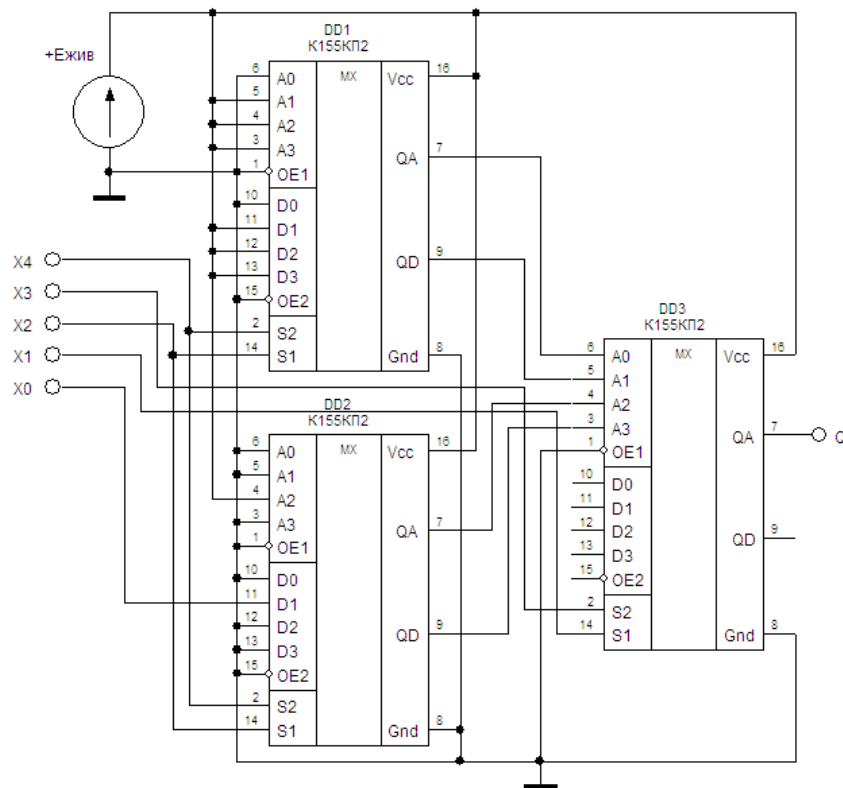


Рисунок 1.10 - Схема логічного пристрою управління на мультиплексах (MX)

**Приклад 1.4** Розробка логічного пристрою управління на мультиплексах з трьохрозрядним адресним управлінням комутацією інформаційних входів.

В МДНФ виконаємо декомпозицію для трьох адресних входів і отримаємо вісім залишкових функцій.

$$Q = X_4\overline{X_3} + \overline{X_3}X_2 + \overline{X_3}\overline{X_1}\overline{X_0} + \overline{X_3}X_1X_0 + X_4\overline{X_2}X_1 + \overline{X_4}X_2X_1X_0$$

Виберемо три змінні з МДНФ які подаватимуться на вхід результуючого мультиплексора.

$X_4$  - 3 (зустрічається 3 рази в МДНФ)

$X_3$  - 4

$X_2$  - 3

$X_1$  - 4

$X_0$  - 3

Проведемо декомпозицію МДНФ заданої функції за методом Шенона відносно змінних  $X_3X_2X_1$ .

$$Q = \overline{X_3}\overline{X_2}\overline{X_1}Y_0 + \overline{X_3}\overline{X_2}X_1Y_1 + \overline{X_3}X_2\overline{X_1}Y_2 + \overline{X_3}X_2X_1Y_3 + X_3\overline{X_2}\overline{X_1}Y_4 + X_3\overline{X_2}X_1Y_5 + X_3X_2\overline{X_1}Y_6 + X_3X_2X_1Y_7$$

Отримаємо рівняння вхідних інформаційних сигналів.

$$Y_0 = X_4 + \overline{X_0} + X_4 = X_4 + \overline{X_0}.$$

$$Y_1 = X_4 + X_0.$$

$$Y_2 = X_4 + 1 + \overline{X_0} = 1.$$

$$Y_3 = X_4 + 1 + X_0 + \overline{X_4}X_0 = 1.$$

$$Y_4 = X_4.$$

$$Y_5 = 0.$$

$$Y_6 = 0.$$

$$Y_7 = \overline{X_4}X_0.$$

1) За умовами завдання необхідно побудувати логічний пристрій управління на мультиплексорі та логічних елементах (МХ та ЛЕ).



Проведемо аналіз функціонування логічного пристрою управління у програмному забезпеченні EWB (рис. 1.11).

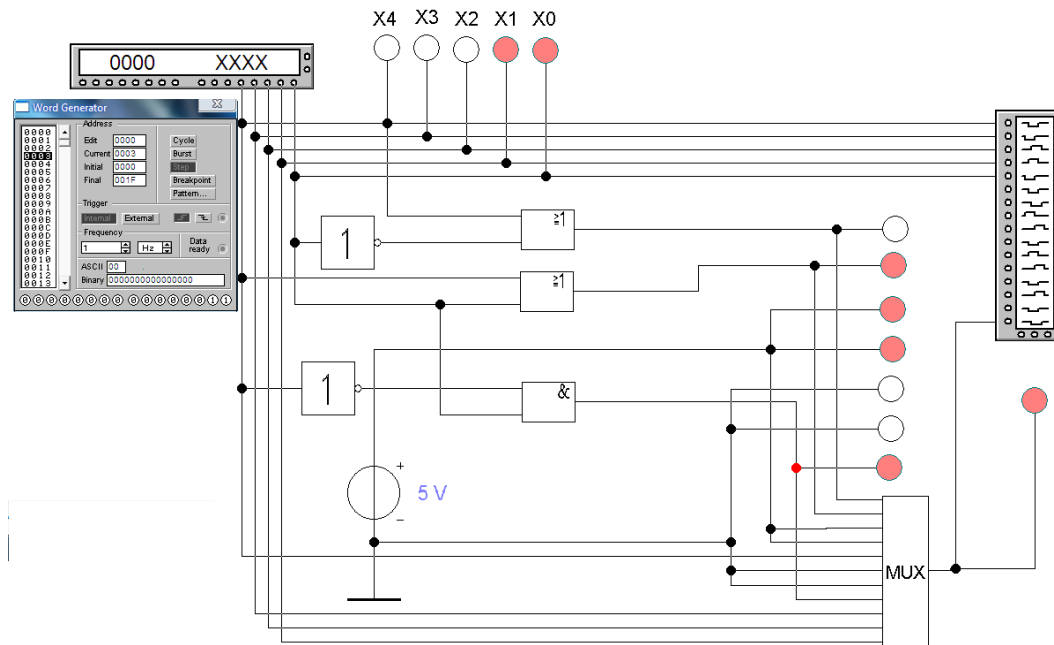


Рисунок 1.11 - Аналіз функціонування схеми логічного пристрою управління на мультиплексорі та логічних елементах (МХ та ЛЕ)

Діаграма функціонування (рис. 1.12) відповідає таблиці істинності заданої функції (табл. 1.2).

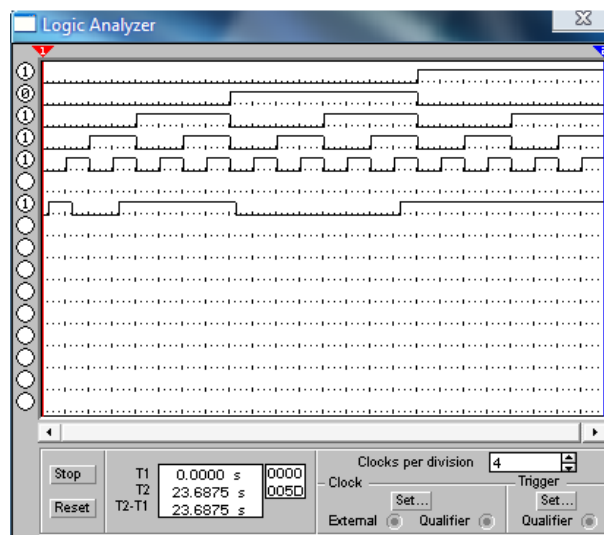


Рисунок 1.12 – Діаграма функціонування логічного пристрою управління на мультиплексорі та логічних елементах (МХ та ЛЕ)

Побудуємо схему логічного пристрою управління на реальній елементній базі (рис. 1.13).

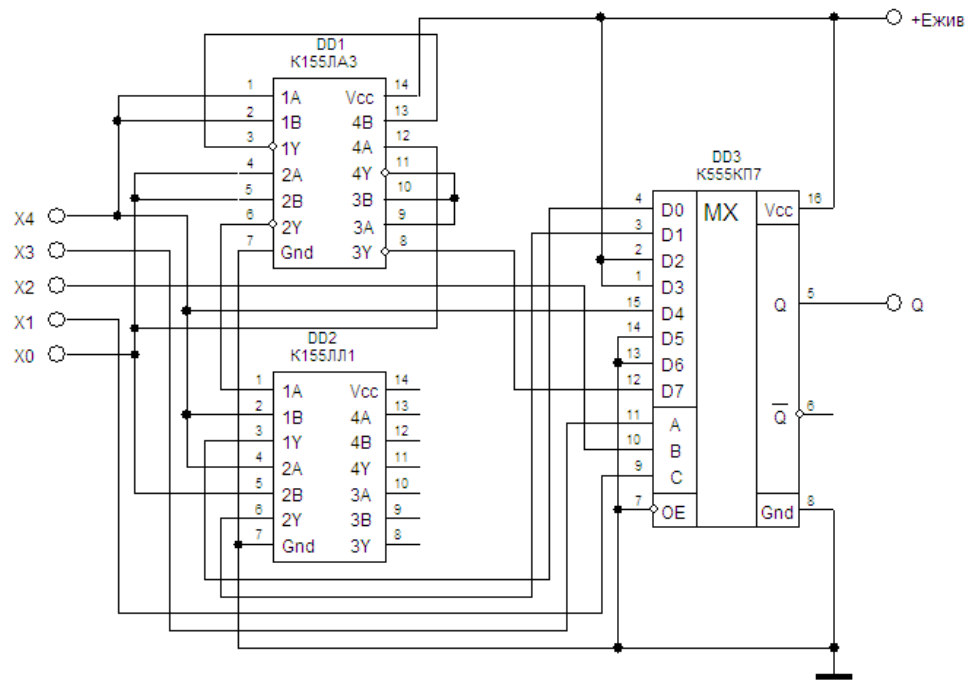


Рисунок 1.13 - Схема логічного пристрою управління на мультиплексо-рах та логічних елементах (МХ та ЛЕ)

2) За умовами завдання необхідно побудувати логічний пристрій управління тільки на мультиплексо-рах (МХ). Проаналізуємо отримані після першої декомпозиції рівняння.

Виберемо три змінні з рівнянь першої декомпозиції які подаватимуться на входи мультиплексорів.

X4 - 4 (зустрічається 4 рази у рівняннях першої декомпозиції)

X3 - ×

X2 - ×

X1 - ×

X0 - 3

Проведемо декомпозицію функцій за методом Шенона відносно змін-них X4X2X0.

$$Q = \overline{X4} \overline{X2} \overline{X0} Y0 + \overline{X4} \overline{X2} X0 Y1 + \overline{X4} X2 \overline{X0} Y2 + \overline{X4} X2 X0 Y3 + X4 \overline{X2} \overline{X0} Y4 + \\ + X4 \overline{X2} X0 Y5 + X4 X2 \overline{X0} Y6 + X4 X2 X0 Y7$$

Для рівняння першої декомпозиції  $Y0 = X4 + \overline{X0}$ .

$$Y_{0_0}=1; Y_{1_0}=0; Y_{2_0}=1; Y_{3_0}=0; Y_{4_0}=1; Y_{5_0}=1; Y_{6_0}=1; Y_{7_0}=1.$$

Для рівняння першої декомпозиції  $Y_1 = X_4 + X_0$ .

$$Y_{0_1}=0; Y_{1_1}=1; Y_{2_1}=0; Y_{3_1}=1; Y_{4_1}=1; Y_{5_1}=1; Y_{6_1}=1; Y_{7_1}=1.$$

$$Y_2 = 1.$$

$$Y_3 = 1.$$

$$Y_4 = X_0.$$

$$Y_5 = 0.$$

$$Y_6 = 0.$$

Для рівняння першої декомпозиції  $Y_7 = \overline{X_4}X_0$ :

$$Y_{0_7} = 0; Y_{1_7} = 1; Y_{2_7} = 0; Y_{3_7} = 1; Y_{4_7} = 0; Y_{5_7} = X_0; Y_{6_7} = 0; Y_{7_7} = 0$$

За цими даними проведемо аналіз функціонування логічного пристрою управління у програмному забезпеченні EWB (рис. 1.14).

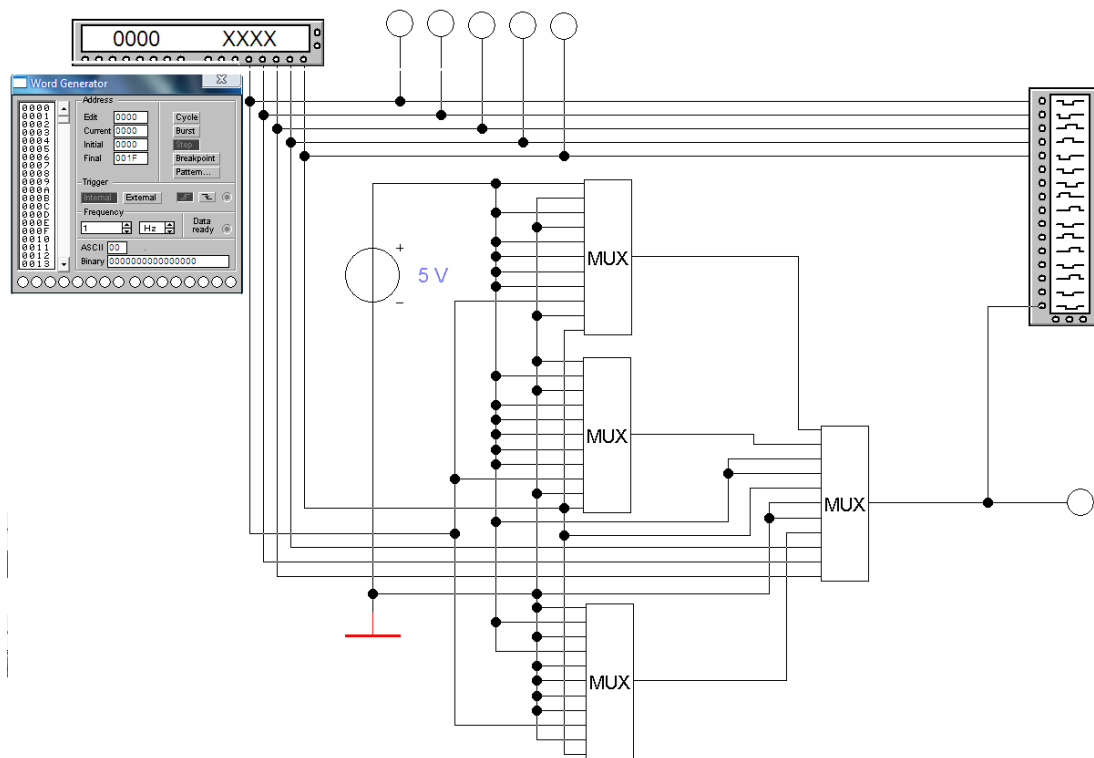


Рисунок 1.14 - Логічний пристрій управління на трьохвходових мультиплексах

Діаграма функціонування (рис. 1.15) відповідає таблиці істинності заданої функції (табл. 1.2).

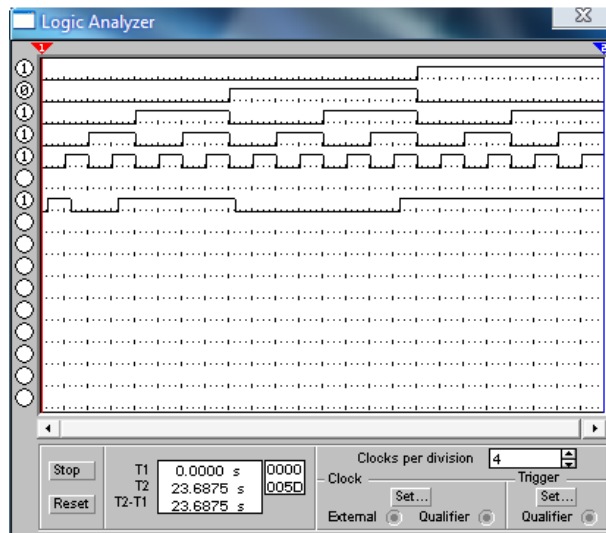


Рисунок 1.15 – Діаграма функціонування логічного пристрою управління на мультиплексах (MX)

Побудуємо схему логічного пристрою управління на реальній елементній базі (рис. 1.16).

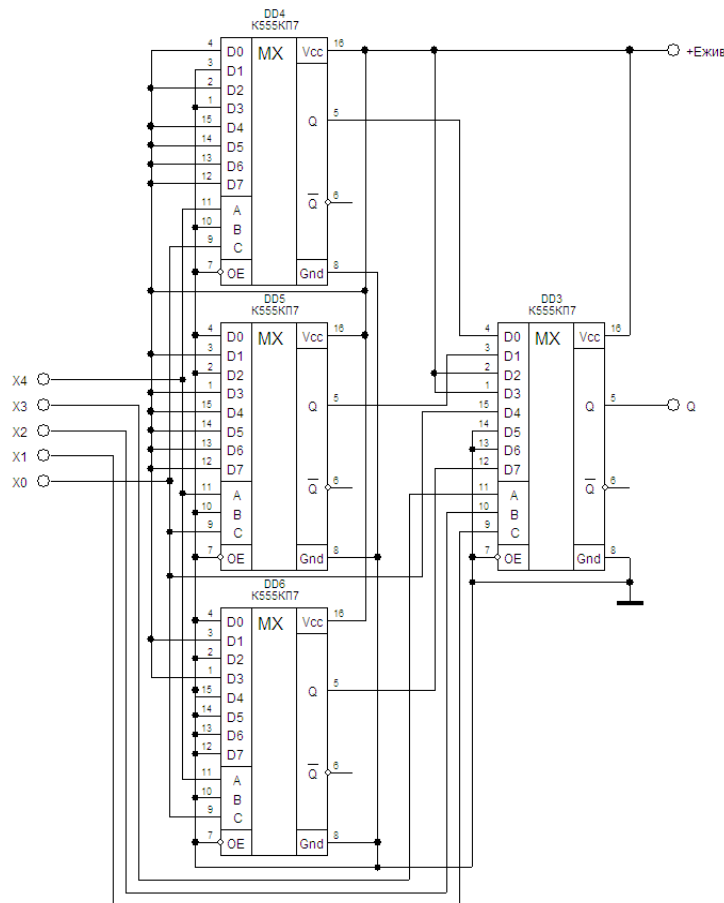


Рисунок 1.16 - Схема логічного пристрою управління на мультиплексах (MX)

## 2. Виконання практичної роботи

В ході практичної роботи необхідно синтезувати схему електричну принципову:

- на основі мікросхеми (мікросхем) мультиплексора;
- на основі мікросхеми мультиплексора і логічних елементів.

Для вирішення поставленого завдання необхідно виконати наступні пункти:

- записати таблицю істинності заданої ЛФ;
- виконати обґрунтований вибір мікросхеми мультиплексора;
- провести розкладання з використанням декомпозиції по методу Шеннона;
- виконати обґрунтований вибір додаткових мікросхем, якщо вони необхідні;
- синтезувати схему, використовуючи вибрані ІМС;
- виконати моделювання схеми електричної принципової в середовищі схемотехнічного проектування і моделювання EWB і отримати таблицю істинності за допомогою програми. Таблиці, отримані самостійно і за допомогою програми повинні відображатися в звіті;
- зробити висновки про отриману схему.

Варіанти завдань приведені в таблиці 2.1.

Номер варіанту обирається згідно з порядковим номером студента в академічному журналі.

Робота оформлюється у паперовому вигляді, на листах формату А4, з стандартним титульним листом.

Для позитивної оцінки розрахунки та схеми повинні бути виконані у повному обсязі.

Титульний лист оформити згідно з Додатком А

Таблиця 2.1 - Вихідні дання для синтезу схеми на основі мультиплектора (мультиплексорів), мультиплексора і логічних елементів

Номер варіанту	Логічна функція	Число адресних входів	Реалізація
1	$f = \sum(0, 10, 11, 12, 20, 21, 22, 30, 31)$	2	МХ і ЛЕ
2	$f = \prod(0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 14, 15, 22, 27, 28, 29)$	3	МХ
3	$f = \sum(0, 1, 5, 6, 10, 11, 15, 16, 29, 31)$	4	МХ і ЛЕ
4	$f = \prod(1, 2, 3, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21)$	2	МХ
5	$f = \sum(0, 5, 9, 15, 21, 25, 29, 30, 31)$	3	МХ і ЛЕ
6	$f = \prod(1, 3, 5, 7, 8, 9, 10, 11, 12, 13, 15, 17, 19, 21, 23, 29, 30, 31)$	4	МХ
7	$f = \sum(4, 9, 14, 19, 24, 29, 30)$	2	МХ і ЛЕ
8	$f = \prod(1, 2, 8, 9, 10, 11, 12, 13, 14, 26, 27, 28, 29, 30, 31)$	3	МХ
9	$f = \sum(3, 8, 13, 18, 23, 28, 30)$	4	МХ і ЛЕ
10	$f = \prod(0, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 17, 18, 25, 26, 29, 30)$	2	МХ
11	$f = \sum(2, 7, 12, 17, 22, 27, 30)$	3	МХ і ЛЕ
12	$f = \prod(0, 1, 7, 8, 9, 10, 11, 12, 13, 20, 21, 22, 23, 24, 25, 27)$	4	МХ
13	$f = \sum(1, 6, 11, 16, 21, 26, 31)$	2	МХ і ЛЕ
14	$f = \prod(0, 1, 2, 3, 4, 5, 6, 8, 9, 11, 12, 13, 14, 22, 23, 28, 29)$	3	МХ
15	$f = \sum(0, 5, 10, 15, 20, 25, 30)$	4	МХ і ЛЕ
16	$f = \prod(0, 1, 3, 4, 5, 6, 8, 9, 10, 12, 13, 17, 18, 19, 22, 23, 24)$	2	МХ
17	$f = \sum(5, 6, 11, 12, 13, 19, 24, 31)$	3	МХ і ЛЕ
18	$f = \prod(0, 1, 2, 3, 8, 9, 10, 11, 12, 15, 20, 21, 22, 23, 24, 26, 29)$	4	МХ
19	$f = \sum(3, 9, 11, 17, 19, 25, 27, 30)$	2	МХ і ЛЕ
20	$f = \prod(1, 2, 3, 5, 7, 8, 9, 11, 12, 13, 16, 17, 21, 22, 25, 28)$	3	МХ