

Тема 2. Архітектура та типи архітектур мікропроцесорних систем

Обобщённая архитектура микропроцессора

С точки зрения пользователя (разработчика автоматических систем) при выборе МП для решения конкретной задачи целесообразно располагать некоторыми обобщенными или комплексными характеристиками возможностей МП, т. е. воспринимать его как нечто цельное, имеющее вполне определенные потребительские качества (свойства и характеристики). В конечном итоге разработчик нуждается в уяснении и понимании лишь тех компонентов МП и МПС, которые явно отражаются в программах и (или) должны быть учтены при разработке и выполнении программ: число и имена программно-доступных регистров; разрядность машинного слова; система команд; доступный размер и адреса ОЗУ; быстродействие МП; схему обработки прерываний; способы адресации ОЗУ и внешних устройств. Совокупность таких сведений представляет определенную модель МП (МПС) с точки зрения пользователя (разработчика МПАС).

Указанные выше характеристики и свойства определяются понятием архитектуры МП (МПС, МЭВМ).

Архитектура МП – это его логическая организация, рассматриваемая с точки зрения пользователя; она определяет возможности МП по аппаратной, программной и микропрограммной реализации функций, необходимых для построения МПС и МПАС.

Понятие архитектуры МП отражает:

- структуру, т. е. совокупность компонентов,

составляющих МП, и связей между ними;

- способы представления и форматы данных;
- способы обращения ко всем доступным для пользователя (программнодоступным) элементам структуры (адресация к регистрам, ячейкам оперативной и постоянной памяти, внешним устройствам);
- набор операций, выполняемых МП, т. е. система команд МП;
- характеристики управляющих слов и сигналов, вырабатываемых микропроцессором и поступающих в МП извне;
- реакцию на внешние сигналы (схема обработки прерываний и т. д.) и другие характеристики.

Микропроцессор характеризуется:

- 1) тактовой частотой, определяющей максимальное время выполнения переключения элементов в ЭВМ;
- 2) разрядностью, т. е. максимальным числом одновременно обрабатываемых двоичных разрядов;
- 3) архитектурой.

Разрядность МП обозначается $m/n/k/$ и включает:

m – разрядность внутренних регистров, определяет принадлежность к тому или иному классу процессоров;

n – разрядность шины данных, определяет скорость передачи информации;

k – разрядность шины адреса, определяет размер адресного пространства.

Например, МП i8088 характеризуется значениями $m/n/k = 16/8/20$;

Понятие архитектуры микропроцессора включает в себя систему команд и способы адресации, возможность

совмещения выполнения команд во времени, наличие дополнительных устройств в составе микропроцессора, принципы и режимы его работы. Выделяют понятия микроархитектуры и макроархитектуры.

Микроархитектура микропроцессора – это аппаратная организация и логическая структура микропроцессора, регистры, управляющие схемы, арифметико-логические устройства, запоминающие устройства и связывающие их информационные магистрали.

Макроархитектура – это система команд, типы обрабатываемых данных, режимы адресации и принципы работы микропроцессора.

В общем случае под архитектурой ЭВМ понимается абстрактное представление машины в терминах основных функциональных модулей, языка ЭВМ, структуры данных.

Типы архитектур микропроцессорных систем.

Все микропроцессоры можно разделить на следующие группы:

- МП с гарвардской архитектурой;
- МП с фоннеймановской архитектурой;
- МП типа CISC (Complex Instruction Set Computing) с полным набором команд;
- МП типа RISC (Reduced Instruction Set Computing) с сокращенным набором команд;
- МП типа MISC (Minimum Instruction Set Computing) с минимальным набором команд и весьма высоким быстродействием (в настоящее время эти модели находятся в стадии разработки).

Архитектуры микропроцессоров различаются по использованию памяти. Наибольшее распространение получили:

- гарвардская архитектура;
- архитектура фон Неймана.

Гарвардская архитектура предполагает отдельное использование памяти программ и данных. Обычно такую архитектуру используют для повышения быстродействия системы за счёт разделения путей доступа к памяти программ и данных. Большинство специализированных микропроцессоров (особенно микроконтроллеры) имеют данную архитектуру.

Антипод гарвардской – архитектура фон Неймана – предполагает хранение программ и данных в общей памяти и наиболее характерна для микропроцессоров, ориентированных на использование в компьютерах. Примером могут служить микропроцессоры семейства x86.

Термин *CISC* означает сложную систему команд и является аббревиатурой английского определения *Complex Instruction Set Computer*.

Большинство современных ПК типа IBM PC (*International Business Machine*) используют МП типа *CISC*.

Отметим некоторые характеристики МП:

- начиная с МП 80386 используется конвейерное выполнение команд – одновременное выполнение разных тактов последовательных команд в разных частях МП при непосредственной передаче результатов из одной части МП в другую. Конвейерное выполнение команд увеличивает эффективное быстродействие ПК в

2–3 раза;

- начиная с МП 80286 предусматривается возможность работы в вычислительной сети;

- начиная с МП 80286 имеется возможность многозадачной работы (многопрограммность) и сопутствующая ей защита памяти;

- начиная с МП 80386 обеспечивается поддержка режима системы виртуальных машин, т. е. такого режима многозадачной работы, при котором в одном МП моделируется как бы несколько компьютеров, работающих параллельно и имеющих разные операционные системы;

- начиная с МП 80286 микропроцессоры могут работать в двух режимах: реальном (Real mode) и защищенном (Protected mode). В реальном режиме имитируется (эмулируется) работа МП 8086, естественно, однозадачная. В защищенном режиме возможна многозадачная работа с непосредственным доступом к расширенной памяти (см. под-разд. 4.5) и с защитой памяти, отведенной задачам, от посторонних обращений.

Микропроцессоры 80586 (P5) более известны по их товарной марке Pentium, которая запатентована фирмой Intel (МП 80586 других фирм имеют иные обозначения: K5 у фирмы AMD, M 1 у фирмы Cyrix и др.).

Эти микропроцессоры имеют пятиступенную конвейерную структуру, обеспечивающую многократное совмещение тактов выполнения последовательных команд, и КЭШ-буфер для команд условной передачи управления, позволяющий предсказывать направление ветвления программ; по

эффективному быстродействию они приближаются к RISC МП, выполняющим каждую команду как бы за один такт. Pentium имеют 32-разрядную адресную шину и 64-разрядную шину данных. Обмен данными с системой может выполняться со скоростью 1 Гб/с.

У всех МП Pentium имеется встроенная КЭШ-память, отдельно для команд, отдельно для данных; имеются специализированные конвейерные аппаратные блоки сложения, умножения и деления, значительно ускоряющие выполнение операций с плавающей запятой.

Микропроцессоры Pentium Pro. В сентябре 1995 г. прошли презентацию и выпущены МП 80686 (P6), торговая марка Pentium Pro. Благодаря новым схемотехническим решениям они обеспечивают для ПК более высокую производительность. Часть этих новшеств может быть объединена понятием динамическое исполнение (dynamic execution), что в первую очередь означает наличие 14-ступенной суперконвейерной структуры (superpipelining), предсказания ветвлений программы при условных передачах управления (branch prediction) и исполнение команд по предполагаемому пути ветвления (speculative execution).

КЭШ-память емкостью 256–512 кб – обязательный атрибут высокопроизводительных систем на процессорах Pentium. Однако у них встроенная КЭШ-память имеет небольшую емкость (16 кб), а основная ее часть находится вне процессора на материнской плате. Поэтому обмен данными с ней происходит не на внутренней частоте МП, а на частоте тактового

генератора, которая обычно в 2–3 раза ниже, что снижает общее быстродействие компьютера. В МП Pentium Pro КЭШ-память емкостью 256–512 кб находится в самом микропроцессоре.

Микропроцессоры OverDrive. Интерес представляют также недавно разработанные МП OverDrive, по существу являющиеся своеобразными сопроцессорами, обеспечивающими для МП 80486 режимы работы и эффективное быстродействие, характерные для МП Pentium. Появились МП OverDrive, улучшающие характеристики и микропроцессоров Pentium.

Термин *RISC* означает сокращённую систему команд и происходит от английского Reduced Instruction Set Computer.

Микропроцессоры типа RISC содержат набор только простых, чаще всего встречающихся в программах команд. При необходимости выполнения более сложных команд в микропроцессоре производится их автоматическая сборка из простых. В этих МП на выполнение каждой простой команды за счет их наложения и параллельного выполнения тратится 1 машинный такт (на выполнение даже самой короткой команды из системы CISC обычно тратится 4 такта).

Некоторые микропроцессоры типа RISC: ARM (на его основе выпускались ПК IBM PC RT) – один из первых 32-разрядных RISC микропроцессоров, имеющий 118 различных команд. Современные RISC микропроцессоры (80860, 80960, 80870, Power PC) являются 64-разрядными при быстродействии до 150 млн оп./с. Микропроцессоры Power PC (Performance Optimized With Enhanced RISC PC) весьма перспективны

и уже сейчас широко применяются в машинах-серверах и в ПК типа Macintosh.

Микропроцессоры типа RISC имеют очень высокое быстродействие, но программно не совместимы с CISC-процессорами: при выполнении программ, разработанных для ПК типа IBM PC, они могут лишь эмулировать (моделировать, имитировать) МП типа CISC на программном уровне, что приводит к резкому уменьшению их эффективной производительности.

Однако, несмотря на широкую распространённость этих понятий, необходимо признать, что сами названия не отражают главного различия между системами команд CISC и RISC. *Основная идея RISC-архитектуры* – это тщательный подбор таких комбинаций кодов операций, которые можно было бы выполнить за один такт тактового генератора. Основным выигрыш от такого подхода – резкое упрощение аппаратной реализации ЦП и возможность значительно повысить его производительность. Все команды работают с операндами и имеют одинаковый формат. Обращение к памяти выполняется с помощью специальных команд загрузки регистра и записи. Простота структуры и небольшой набор команд позволяет реализовать полностью их аппаратное выполнение и эффективный конвейер при небольшом объёме оборудования. Арифметику RISC-процессоров отличает высокая степень дробления конвейера. Этот прием позволяет увеличить тактовую частоту (значит и производительность) компьютера. Чем более элементарные действия выполняются в каждой фазе работы конвейера, тем выше частота его работы. RISC-

процессоры с самого начала ориентированны на реализацию всех возможностей ускорения арифметических операций, поэтому их конвейеры обладают значительно более высоким быстродействием, чем в CISC-процессорах. Поэтому RISC-процессоры в 2–4 раза быстрее имеющих ту же тактовую частоту CISC- процессоров с обычной системой команд и высокопроизводительней, несмотря на больший объём программ, на (30 %). Дейв Паттерсон и Карло Секуин сформулировали 4 основных принципа RISC:

1. Любая операция должна выполняться за один такт, вне зависимости от ее типа.

2. Система команд должна содержать минимальное количество наиболее часто используемых простейших инструкций одинаковой длины.

3. Операции обработки данных реализуются только в формате “регистр–регистр“ (операнды выбираются из оперативных регистров процессора, и результат операции записывается также в регистр; а обмен между оперативными регистрами и памятью выполняется только с помощью команд чтения/записи).

4. Состав системы команд должен быть “ удобен “ для компиляции операторов языков высокого уровня.

Микропроцессоры с архитектурой CISC (Complex Instruction Set Computers) – архитектура вычислений с полной системой команд. Реализующие на уровне машинного языка комплексные наборы команд различной сложности (от простых, характерных для микропроцессора первого поколения, до команд значительной сложности, характерных для современных

32-разрядных микропроцессоров типа 80486, 68040 и др.).

CISC-процессоры выполняют большой набор команд с развитыми возможностями адресации, давая разработчику возможность выбрать наиболее подходящую команду для выполнения необходимой операции. Процессор с CISC-архитектурой может иметь однобайтовый, двухбайтовый и трехбайтовый (редко четырехбайтовый) формат команд. При этом система команд, как правило, не ортогональна, то есть не все команды могут использовать любой из способов адресации применительно к любому из регистров процессора. Выборка команды на исполнение осуществляется побайтно в течение нескольких циклов работы процессора.

В связи с успехами микроэлектроники появилась возможность построения RISC-компьютеров (Reduced Instruction Set Computing), т. е. микропроцессорных систем с сокращенным набором команд.

Поэтому в RISC архитектуре основу системы команд составляют наиболее употребительные, «короткие» операции типа алгебраического сложения. Сложные операции выполняются как подпрограммы, состоящие из простых операций. Это позволяет значительно упростить внутреннюю структуру процессора, уменьшить фазы дробления конвейерной обработки и увеличить частоту работы конвейера. Но здесь необходимо отметить, что за эффект приходится расплачиваться усложнением процедур обмена данными

между регистрами, кэшпамятью и оперативной памятью.

В процессорах с RISC-архитектурой набор исполняемых команд сокращен до минимума. Для реализации более сложных операций приходится комбинировать команды. При этом все команды имеют формат фиксированной длины (например, 12, 14 или 16 бит), выборка команды из памяти и ее исполнение осуществляется за один цикл (такт) синхронизации. Система команд RISC-процессора предполагает возможность равноправного использования всех регистров процессора. Это обеспечивает дополнительную гибкость при выполнении ряда операций.

Вопрос о производительности процессоров с архитектурой RISC и CISC сложен и неоднозначен. Во-первых, оценка производительности по времени выполнения команд различных систем (RISC и CISC) не совсем корректна. Обычно производительность МП и МК принято оценивать числом операций пересылки «регистр-регистр», которые могут быть выполнены в течение одной секунды. В системах с CISC-процессором время выполнения операции «регистр-регистр» составляет от 1 до 3 циклов, что, казалось бы, уступает производительности систем с RISC-процессором. Однако стремление к сокращению формата команд при сохранении ортогональности системы команд RISC-процессора приводит к вынужденному ограничению числа доступных в одной команде регистров. Так, например, системой команд МК PIC16 предусмотрена возможность пересылки результата операции только в

один из двух регистров — регистр-источник операнда f или рабочий регистр W . Таким образом, операция пересылки содержимого одного из доступных регистров в другой (не источник операнда и не рабочий) потребует использования двух команд. Такая необходимость часто возникает при пересылке содержимого одного из регистров общего назначения (РОН) в один из портов МК. В то же время, в системе команд большинства CISC-процессоров присутствуют команды пересылки содержимого РОН в один из портов ввода/вывода. То есть более сложная система команд иногда позволяет реализовать более эффективный способ выполнения операции.

Во-вторых, оценка производительности по скорости пересылки «регистр-регистр» не учитывает особенностей конкретного реализуемого алгоритма управления. Так, при разработке быстродействующих устройств автоматизированного управления основное внимание следует уделять времени выполнения операций умножения и деления при реализации уравнений различных передаточных функций. А при реализации пульта дистанционного управления бытовой техникой следует оценивать время выполнения логических функций, которые используются при опросе клавиатуры и генерации последовательной кодовой посылки управления. Поэтому в критических ситуациях, требующих высокого быстродействия, следует оценивать производительность на множестве тех операций, которые преимущественно используются в алгоритме управления и имеют ограничения по времени выполнения.

В-третьих, необходимо еще учитывать, что указанные в справочных данных частоты синхронизации обычно соответствуют или пропорциональны частоте кварцевого резонатора, в то время как длительность цикла центрального процессора определяется частотой обмена по системной магистрали. Соотношение этих частот индивидуально для каждого устройства должно быть принято в расчет при сравнении производительности различных вычислительных систем.

Другой подход к архитектуре вычислительных систем с точки зрения использования памяти в процессорах реализует один из двух принципов построения:

- архитектура с общей памятью для размещения команд и данных;
- архитектура с разделенной памятью команд и данных.

Для универсальных процессоров типичным является использование архитектуры с общей, единой шиной для данных и команд (одношинная, или принстонская, фон-неймановская архитектура). Соответственно, в составе системы в этом случае используется одна общая память, как для данных, так и для команд, рис. 2.1.



Рис. 2.1. Архитектура с общей шиной данных и команд

Другой тип архитектуры микропроцессорной системы — это архитектура с отдельными шинами данных и команд (двухшинная, или гарвардская, архитектура). Эта архитектура предполагает наличие в системе отдельной памяти для данных и отдельной памяти для команд (рис. 2.2). Обмен процессора с каждым из двух типов памяти происходит по своей шине.

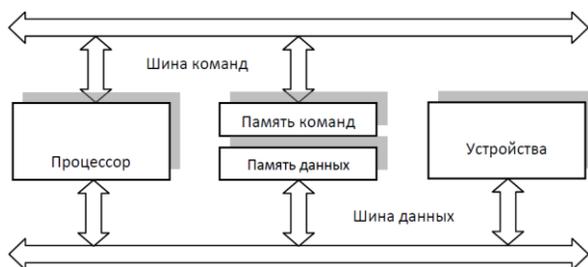


Рис. 2.2. Архитектура с отдельными шинами данных и команд

Архитектура с общей шиной распространена гораздо больше, она применяется, например, в персональных компьютерах и в сложных микрокомпьютерах. Архитектура с отдельными шинами применяется в основном в однокристалльных микроконтроллерах.

Рассмотрим некоторые достоинства и недостатки обоих архитектурных решений.

Архитектура с общей шиной (принстонская, фон-неймановская) проще, она не требует от процессора одновременного обслуживания двух шин, контроля обмена по двум шинам сразу. Наличие единой памяти данных и команд позволяет гибко распределять ее объем между кодами данных и команд. Например, в некоторых

случаях нужна большая и сложная программа, а данных в памяти надо хранить не слишком много. В других случаях, наоборот, программа требуется простая, но необходимы большие объемы хранимых данных. Перераспределение памяти производится оперативно, единственное условия — чтобы команды и данные в сумме помещались в памяти системы. Как правило, в системах с такой архитектурой память бывает довольно большого объема (до десятков гигабайт). Это позволяет решать самые сложные задачи.

Архитектура с раздельными шинами данных и команд сложнее, она заставляет процессор работать одновременно с двумя потоками кодов, обслуживать обмен по двум шинам одновременно. Программа может размещаться только в памяти команд, данные — только в памяти данных. Такая узкая специализация ограничивает круг задач, решаемых системой, так как не дает возможности гибкого перераспределения памяти. Память данных и память команд в этом случае имеют разный объем (память команд значительно больше памяти данных), поэтому применение систем с данной архитектурой ограничивается обычно не слишком сложными задачами.

Преимущество гарвардской архитектуры в первую очередь, в быстрой реакции. Дело в том, что при единственной шине команд и данных процессор вынужден по одной этой шине принимать данные (из памяти или устройства ввода/вывода) и передавать данные (в память или в устройство ввода/вывода), а также читать команды из памяти. Естественно, одновременно эти пересылки кодов по магистрали

происходить не могут, они должны производиться по очереди. Современные процессоры способны совместить во времени выполнение команд и проведение циклов обмена по системной шине. Использование конвейерных технологий и быстрой кэш-памяти позволяет им ускорить процесс взаимодействия со сравнительно медленной системной памятью. Повышение тактовой частоты и совершенствование структуры процессоров дают возможность сократить время выполнения команд. Но дальнейшее увеличение быстродействия системы возможно только при совмещении пересылки данных и чтения команд, то есть при переходе к архитектуре с двумя шинами.

В случае двухшинной архитектуры обмен по обеим шинам может быть независимым, параллельным во времени. Соответственно, структуры шин (количество разрядов кода адреса и кода данных, порядок и скорость обмена информацией и т.д.) могут быть выбраны оптимально для той задачи, которая решается каждой шиной. Поэтому при прочих равных условиях переход на двухшинную архитектуру ускоряет работу микропроцессорной системы, хотя и требует дополнительных затрат на аппаратуру, усложнения структуры процессора. Память данных в этом случае имеет свое распределение адресов, а память команд — свое.

Проще всего преимущества двухшинной архитектуры реализуются внутри одной микросхемы. В этом случае можно также существенно уменьшить влияние недостатков этой архитектуры. Поэтому основное ее применение — в микроконтроллерах, от

которых не требуется решения слишком сложных задач, но зато необходимо максимальное быстродействие при заданной тактовой частоте.

Таким образом, сложившаяся практика проектирования микропроцессорных систем показывает, что для решения задач управления на верхнем уровне используются универсальные микропроцессоры с принстонской, CISC архитектурой, а на нижнем – микроконтроллеры с гарвардской, и предпочтительно RISC архитектурой.